

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年5月8日 (08.05.2003)

PCT

(10) 国際公開番号
WO 03/038795 A1

- (51) 国際特許分類⁷: G09G 3/30, 3/20, H05B 33/14 (71) 出願人 (米国を除く全ての指定国について): 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒243-0036 神奈川県厚木市長谷398 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP02/11280
- (22) 国際出願日: 2002年10月30日 (30.10.2002)
- (25) 国際出願の言語: 日本語 (72) 発明者; および
- (26) 国際公開の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 木村 肇 (KIMURA, Hajime) [JP/JP]; 〒243-0036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).
- (30) 優先権データ:
特願2001-333470
2001年10月30日 (30.10.2001) JP (74) 代理人: 大島 陽一 (OSHIMA, Yoichi); 〒162-0825 東京都新宿区神楽坂6-4 2 喜多川ビル7階 Tokyo (JP).
特願2002-288043 2002年9月30日 (30.09.2002) JP

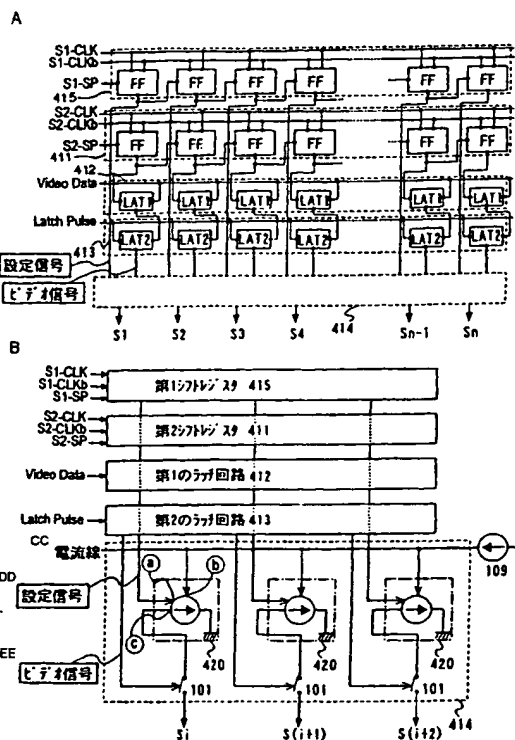
[続葉有]

(54) Title: SIGNAL LINE DRIVE CIRCUIT, LIGHT EMITTING DEVICE, AND ITS DRIVE METHOD

(54) 発明の名称: 信号線駆動回路、並びに発光装置及びその駆動方法



WO 03/038795 A1



AA...SET SIGNAL
BB...VIDEO SIGNAL
CC...CURRENT LINE
DD...SET SIGNAL
EE...VIDEO SIGNAL
415...FIRST SHIFT REGISTER
411...SECOND SHIFT REGISTER
412...FIRST LATCH CIRCUIT
413...SECOND LATCH CIRCUIT

(57) Abstract: A transistor generates a dispersion in characteristics. This signal line drive circuit has first and second shift registers, a latch circuit, and current source circuits corresponding to the respective wirings. Each of the current source circuits has a capacitor means and a supply means. The capacitor means is characterized by converting a supplied current into a voltage according to a sampling pulse to be supplied from the first shift register, the supply means by supplying a current corresponding to the converted voltage according to a video signal, and the latch circuit by acting according to a sampling pulse to be supplied from the second shift register.

[続葉有]



(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 補正書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

トランジスタの特性にはバラツキが生じてしまう。本発明は、第1及び第2シフトレジスタ、並びにラッチ回路及び複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、前記複数の電流源回路の各々は、容量手段と供給手段を有する。前記容量手段は、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、前記供給手段は、ビデオ信号に従って、前記変換された電圧に応じた電流を供給し、前記ラッチ回路は、前記第2シフトレジスタから供給されるサンプリングパルスに従って動作することを特徴とする。

明 細 書

信号線駆動回路、並びに発光装置及びその駆動方法

5 技術分野

本発明は信号線駆動回路の技術に関する。また前記信号線駆動回路を有する発光装置の技術に関する。

背景技術

- 10 近年、画像の表示を行う表示装置の開発が進められている。表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、高画質、薄型、軽量などの利点を活かして幅広く用いられている。

- 一方、自発光素子である発光素子を用いた発光装置の開発も近年進められている。発光装置は、既存の液晶表示装置がもつ利点に加えて、動画表示に適した速い応答
- 15 速度、低電圧、低消費電力などの特徴を有し、次世代ディスプレイとして大きく注目されている。

- 発光装置に多階調の画像を表示する際の階調表現方法としては、アナログ階調方式とデジタル階調方式が挙げられる。前者のアナログ階調方式は、発光素子に流れる電流の大きさをアナログ的に制御して階調を得るという方式である。また後者の
- 20 デジタル階調方式は、発光素子がオン状態（輝度がほぼ100%の状態）と、オフ状態（輝度がほぼ0%の状態）の2つの状態のみによって駆動するという方式である。デジタル階調方式においては、このままでは2階調しか表示できないため、別の方式と組み合わせて多階調の画像を表示する方法が提案されている。

- また画素の駆動方法としては、画素に入力する信号の種類で分類すると、電圧入力方式と電流入力方式が挙げられる。前者の電圧入力方式は、画素に入力するビデオ信号（電圧）を駆動用素子のゲート電極に入力して、該駆動用素子を用いて発光
- 25

素子の輝度を制御する方式である。また後者の電流入力方式では、設定された信号電流を発光素子に流すことにより、該発光素子の輝度を制御する方式である。

ここで、電圧入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16(A)を用いて簡単に説明する。図16(A)に示した画素
5 は、信号線501、走査線502、スイッチング用TFT503、駆動用TFT504、容量素子505、発光素子506、電源507、508を有する。

走査線502の電位が変化してスイッチング用TFT503がオンすると、信号線501に入力されているビデオ信号は、駆動用TFT504のゲート電極へと入力される。入力されたビデオ信号の電位に従って、駆動用TFT504のゲート・
10 ソース間電圧が決定し、駆動用TFT504のソース・ドレイン間を流れる電流が決定する。この電流は発光素子506に供給され、該発光素子506は発光する。発光素子を駆動する半導体素子としては、ポリシリコントランジスタが用いられる。しかし、ポリシリコントランジスタは、結晶粒界における欠陥に起因して、しきい値やオン電流等の電気的特性にバラツキが生じやすい。図16(A)に示した画素
15 において、駆動用TFT504の特性が画素毎にばらつくと、同じビデオ信号を入力した場合にも、それに応じた駆動用TFT504のドレイン電流の大きさが異なるため、発光素子506の輝度はばらつく。

上記問題を解決するためには、発光素子を駆動するTFTの特性に左右されず、所望の電流を発光素子に供給すればよい。この観点から、TFTの特性に左右され
20 ずに発光素子に供給する電流の大きさを制御できる電流入力方式が提案されている。

次いで、電流入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16(B)、17を用いて簡単に説明する。図16(B)に示した画素は、信号線601、第1～第3の走査線602～604、電流線605、T
25 TFT606～609、容量素子610、発光素子611を有する。電流源回路612は、各信号線(各列)に配置される。

図17を用いて、ビデオ信号の書き込みから発光までの動作について説明する。
図17中、各部を示す図番は、図16に準ずる。図17(A)～(C)は、電流の
経路を模式的に示している。図17(D)は、ビデオ信号の書き込み時における各
経路を流れる電流の関係を示し、図17(E)は、同じくビデオ信号の書き込み時
5 に容量素子610に蓄積される電圧、つまりTFT608のゲート・ソース間電圧
を示す。

まず、第1及び第2の走査線602、603にパルスが入力され、TFT606、
607がオンする。このとき、信号線601を流れる電流は信号電流を I_{data} と表
記する。信号線601には、信号電流 I_{data} が流れているので、図17(A)に示
10 すように、画素内では、電流の経路は I_1 と I_2 とに分かれて流れる。これらの関
係を図17(D)に示すが、 $I_{data} = I_1 + I_2$ であることは言うまでもない。

TFT606がオンした瞬間には、まだ容量素子610には電荷が保持されてい
ないため、TFT608はオフである。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ とな
る。この間は、容量素子610の両電極間に電流が流れて、該容量素子610にお
15 いて電荷の蓄積が行われている。

そして徐々に容量素子610に電荷が蓄積され、両電極間に電位差が生じ始める
(図17(E))。両電極の電位差が V_{th} となると(図17(E)、A点)、TFT6
08がオンして、 I_2 が生ずる。前述したように、 $I_{data} = I_1 + I_2$ であるので、
 I_1 は次第に減少するが、依然電流は流れており、容量素子610にはさらに電荷
20 の蓄積が行われる。

容量素子610では、その両電極の電位差、つまりTFT608のゲート・ソー
ス間電圧が所望の電圧になるまで電荷の蓄積が続く。つまりTFT608が I_{data}
の電流を流すことが出来るだけの電圧になるまで電荷の蓄積が続く。やがて電荷の
蓄積が終了する(図17(E)、B点)と、電流 I_2 は流れなくなる。また、TFT
25 608は完全にオンしているので、 $I_{data} = I_2$ となる(図17(B))。以上の動
作により、画素に対する信号の書き込み動作が完了する。最後に第1及び第2の走

査線 602、603 の選択が終了し、TFT606、607 がオフする。

続いて、第3の走査線604にパルスが入力され、TFT609がオンする。容量素子610には、先ほど書き込んだ VGS が保持されているため、TFT608はオンしており、電流線605から I data に等しい電流が流れる。これにより発光素子611が発光する。このとき、TFT608が飽和領域において動作するようにしておけば、TFT608のソース・ドレイン間電圧が変化したとしても、発光素子611に流れる発光電流 I EL は変わりなく流れる。

このように電流入力方式とは、TFT609のドレイン電流が電流源回路612で設定された信号電流 I data と同じ電流値になるように設定し、このドレイン電流に
10 応じた輝度で発光素子611が発光を行う方式をいう。上記構成の画素を用いることで、画素を構成するTFTの特性バラツキの影響を抑制して、所望の電流を発光素子に供給することが出来る。

但し、電流入力方式を適用した発光装置では、ビデオ信号に応じた信号電流を正確に画素に入力する必要がある。しかし、信号電流を画素に入力する役目を担う信号線駆動回路（図16では電流源回路612に相当）をポリシリコントランジスタで形成すると、その特性にバラツキが生じるため、該信号電流にもバラツキが生じてしまう。

つまり電流入力方式を適用した発光装置では、画素及び信号線駆動回路を構成するTFTの特性バラツキの影響を抑制する必要がある。しかし図16（B）に示す構成の画素を用いることによって、画素を構成するTFTの特性バラツキの影響を抑制することは出来るが、信号線駆動回路を構成するTFTの特性バラツキの影響を抑制することは困難となる。

そこで、電流入力方式の画素を駆動する信号線駆動回路に配置される電流源回路の構成とその動作について図18を用いて簡単に説明する。

25 図18（A）（B）における電流源回路612は、図16（B）で示した電流源回路612に相当する。電流源回路612は、定電流源555～558を有する。

定電流源 555～558 は、端子 551～554 を介して入力される信号により制御される。定電流源 555～558 から供給される電流の大きさは各々異なり、その比は 1 : 2 : 4 : 8 となるように設定されている。

図 18 (B) は電流源回路 612 の回路構成を示した図であり、図中の定電流源 555～558 はトランジスタに相当する。トランジスタ 555～558 のオン電流は、 L (ゲート長) / W (ゲート幅) 値の比 (1 : 2 : 4 : 8) に起因して 1 : 2 : 4 : 8 となる。そうすると電流源回路 612 は、 $2^4 = 16$ 段階で電流の大きさを制御することが出来る。つまり 4 ビットのデジタルビデオ信号に対して、16 階調のアナログ値を持つ電流を出力することが出来る。なお、この電流源回路 612 は、

10 ポリシリコントランジスタで形成され、画素部と同一基板上に一体形成される。

このように、従来において、電流源回路を内蔵した信号線駆動回路は提案されている。(例えば、非特許文献 1、2 参照)

また、デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と面積階調方式とを組み合わせた方式 (以下面積階調方式と表記) やデジタル階調方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) があ

15 る。面積階調方式とは、一画素を複数の副画素に分割し、それぞれの副画素で発光、又は非発光を選択することで、一画素において発光している面積と、それ以外の面積との差をもって階調を表現する方式である。また時間階調方式とは、発光素子が発光している時間を制御することにより、階調表現を行う方式である。具体的には、

20 1 フレーム期間を長さの異なる複数のサブフレーム期間に分割し、各期間での発光素子の発光、又は非発光を選択することで、1 フレーム期間内で発光した時間の長さの差をもって階調を表現する。デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) が提案されている。(例えば、特許文献 1 参照)

25 [非特許文献 1]

服部励治、他 3 名、「信学技報」、ED2001-8、電流指定型ポリシリコン TFT アクテ

ィブマトリクス駆動有機 LED ディスプレイの回路シミュレーション、p. 7-14

〔非特許文献2〕

Reiji H et al., 「AM-LCD'01」、OLED-4, p. 223-226

5 〔特許文献1〕

特開2001-5426号公報

発明の開示

上述した電流源回路612は、L/W値を設計することによって、トランジスタの
10 オン電流を1:2:4:8になるように設定している。しかしトランジスタ555
～558は、作製工程や使用する基板の相違によって生じるゲート長、ゲート幅及
びゲート絶縁膜の膜厚のバラツキの要因が重なって、しきい値や移動度にバラツキ
が生じてしまう。そのため、トランジスタ555～558のオン電流を設計通りに
正確に1:2:4:8にすることは困難である。つまり列によって、画素に供給す
15 る電流値にバラツキが生じてしまう。

トランジスタ555～558のオン電流を設計通りに正確に1:2:4:8にする
ためには、全ての列にある電流源回路の特性を、全て同一にする必要がある。つ
まり、信号線駆動回路の有する電流源回路のトランジスタの特性を、全て同一にす
る必要があるが、その実現は非常に困難である。

20 本発明は上記の問題点を鑑みてなされたものであり、TFTの特性バラツキの影
響を抑制して、所望の信号電流を画素に供給することができる信号線駆動回路を提
供する。さらに本発明は、TFTの特性バラツキの影響を抑制した回路構成の画素
を用いることにより、画素及び駆動回路の両方を構成するTFTの特性バラツキの
影響を抑制して、所望の信号電流を発光素子に供給することができる発光装置を提
25 供する。

本発明は、TFTの特性バラツキの影響を抑制して、所望の一定電流を流す電気

回路（本明細書では電流源回路とよぶ）を設けた新しい構成の信号線駆動回路を提供する。さらに本発明は、前記信号線駆動回路を具備した発光装置を提供する。

本発明は各列（各信号線など）に電流源回路が配置された信号線駆動回路を提供する。

- 5 本発明の信号線駆動回路では、リファレンス用定電流源を用いて、各信号線（各列）に配置された電流源回路に、所定の信号電流を供給するように設定される。信号電流を供給するように設定された電流源回路では、リファレンス用定電流源に比例した電流を流す能力を有する。その結果、前記電流源回路を用いることにより、信号線駆動回路を構成するTFTの特性バラツキの影響を抑制することが出来る。
- 10 そして本発明の信号線駆動回路では、電流源回路に設定された信号電流を画素に供給するか否かを決定するスイッチをビデオ信号により制御する。

つまり、信号線にビデオ信号に比例した信号電流を流す必要がある場合は、電流源回路から信号線駆動回路に信号電流を供給するか否かを決定するスイッチがあり、それはビデオ信号により制御される。

- 15 なお、本明細書において、電流源回路から信号線駆動回路に信号電流を供給するか否かを決定するスイッチのことを、信号電流制御スイッチと呼ぶことにする。

なお、リファレンス用定電流源は、基板上に信号線駆動回路と一体形成してもよい。またはリファレンス用電流として、基板の外部からIC等を用いて一定の電流を入力してもよい。

- 20 本発明の信号線駆動回路の概略について図1、2を用いて説明する。図1、2には、 i 列目から $(i+2)$ 列目の3本の信号線の周辺の信号線駆動回路が示されている。

まず、信号線にビデオ信号に比例した信号電流を流す必要がある場合について述べる。

- 25 図1において、信号線駆動回路403は各信号線（各列）に電流源回路420が配置されている。電流源回路420は、端子a、端子b及び端子cを有する。端子

a には設定信号が入力される。端子 b には電流線に接続されたリファレンス用定電流源 109 から電流（リファレンス用電流）が供給される。また端子 c は、スイッチ 101（信号電流制御スイッチ）を介して電流源回路 420 に保持された信号を出力する。つまり、電流源回路 420 は端子 a から入力される設定信号により制御され、端子 b から電流（リファレンス用電流）が供給され、端子 c から該電流（リファレンス用電流）に比例した電流（信号電流）が出力される。スイッチ 101（信号電流制御スイッチ）は、電流源回路 420 と画素の間に配置され、前記スイッチ 101（信号電流制御スイッチ）のオン又はオフは、ビデオ信号により制御される。

次いで図 1 とは異なる構成の本発明の信号線駆動回路について図 2 を用いて説明する。図 2 において、信号線駆動回路 403 はそれぞれの信号線ごと（各列）に 2 つ以上の電流源回路が配置されている。ここでは仮に各列に 2 つの電流源回路が配置されているとし、電流源回路 420 は第 1 電流源回路 421 及び第 2 電流源回路 422 を有するとする。第 1 電流源回路 421 及び第 2 電流源回路 422 は、端子 a～d を有する。端子 a には設定信号が入力される。端子 b には電流線に接続されたリファレンス用定電流源 109 から電流（リファレンス用電流）が供給される。また端子 c は、スイッチ 101（信号電流制御スイッチ）を介して第 1 電流源回路 421 及び第 2 電流源回路 422 に保持された信号（信号電流）を出力する。端子 d からは、制御信号が入力される。つまり電流源回路 420 は、端子 a から入力される設定信号及び端子 d から入力される制御信号により制御され、端子 b から電流（リファレンス用電流）が供給され、端子 c から該電流（リファレンス用電流）に比例した電流（信号電流）が出力される。スイッチ 101（信号電流制御スイッチ）は、電流源回路 420 と画素の間に配置され、前記スイッチ 101（信号電流制御スイッチ）のオン又はオフは、ビデオ信号により制御される。

電流源回路 420 に対して信号電流の書き込みを終了させる動作（信号電流を設定する、リファレンス用電流によって信号電流を設定する、電流源回路 420 が信号電流を出力できるように定める動作）を設定動作と呼び、信号電流を画素に入力

する動作（電流源回路420が信号電流を出力する動作）を入力動作と呼ぶことにする。図2において、第1電流源回路421及び第2電流源回路422に入力される制御信号は互いに異なっているため、第1電流源回路421及び第2電流源回路422は、一方は設定動作を行い、他方は入力動作を行う。これにより、各列で同

5 時に2つの動作を行うことが出来る。

なお設定動作は任意の時間に任意のタイミングで任意の回数だけ行えばよい。どのようなタイミングで設定動作を行うかは、画素構成（画素に配置された電流源回路）や、信号線駆動回路に配置された電流源回路などの構成により、任意に調節することができる。設定動作を行う回数は、信号線駆動回路に、電源を供給し、動作

10 し始める時に、最低限1回だけ行えばよい。しかしながら、実際には、設定動作により取得した情報が漏れてしまったりする場合があるため、その情報を再び取得したほうがよい時期がきたら、再び設定動作を行えばよい。

図1、2に示した信号線駆動回路では、ビデオ信号に比例した信号電流を信号線に供給する場合について述べた。但し、本発明はこれに限定されない。例えば、信

15 号線とは異なる別の配線に電流を供給してもよい。この場合には、スイッチ101（信号電流制御スイッチ）を配置する必要はない。このスイッチ101を配置しない場合について、図1については図29、図2については図30に示す。この場合には、電流は画素用電流線に出力され、信号線にはビデオ信号が出力される。

本発明は、2つのシフトレジスタ（第1及び第2シフトレジスタ）を設けた信号

20 線駆動回路を提供する。この第1及び第2シフトレジスタは、一方は電流源回路、他方はビデオ信号を制御するための回路、つまり画像を表示するために動作させる回路であり、例えばラッチ回路やサンプリングスイッチやスイッチ101（信号電流制御スイッチ）などを制御する。そうすると、第1及び第2シフトレジスタの動作を独立に行うことが可能となり、必然的に電流源回路の設定動作と画像表示動作

25 とを独立に行うことが可能となる。電流源回路の設定動作は、時間をかけて行う方が正確に行えるため、電流源回路とラッチ回路とを独立に動作させることが出来る

本発明の構成は大変有効である。

- なおシフトレジスタはフリップフロップ回路やデコーダ回路等の回路により構成される。シフトレジスタがフリップフロップ回路により構成される場合には、通常複数の配線は1列目から最終列目まで順に選択される。一方、シフトレジスタが
- 5 デコーダ回路等により構成される場合には、複数の配線はランダムに選択することが可能となる。シフトレジスタの構成は、その用途に従って、適宜選択するとよい。複数の配線をランダムに選択できると、設定信号もランダムに出力できるようになる。従って、電流源回路の設定動作も、1列目から順に行うのではなく、ランダムに行うことができるようになる。そうすると、設定動作に伴う不具合があった場合、
- 10 その不具合を目立たなくさせることができるようになる。

なお、本発明において、TFT は、通常の単結晶を用いたトランジスタや、SOIを用いたトランジスタ、有機トランジスタなどに置き換えて適用することができる。

- また本発明において、発光装置とは発光素子を有する画素部及び信号線駆動回路が基板とカバー材との間に封入されたパネル、前記パネルにIC等を実装したモジュール、ディスプレイなどを範疇に含む。つまり発光装置とは、パネル、モジュール及びディスプレイなどの総称に相当する。
- 15

- 本発明は上記のような電流源回路を有する信号線駆動回路を提供する。さらに本発明は、TFTの特性に左右されない回路構成の画素を用いることにより、画素及び駆動回路の両方を構成するTFTの特性バラツキの影響を抑制し、また所望の信号電流 I_{data} を発光素子に供給することができる発光装置を提供する。
- 20

図面の簡単な説明

図1は、信号線駆動回路の図。

図2は、信号線駆動回路の図。

- 25 図3は、信号線駆動回路の図（1ビット）。

図4は、信号線駆動回路の図（3ビット）。

図 5 は、信号線駆動回路の図（3 ビット）。

図 6 は、電流源回路の回路図。

図 7 は、電流源回路の回路図。

図 8 は、電流源回路の回路図。

5 図 9 は、タイミングチャート。

図 10 は、タイミングチャート。

図 11 は、タイミングチャート。

図 12 は、発光装置の外観を示す図。

図 13 は、発光装置の画素の回路図。

10 図 14 は、本発明の駆動方法を説明する図。

図 15 は、本発明の発光装置を示す図。

図 16 は、発光装置の画素の回路図。

図 17 は、発光装置の画素の動作を説明する図。

図 18 は、電流源回路の図。

15 図 19 は、電流源回路の動作を説明する図。

図 20 は、電流源回路の動作を説明する図。

図 21 は、電流源回路の動作を説明する図。

図 22 は、本発明が適用される電子機器を示す図。

図 23 は、信号線駆動回路の図（3 ビット）。

20 図 24 は、信号線駆動回路の図（3 ビット）。

図 25 は、リファレンス用定電流源の回路図。

図 26 は、リファレンス用定電流源の回路図。

図 27 は、リファレンス用定電流源の回路図。

図 28 は、リファレンス用定電流源の回路図。

25 図 29 は、信号線駆動回路の図。

図 30 は、信号線駆動回路の図。

- 図 3 1 は、電流源回路の回路図。
- 図 3 2 は、電流源回路の回路図。
- 図 3 3 は、電流源回路の回路図。
- 図 3 4 は、電流源回路の回路図。
- 5 図 3 5 は、電流源回路の回路図。
- 図 3 6 は、電流源回路の回路図。
- 図 3 7 は、デコーダ回路の図。
- 図 3 8 は、シフトレジスタの図。
- 図 3 9 は、信号線駆動回路の図。
- 10 図 4 0 は、信号線駆動回路の図。
- 図 4 1 は、信号線駆動回路の図。
- 図 4 2 は、信号線駆動回路の図。
- 図 4 3 は、信号線駆動回路の図。
- 図 4 4 は、信号線駆動回路の図。
- 15 図 4 5 は、信号線駆動回路の図。
- 図 4 6 は、信号線駆動回路の図。
- 図 4 7 は、信号線駆動回路の図。
- 図 4 8 は、信号線駆動回路の図。
- 図 4 9 は、信号線駆動回路の図。
- 20 図 5 0 は、信号線駆動回路の図。
- 図 5 1 は、信号線駆動回路の図。
- 図 5 2 は、発光装置の図。
- 図 5 3 は、発光装置の画素の回路図。
- 図 5 4 は、タイミングチャート。
- 25 図 5 5 は、タイミングチャート。
- 図 5 6 は、タイミングチャート。

図 5 7 は、電流源回路のレイアウト図。

図 5 8 は、電流源回路の回路図。

発明を実施するための最良の形態

5 (実施の形態 1)

本実施の形態では、本発明の信号線駆動回路に具備される図 1 に示した電流源回路 4 2 0 の回路構成の例とその動作について説明する。

- なお信号線駆動回路は、電流源回路 4 2 0、シフトレジスタ及びラッチ回路などを有する。そして本発明の信号線駆動回路は、電流源回路 4 2 0 を制御する第 1 シフトレジスタと、ラッチ回路などを制御する第 2 シフトレジスタを有する。

- 本発明では端子 a から入力される設定信号とは、第 1 シフトレジスタからのサンプリングパルスを示す。つまり図 1 における設定信号とは、第 1 シフトレジスタからのサンプリングパルスに相当する。そして本発明では、第 1 シフトレジスタからのサンプリングパルスのタイミングに合わせて、電流源回路 4 2 0 の設定を行う。
- そして本発明では、電流源回路 4 2 0 を制御する第 1 シフトレジスタと、ラッチ回路を制御する第 2 シフトレジスタとを設けることにより、第 1 シフトレジスタの動作と第 2 シフトレジスタの動作を完全に独立させて行うことが出来る。つまり第 2 シフトレジスタを高速に動作させているときに、第 1 シフトレジスタを低速で動作させることが出来る。そのため、電流源回路 4 2 0 の設定に時間をかけて正確に行うことが出来る。

- なおシフトレジスタはフリップフロップ回路やデコーダ回路等の回路により構成される。シフトレジスタがフリップフロップ回路により構成される場合には、通常複数の配線は 1 列目から最終列目まで順に選択される。一方、シフトレジスタがデコーダ回路などにより構成される場合には、複数の配線はランダムに選択することが可能となる。シフトレジスタの構成は、その用途に従って、適宜選択するとよい。複数の配線をランダムに選択できると、設定信号もランダムに出力できるよう

になる。従って、電流源回路の設定動作も、1列目から順に行うのではなく、ランダムに行うことができるようになる。そうすると、設定動作に伴う不具合があった場合、その不具合を目立たなくさせることができるようになる。シフトレジスタの構成は、その用途に従って適宜選択するとよい。

- 5 なおシフトレジスタとは、フリップフロップ回路（FF）等を複数列用いた構成を有するものである。そして前記シフトレジスタにクロック信号（S-CLK）、スタートパルス（S-SP）及びクロック反転信号（S-CLKb）が入力されて、これらの信号のタイミングに従って、順次出力される信号をサンプリングパルスとよぶ。

図6（A）において、スイッチ104、105a、106と、トランジスタ102（nチャネル型）と、該トランジスタ102のゲート・ソース間電圧VGSを保持する容量素子103とを有する回路が電流源回路420に相当する。

電流源回路420では、端子aを介して入力されるサンプリングパルスによってスイッチ104、スイッチ105aがオンとなる。そうすると、電流線に接続されたリファレンス用定電流源109（以下定電流源109と表記）から、端子bを介して電流（リファレンス用電流）が供給され、容量素子103に所定の電荷が保持される。そして定電流源109から流される電流（リファレンス用電流）がトランジスタ102のドレイン電流と等しくなるまで、容量素子103に電荷が保持される。

次いで、端子aを介して入力される信号により、スイッチ104、スイッチ105aをオフにする。そうすると、容量素子103に所定の電荷が保持されているため、トランジスタ102は、信号電流I_{data}に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101（信号電流制御スイッチ）、スイッチ106が導通状態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ102のゲート電圧は、容量素子103により所定のゲート電圧に維持されているため、トランジスタ102のドレイン領域には信号電流I_{data}に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するト

ランジスタの特性バラツキに左右されずに、画素に入力される電流の大きさを制御できる。

なお、スイッチ101（信号電流制御スイッチ）が配置されていない場合は、スイッチ116が導通状態になると、端子cを介して信号線に接続された画素に電流5が流れる。

なおスイッチ104及びスイッチ105aの接続構成は図6（A）に示す構成に限定されない。例えば、スイッチ104の一方を端子bに接続し、他方をトランジスタ102のゲート電極の間に接続し、更にスイッチ105aの一方を、スイッチ104を介して端子bに接続して、他方をスイッチ106に接続する構成でもよい。

10 そしてスイッチ104及びスイッチ105aは、端子aから入力される信号により制御される。

或いは、スイッチ104は端子bとトランジスタ102のゲート電極の間に配置し、スイッチ105aは端子bとスイッチ116の間に配置してもよい。つまり、図31（A）を参照すると、設定動作時には図31（A1）のように接続され、入

15 力動作時には図31（A2）のように接続されるように、配線やスイッチを配置するとよい。配線の本数やスイッチの個数、及びその接続構成は特に限定されない。

なお図6（A）に示す電流源回路420では、信号を設定する動作（設定動作）と、信号を画素に入力する動作（入力動作）を同時に行うことは出来ない。

図6（B）において、スイッチ124、スイッチ125と、トランジスタ122

20 （nチャネル型）と、該トランジスタ122のゲート・ソース間電圧VGSを保持する容量素子123と、トランジスタ126（nチャネル型）とを有する回路が電流源回路420に相当する。

トランジスタ126はスイッチ又は電流源用トランジスタの一部のどちらかとして機能する。

25 電流源回路420では、端子aを介して入力されるサンプリングパルスによってスイッチ124、スイッチ125がオンとなる。そうすると、電流線に接続された

定電流源109から、端子bを介して電流（リファレンス用電流）が供給され、容量素子123に所定の電荷が保持される。そして定電流源109から流される電流（リファレンス用電流）がトランジスタ122のドレイン電流と等しくなるまで、容量素子123に電荷が保持される。なおスイッチ124がオンとなると、トランジスタ126のゲート・ソース間電圧VGSが0Vとなるので、トランジスタ126はオフになる。

次いで、スイッチ124、スイッチ125をオフにする。そうすると、容量素子123に所定の電荷が保持されているため、トランジスタ122は、信号電流I_{data}に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101（信号電流制御スイッチ）が導通状態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ122のゲート電圧は、容量素子123により所定のゲート電圧に維持されているため、トランジスタ122のドレイン領域には信号電流I_{data}に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素に入力される電流の大きさを制御できる。

なおスイッチ124、125がオフすると、トランジスタ126のゲートとソースは同電位ではなくなる。その結果、容量素子123に保持された電荷がトランジスタ126の方にも分配され、トランジスタ126が自動的にオンになる。ここで、トランジスタ122、126は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ122、126はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長Lが異なることになる。従って、設定動作時に端子bから供給される電流値は、入力動作時に端子cから供給される電流値よりも大きくすることが出来る。そのため、端子bとリファレンス用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。なお、スイッチ101（信号電流制御スイッチ）が配置されてい

い場合は、トランジスタ 126 が導通状態になると、端子 c を介して信号線に接続された画素に電流が流れる。

- なお、配線の本数、スイッチの個数及びその接続構成は特に限定されない。つまり、図 31 (B) を参照すると、設定動作時には図 31 (B1) のように接続され、
- 5 入力動作時には図 31 (B2) のように接続されるように、配線やスイッチを配置するとよい。特に、図 31 (C2) においては、容量素子 107 に貯まった電荷が漏れないようになっていればよい。

なお図 6 (B) に示す電流源回路 420 では、信号を設定する動作（設定動作）と、信号を画素に入力する動作（入力動作）を同時に行うことは出来ない。

- 10 図 6 (C) において、スイッチ 108、スイッチ 110、トランジスタ 105b、106 (nチャネル型)、該トランジスタ 105b、106 のゲート・ソース間電圧 VGS を保持する容量素子 107 とを有する回路が電流源回路 420 に相当する。

- 電流源回路 420 では、端子 a を介して入力されるサンプリングパルスによってスイッチ 108、スイッチ 110 がオンとなる。そうすると電流線に接続された定
- 15 電流源 109 から、端子 b を介して電流（リファレンス用電流）が供給され、容量素子 107 に所定の電荷が保持される。そして定電流源 109 から流される電流（リファレンス用電流）がトランジスタ 105b のドレイン電流と等しくなるまで、容量素子 107 に電荷が保持される。このとき、トランジスタ 105b 及びトランジスタ 106 のゲート電極は互いに接続されているので、トランジスタ 105b 及び
- 20 トランジスタ 106 のゲート電圧は、容量素子 107 によって保持されている。

- 次いで、端子 a を介して入力される信号により、スイッチ 108、スイッチ 110 をオフにする。そうすると、容量素子 107 に所定の電荷が保持されるため、トランジスタ 106 は、電流（リファレンス用電流）に応じたの大きさの電流を流す能力をもつことになる。そして仮にスイッチ 101（信号電流制御スイッチ）が導
- 25 通状態になると、端子 c を介して信号線に接続された画素に電流が流される。このとき、トランジスタ 106 のゲート電圧は、容量素子 107 により所定のゲート電

圧に維持されているため、トランジスタ 106 のドレイン領域には電流（リファレンス用電流）に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素に入力される電流の大きさを制御することが出来る。

- 5 なおスイッチ 101（信号電流制御スイッチ）が配置されていない場合は、端子 c を介して信号線に接続された画素に電流が流れる。

このとき、トランジスタ 106 のドレイン領域に、信号電流 I_{data} に応じたドレイン電流を正確に流すためには、トランジスタ 105b 及びトランジスタ 106 の特性が同じであることが必要となる。より詳しくは、トランジスタ 105b 及びトランジスタ 106 の移動度、しきい値などの値が同じであることが必要となる。また図 6（C）では、トランジスタ 105b 及びトランジスタ 106 の W （ゲート幅）/ L （ゲート長）の値を任意に設定して、定電流源 109 から供給される電流に比例した電流を画素に流すようにしてもよい。

- またトランジスタ 105b 及び 106 のうち、定電流源 109 に接続されたトランジスタの W/L を大きく設定することで、該定電流源 109 から大電流を供給して、書き込み速度を早くすることが出来る。

なお図 6（C）に示す電流源回路 420 では、信号を設定する動作（設定動作）と、信号を画素に入力する動作（入力動作）を同時に行うことが出来る。

- そして図 6（D）、（E）に示す電流源回路 420 は、図 6（C）に示す電流源回路 420 とスイッチ 110 の接続構成が異なっている点以外は、その他の回路素子の接続構成は同じである。また図 6（D）、（E）に示す電流源回路 420 の動作は、図 6（C）に示す電流源回路 420 の動作に準ずるので、ここでは説明を省略する。

- なおスイッチの個数やその接続構成は特に限定されない。つまり、図 31（C）を参照すると、設定動作時には図 31（C1）のように接続され、入力動作時には図 31（C2）のように接続されるように、配線やスイッチを配置するとよい。特に、図 31（C2）においては、容量素子 107 に貯まった電荷が漏れないように

なっていればよい。配線の本数やスイッチの個数及びその接続構成は特に限定されない。

図 3 2 (A) において、スイッチ 1 9 5 b、1 9 5 c、1 9 5 d、1 9 5 f、トランジスタ 1 9 5 a、容量素子 1 9 5 e を有する回路が電流源回路に相当する。図 3 2 (A) に示す電流源回路では、端子 a を介して入力される信号によりスイッチ 1 9 5 b、1 9 5 c、1 9 5 d、1 9 5 f がオンになる。そうすると、端子 b を介して、電流線に接続された定電流源 1 0 9 から電流が供給され、定電流源 1 0 9 から供給される信号電流とトランジスタ 1 9 5 a のドレイン電流が等しくなるまで、容量素子 1 9 5 e に所定の電荷が保持される。

10 次いで、端子 a を介して入力される信号により、スイッチ 1 9 5 b、1 9 5 c、1 9 5 d、f がオフになる。このとき、容量素子 1 9 5 e には所定の電荷が保持されているため、トランジスタ 1 9 5 a は信号電流に応じた大きさの電流を流す能力を有する。これは、トランジスタ 1 9 5 a のゲート電圧は、容量素子 1 9 5 e により所定のゲート電圧に設定されており、該トランジスタ 1 9 5 a のドレイン領域に
15 は電流（リファレンス用電流）に応じたドレイン電流が流れるためである。この状態において、端子 c を介して外部に電流が供給される。なお図 3 2 (A) に示す電流源回路では、電流源回路が信号電流を流す能力を有するように設定する設定動作と、該信号電流を画素に入力する入力動作を同時に行うことは出来ない。また端子 a を介して入力される信号により制御されるスイッチがオンであり、且つ端子 c から
20 ら電流が流れないようにしているときは、端子 c と他の電位の配線とを接続する必要がある。そして、ここではその配線の電位を、 V_a とする。 V_a は、端子 b から流れてくる電流をそのまま流せるような電位であればよく、一例としては、電源電圧 V_{dd} などであり。

なおスイッチの個数やその接続構成は特に限定されない。つまり、図 3 2 (B) (C) を参照すると、設定動作時には図 3 2 (B 1) (C 1) のように接続され、
25 入力動作時には図 3 2 (B 2) (C 2) のように接続されるように、配線やスイッ

チを配置するとよい。配線の本数やスイッチの個数及びその接続構成は特に限定されない。

また図6 (A)、図6 (C) ~ (E) において、電流の流れる方向 (画素から信号線駆動回路へ) は同様であって、トランジスタ102、トランジスタ105b、トランジスタ106の導電型をpチャネル型にしてもよい。

そこで図7 (A) には、電流の流れる方向 (画素から信号線駆動回路へ) は同じであって、図6 (A) に示すトランジスタ102をpチャネル型にしたときの回路図を示す。図6 (A) では、容量素子をゲート・ソース間に配置することにより、ソースの電位は変化しても、ゲート・ソース間電圧は保持することが出来る。

10 また図7 (B) ~ (D) には、電流の流れる方向 (画素から信号線駆動回路へ) は同じであって、図6 (C) ~ (D) に示すトランジスタ105b、106をpチャネル型にしたときの回路図を示す。

また、図33 (A) には、図32に示した構成において、トランジスタ195aをpチャネル型にした場合を示す。また図33 (B) には、図6 (B) に示した構成において、トランジスタ122、126をpチャネル型にした場合を示す。

図35において、スイッチ104、116、トランジスタ102、容量素子103などを有する回路が電流源回路に相当する。

図35 (A) は、図6 (A) の一部を変更した回路に相当する。図35 (A) に示す電流源回路では、電流源の設定動作時と、入力動作時とで、トランジスタのゲート幅 W が異なる。つまり、設定動作時には、図35 (B) のように接続され、ゲート幅 W が大きい。入力動作時には、図35 (C) のように接続され、ゲート幅 W が小さい。従って、設定動作時に端子bから供給される電流値は、入力動作時に端子cから供給される電流値よりも大きくすることが出来る。そのため、端子bとリファレンス用定電流源との間に配置された様々な負荷 (配線抵抗、交差容量など) を、より早く充電することができる。従って、設定動作を素早く完了させることができる。

なお、図 3 5 では、図 6 (A) の一部を変更した回路について示した。しかし、図 6 のほかの回路や図 7、図 3 2、図 3 3、図 3 4 などの回路にも、容易に適用できる。

なお図 6、図 7、図 3 2 に示した電流源回路では、電流は画素から信号線駆動回路 5 路の方向へ流れる。しかしながら、電流は画素から信号線駆動回路の方向へ流れるだけでなく、信号線駆動回路から画素の方向へ流れる場合もある。電流がどちらの方向に流れるかは、画素の構成に依存する。電流が信号線駆動回路から画素の方向へ流れる場合には、図 6 において、 V_{ss} (低電位電源) を V_{dd} (高電位電源) に変更して、トランジスタ 1 0 2、1 0 5 b、1 0 6、1 2 2、1 2 6 を p チャネル型 10 とすればよい。また図 7 において、 V_{ss} を V_{dd} に変更して、トランジスタ 1 0 2、1 0 5 b、1 0 6 を n チャネル型とすればよい。

なお、上記の全ての電流源回路において、配置されている容量素子は、トランジスタのゲート容量などを代用することで、配置しなくてもよい。

なお、図 7 (A) ~ (D)、図 3 3 (A) (B) の回路は、設定動作時には図 3 4 15 (A 1) ~ (D 1) のように接続され、入力動作時には図 3 4 (A 2) ~ (D 2) のように接続されるように、配線やスイッチを配置するとよい。配線の本数やスイッチの個数は特に限定されない。

以下には、図 6、7 を用いて説明した電流源回路のうち、図 6 (A) 及び図 7 (A)、図 6 (C) ~ (E) 及び図 7 (B) ~ (D) の電流源回路の動作について詳しく説 20 明する。まず、図 6 (A) 及び図 7 (A) の電流源回路の動作について図 1 9 を用いて説明する。

図 1 9 (A) ~ 図 1 9 (C) は、電流が回路素子間を流れていく経路を模式的に示している。図 1 9 (D) は、信号電流 I_{data} を電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図 1 9 (E) は、信号電流 I_{data} を電 25 流源回路に書き込むときに容量素子 1 6 に蓄積される電圧、つまりトランジスタ 1 5 のゲート・ソース間電圧と時間の関係を示している。また図 1 9 (A) ~ 図 1 9

(C) に示す回路図において、11はリファレンス用定電流源、スイッチ12～スイッチ14はスイッチング機能を有する半導体素子、15はトランジスタ（nチャネル型）、16は容量素子、17は画素である。本実施の形態では、スイッチ14と、トランジスタ15と、容量素子16とが電流源回路20に相当する電気回路とする。なお図19（A）には引き出し線と符号が付いており、図19（B）、（C）において引き出し線と符号は図19（A）に準ずるので図示は省略する。

nチャネル型のトランジスタ15のソース領域はVssに接続され、ドレイン領域はリファレンス用定電流源11に接続されている。そして容量素子16の一方の電極はVss（トランジスタ15のソース）に接続され、他方の電極はスイッチ14（トランジスタ15のゲート）に接続されている。容量素子16は、トランジスタ15のゲート・ソース間電圧を保持する役目を担う。

画素17は、発光素子やトランジスタなどにより構成される。発光素子は、陽極と陰極と、該陽極と該陰極との間に挟まれた発光層を有する。本明細書では、陽極を画素電極として用いる場合は陰極を対向電極と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。また発光層には、公知の発光材料を用いて作製することが出来る。発光層には、単層構造と積層構造の二つの構造があるが、本発明は公知のどのような構造を用いてもよい。発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と、三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明はどちらか一方、又は両方の発光を用いた発光装置にも適用できる。また発光層は、有機材料や無機材料などの公知の材料から構成される。

なお実際には、電流源回路20は信号線駆動回路に設けられている。そして信号線駆動回路に設けられた電流源回路20から、信号線や画素が有する回路素子等を介して発光素子に信号電流I_{data}に応じた電流が流れる。しかし図19は、リファレンス用定電流源11、電流源回路20及び画素17との関係の概略を簡単に説明するための図であるので、詳しい構成の図示は省略する。

まず電流源回路 20 が信号電流 I_{data} を保持する動作(設定動作)を図 19 (A)、
(B) を用いて説明する。図 19 (A) において、スイッチ 12、スイッチ 14 が
オンとなり、スイッチ 13 はオフとなる。この状態において、リファレンス用定電
流源 11 から信号電流 I_{data} が出力され、リファレンス用定電流源 11 から電流源
5 回路 20 の方向に電流が流れていく。このとき、リファレンス用定電流源 11 から
は信号電流 I_{data} が流れているので、図 19 (A) に示すように電流源回路 20 内
では、電流の経路は I_1 と I_2 に分かれて流れる。このときの関係を図 19 (D)
に示しているが、信号電流 $I_{data} = I_1 + I_2$ の関係であることは言うまでもない。

リファレンス用定電流源 11 から電流が流れ始めた瞬間には、容量素子 16 に電
10 荷は保持されていないため、トランジスタ 15 はオフしている。よって、 $I_2 = 0$
となり、 $I_{data} = I_1$ となる。

そして、徐々に容量素子 16 に電荷が蓄積されて、容量素子 16 の両電極間に電
位差が生じはじめる(図 19 (E))。両電極間の電位差が V_{th} になると(図 19
(E) A点)、トランジスタ 15 がオンして、 $I_2 > 0$ となる。上述したように I
15 $data = I_1 + I_2$ であるので、 I_1 は次第に減少するが、依然電流は流れている。容
量素子 16 には、さらに電荷の蓄積が行われる。

容量素子 16 の両電極間の電位差は、トランジスタ 15 のゲート・ソース間電圧
となる。そのため、トランジスタ 15 のゲート・ソース間電圧が所望の電圧、つま
りトランジスタ 15 が I_{data} の電流を流すことが出来るだけの電圧 (V_{GS}) にな
20 るまで、容量素子 16 における電荷の蓄積は続けられる。そして電荷の蓄積が終了
すると(図 19 (E) B点)、電流 I_2 は流れなくなり、さらにトランジスタ 15
はオンしているため、 $I_{data} = I_2$ となる(図 19 (B))。

次いで、画素に信号電流 I_{data} を入力する動作(入力動作)を図 19 (C) を用
いて説明する。画素に信号電流 I_{data} を入力するときには、スイッチ 13 をオンに
25 してスイッチ 12 及びスイッチ 14 をオフにする。容量素子 16 には前述した動作
において書き込まれた V_{GS} が保持されているため、トランジスタ 15 はオンして

おり、信号電流 I_{data} に等しい電流が、スイッチ 13 及びトランジスタ 15 を介して V_{ss} の方向に流れて、画素への信号電流 I_{data} の入力完了する。このとき、トランジスタ 15 を飽和領域において動作するようにしておけば、トランジスタ 15 のソース・ドレイン間電圧が変化したとしても、発光素子には一定の電流が供給される。

図 19 に示す電流源回路 20 では、図 19 (A) ~ 図 19 (C) に示すように、まず電流源回路 20 に対して信号電流 I_{data} の書き込みを終了させる動作（設定動作、図 19 (A)、(B) に相当）と、画素に信号電流 I_{data} を入力する動作（入力動作、図 19 (C) に相当）に分けられる。そして画素では入力された信号電流 I_{data} に基づき、発光素子への電流の供給が行われる。

図 19 に示す電流源回路 20 では、設定動作と入力動作を同時に行うことは出来ない。よって、設定動作と入力動作を同時に行う必要がある場合には、画素が複数個接続されている信号線であって、更に画素部に複数本配置されている信号線のそれぞれに、少なくとも 2 つの電流源回路を設けることが好ましい。但し、信号電流 I_{data} を画素に入力していない期間内に、設定動作を行うことが可能であるならば、信号線ごとに（各列に）1 つの電流源回路を設けるだけでもよい。

また図 19 (A) ~ 図 19 (C) に示した電流源回路 20 のトランジスタ 15 は n チャネル型であったが、勿論電流源回路 20 のトランジスタ 15 を p チャネル型としてもよい。ここで、トランジスタ 15 が p チャネル型の場合の回路図を図 19 (F) に示す。図 19 (F) において、31 はリファレンス用定電流源、スイッチ 32 ~ スwitch 34 はスイッチング機能を有する半導体素子（トランジスタ）、35 はトランジスタ（ p チャネル型）、36 は容量素子、37 は画素である。本実施の形態では、スイッチ 34 と、トランジスタ 35 と、容量素子 36 とが電流源回路 24 に相当する電気回路とする。

トランジスタ 35 は p チャネル型であり、トランジスタ 35 のソース領域及びドレイン領域は、一方は V_{dd} に接続され、他方は定電流源 31 に接続されている。そ

して容量素子 36 の一方の電極は Vdd に接続され、他方の電極はスイッチ 36 に接続されている。容量素子 36 は、トランジスタ 35 のゲート・ソース間電圧を保持する役目を担う。

図 19 (F) に示す電流源回路 24 の動作は、電流の流れる方向が異なる以外は、
5 上記の電流源回路 20 と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ 15 の極性を変更した電流源回路を設計する場合には、図 7 (A) に示す回路図を参考にすればよい。

なお図 36 において、電流の流れる方向は図 19 (F) と同じで、トランジスタ 35 を n チャネル型にしている。容量素子 36 は、トランジスタ 35 のゲート・ソース間に接続する。トランジスタ 35 のソースの電位は設定動作時と、入力動作時
10 とで異なる。しかし、ソースの電位が変化しても、ゲート・ソース間電圧は保持されているため、正常に動作する。

続いて、図 6 (C) ~ (E) 及び図 7 (B) ~ (D) の電流源回路の動作について図 20、21 を用いて説明する。図 20 (A) ~ 図 20 (C) は、電流が回路素
15 子間を流れていく経路を模式的に示している。図 20 (D) は、信号電流 I data を電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図 20 (E) は、信号電流 I data を電流源回路に書き込むときに容量素子 46 に蓄積される電圧、つまりトランジスタ 43、44 のゲート・ソース間電圧と時間の関係を示している。また図 20 (A) ~ 図 20 (C) に示す回路図において、41 はリ
20 ァレンス用定電流源、スイッチ 42 はスイッチング機能を有する半導体素子、43、44 はトランジスタ (n チャネル型)、46 は容量素子、47 は画素である。本実施の形態では、スイッチ 42 と、トランジスタ 43、44 と、容量素子 46 とが電流源回路 25 に相当する電気回路とする。なお図 20 (A) には引き出し線と符号が付いており、図 20 (B)、(C) において引き出し線と符号は図 20 (A) に準
25 ずるので図示は省略する。

n チャネル型のトランジスタ 43 のソース領域は Vss に接続され、ドレイン領域

は定電流源 4 1 に接続されている。n チャネル型のトランジスタ 4 4 のソース領域は V_{ss} に接続され、ドレイン領域は画素 4 7 の端子 4 8 に接続されている。そして容量素子 4 6 の一方の電極は V_{ss} (トランジスタ 4 3 及び 4 4 のソース) に接続され、他方の電極はトランジスタ 4 3 及びトランジスタ 4 4 のゲート電極に接続されている。容量素子 4 6 は、トランジスタ 4 3 及びトランジスタ 4 4 のゲート・ソース間電圧を保持する役目を担う。

なお実際には、電流源回路 2 5 は信号線駆動回路に設けられている。そして信号線駆動回路に設けられた電流源回路 2 5 から、信号線や画素が有する回路素子等を介して発光素子に信号電流 I_{data} に応じた電流が流れる。しかし図 2 0 は、リファレンス用定電流源 4 1、電流源回路 2 5 及び画素 4 7 との関係の概略を説明するための図であるので、詳しい構成の図示は省略する。

図 2 0 の電流源回路 2 5 では、トランジスタ 4 3 及びトランジスタ 4 4 のサイズが重要となる。そこでトランジスタ 4 3 及びトランジスタ 4 4 のサイズが、同じ場合と異なる場合について、符号を分けて説明する。図 2 0 (A) ~ 図 2 0 (C) において、トランジスタ 4 3 及びトランジスタ 4 4 のサイズが同じ場合には、信号電流 I_{data} を用いて説明する。そしてトランジスタ 4 3 及びトランジスタ 4 4 のサイズが異なる場合には、信号電流 I_{data1} と信号電流 I_{data2} を用いて説明する。なおトランジスタ 4 3 及びトランジスタ 4 4 のサイズは、それぞれのトランジスタの W (ゲート幅) / L (ゲート長) の値を用いて判断される。

最初に、トランジスタ 4 3 及びトランジスタ 4 4 のサイズが同じ場合について説明する。そしてまず信号電流 I_{data} を電流源回路 2 0 に保持する動作を図 2 0 (A)、(B) を用いて説明する。図 2 0 (A) において、スイッチ 4 2 がオンになると、リファレンス用定電流源 4 1 で信号電流 I_{data} が設定され、定電流源 4 1 から電流源回路 2 5 の方向に電流が流れていく。このとき、リファレンス用定電流源 4 1 からは信号電流 I_{data} が流れているので、図 2 0 (A) に示すように電流源回路 2 5 内では、電流の経路は I_1 と I_2 に分かれて流れる。このときの関係を図 2 0 (D)

に示しているが、信号電流 $I_{data} = I_1 + I_2$ の関係であることは言うまでもない。

定電流源 41 から電流が流れ始めた瞬間には、容量素子 46 に電荷は保持されていないため、トランジスタ 43 及びトランジスタ 44 はオフしている。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ となる。

- 5 そして、徐々に容量素子 46 に電荷が蓄積されて、容量素子 46 の両電極間に電位差が生じはじめる (図 20 (E))。両電極間の電位差が V_{th} になると (図 20 (E) A点)、トランジスタ 43 及びトランジスタ 44 がオンして、 $I_2 > 0$ となる。上述したように $I_{data} = I_1 + I_2$ であるので、 I_1 は次第に減少するが、依然電流は流れている。容量素子 46 には、さらに電荷の蓄積が行われる。
- 10 容量素子 46 の両電極間の電位差は、トランジスタ 43 及びトランジスタ 44 のゲート・ソース間電圧となる。そのため、トランジスタ 43 及びトランジスタ 44 のゲート・ソース間電圧が所望の電圧、つまりトランジスタ 44 が I_{data} の電流を流すことが出来るだけの電圧 (V_{GS}) になるまで、容量素子 46 における電荷の蓄積は続けられる。そして電荷の蓄積が終了すると (図 20 (E) B点)、電流
- 15 I_2 は流れなくなり、さらにトランジスタ 43 及びトランジスタ 44 はオンしているので、 $I_{data} = I_2$ となる (図 20 (B))。

次いで、画素に信号電流 I_{data} を入力する動作を図 20 (C) を用いて説明する。まずスイッチ 42 をオフにする。容量素子 46 には所定の電荷が保持されているため、トランジスタ 43 及びトランジスタ 44 はオンしており、画素 47 から信号電

20 流 I_{data} に等しい電流が流れる。これにより、画素に信号電流 I_{data} が入力される。このとき、トランジスタ 44 を飽和領域において動作するようにしておけば、トランジスタ 44 のソース・ドレイン間電圧が変化したとしても、画素において流れる電流は変わりなく流れることができる。

なお図 6 (C) のようなカレントミラー回路の場合には、スイッチ 42 をオフに

25 しなくても、定電流源 41 から供給される電流を用いて画素 47 に電流を流すことも出来る。つまり電流源回路 20 に対して信号を設定する動作と、信号を画素に入

力する動作（入力動作）を同時に行うことが出来る。

次いで、トランジスタ 4 3 及びトランジスタ 4 4 のサイズが異なる場合について説明する。電流源回路 2 5 における動作は、上述した動作と同じであるのでここでは説明を省略する。トランジスタ 4 3 及びトランジスタ 4 4 のサイズが異なると、

- 5 必然的にリファレンス用定電流源 4 1 において設定される信号電流 I_{data1} と画素 4 7 に流れる信号電流 I_{data2} とは異なる。両者の相違点は、トランジスタ 4 3 及びトランジスタ 4 4 の W/L （ゲート幅）/ L （ゲート長）の値の相違点に依存する。

- 通常はトランジスタ 4 3 の W/L 値を、トランジスタ 4 4 の W/L 値よりも大きくすることが望ましい。これは、トランジスタ 4 3 の W/L 値を大きくすれば、信号電流 I_{data1} を大きくできるからである。この場合、信号電流 I_{data1} で電流源回路を設定するとき、負荷（交差容量、配線抵抗）を充電できるため、素早く設定動作を行うことが可能となる。

- 図 2 0（A）～図 2 0（C）に示した電流源回路 2 5 のトランジスタ 4 3 及びトランジスタ 4 4 は n チャネル型であったが、勿論電流源回路 2 5 のトランジスタ 4 3 及びトランジスタ 4 4 を p チャネル型としてもよい。ここで、トランジスタ 4 3 及びトランジスタ 4 4 が p チャネル型の場合の回路図を図 2 1 に示す。

- 図 2 1 において、4 1 は定電流源、スイッチ 4 2 はスイッチング機能を有する半導体素子、4 3、4 4 はトランジスタ（p チャネル型）、4 6 は容量素子、4 7 は画素である。本実施の形態では、スイッチ 4 2 と、トランジスタ 4 3、4 4 と、容量素子 4 6 とが電流源回路 2 6 に相当する電気回路とする。

- p チャネル型のトランジスタ 4 3 のソース領域は V_{dd} に接続され、ドレイン領域は定電流源 4 1 に接続されている。p チャネル型のトランジスタ 4 4 のソース領域は V_{dd} に接続され、ドレイン領域は画素 4 7 の端子 4 8 に接続されている。そして容量素子 4 6 の一方の電極は V_{dd} （ソース）に接続され、他方の電極はトランジスタ 4 3 及びトランジスタ 4 4 のゲート電極に接続されている。容量素子 4 6 は、トランジスタ 4 3 及びトランジスタ 4 4 のゲート・ソース間電圧を保持する役目を担

う。

図 2 1 に示す電流源回路 2 4 の動作は、電流の流れる方向が異なる以外は、図 2 0 (A) ~ 図 2 0 (C) と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ 4 3、トランジスタ 4 4 の極性を変えた
5 電流源回路を設計する場合には、図 7 (B) に示す回路図を参考にすればよい。

また、電流の流れる方向を変えずに、トランジスタの極性を変えることも可能である。それは、図 3 6 の動作に準ずるので、ここでは説明を省略する。

以上をまとめると、図 1 9 の電流源回路では、電流源で設定される信号電流 I data と同じ大きさの電流が画素に流れる。言い換えると、定電流源において設定さ
10 れた信号電流 I data と、画素に流れる電流は値が同じであり、電流源回路に設けられたトランジスタの特性バラツキの影響は受けない。

また、図 1 9 の電流源回路及び図 6 (B) の電流源回路では、設定動作を行う期間においては、電流源回路から画素に信号電流 I data を出力することは出来ない。そのため、1 本の信号線ごとに 2 つの電流源回路を設けて、一方の電流源回路に信
15 号を設定する動作（設定動作）を行い、他方の電流源回路を用いて画素に I data を入力する動作（入力動作）を行うことが好ましい。

ただし、設定動作と入力動作を同時に行わない場合は、各列に 1 つの電流源回路を設けるだけでもよい。なお、図 3 2 (A)、図 3 3 (A) の電流源回路は、図 1 9 の電流源回路と、接続や電流が流れる経路が異なる以外は、同様である。図 3 5
20 (A) の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大きさが異なること以外は、同様である。また、図 6 (B)、図 3 3 (B) の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大きさが異なること以外は、同様である。つまり、図 3 5 (A) では、トランジスタのゲート幅 W が設定動作時と入力動作時で異なり、図 6 (B)、図 3 3 (B) では、
25 トランジスタのゲート長 L が設定動作時と入力動作時とで異なるだけで、それ以外は図 1 9 の電流源回路と同様の構成である。

一方、図20、21の電流源回路では、定電流源において設定された信号電流 I_{data} と、画素に流れる電流の値は、電流源回路に設けられた2つのトランジスタのサイズに依存する。つまり電流源回路に設けられた2つのトランジスタのサイズ (W (ゲート幅) / L (ゲート長)) を任意に設計して、定電流源において設定された信号電流 I_{data} と、画素に流れる電流を任意に変えることが出来る。但し、2つのトランジスタのしきい値や移動度などの特性にバラツキが生じている場合には、正確な信号電流 I_{data} を画素に出力することが難しい。

また、図20、21の電流源回路では、設定動作を行う期間に画素に信号を入力することは可能である。つまり、信号を設定する動作 (設定動作) と、信号を画素に入力する動作 (入力動作) を同時に行うことが出来る。そのため、図19の電流源回路のように、1本の信号線に2つの電流源回路を設ける必要はない。

なお信号線駆動回路に設けられる電流源回路は、信号線ごとに図19の電流源回路を1つ設ける場合と、信号線ごとに図19の電流源回路を2つ設ける場合と、信号線ごとに図20、21の電流源回路を設ける場合の3つの場合に大別される。

そして上記のうち、信号線ごとに図19の電流源回路を1つ設ける場合には、第1シフトレジスタの動作は、第2シフトレジスタが動作していない期間に行う必要がある。そして、それ以外の期間においては、第1シフトレジスタと第2シフトレジスタを同じ周波数で動作させてもよいし、異なる周波数で動作させてもよい。これは、信号線ごとに図19の電流源回路を1つ設ける場合において、設定動作と入力動作を同時に行うことが出来ないことに起因する。つまり、入力動作を行うときには第2シフトレジスタを用いて行い、設定動作を行うときには第1シフトレジスタを用いて行っている。つまり第2シフトレジスタが動作している期間においては、入力動作を行っているために、第1シフトレジスタは動作を行うことが出来ない。

上記構成を有する本発明は、TFTの特性バラツキの影響を抑制して、所望の電流を外部に供給することができる。

(実施の形態2)

図19（および図6（B）、図33（B）、図35（A）など）に示した電流源回路では、1本の信号線ごと（各列）に2つの電流源回路を設けて、一方の電流源回路で設定動作を行い、他方の電流源回路で入力動作を行うように設定することが好ましいことは上述した。これは、設定動作と入力動作とを同時に行うことが出来な
5 いためである。本実施の形態では、図2に示した第1電流源回路421又は第2電流源回路422の構成とその動作について図8を用いて説明する。

なお信号線駆動回路は、電流源回路420、シフトレジスタ及びラッチ回路などを有する。そして本発明の信号線駆動回路は、電流源回路420を制御する第1シフトレジスタと、ラッチ回路などを制御する第2シフトレジスタを有する。

10 本発明では端子aから入力される設定信号とは、第1シフトレジスタからのサンプリングパルスを示す。つまり図2における設定信号とは、第1シフトレジスタからのサンプリングパルスに相当する。そして本発明では、第1シフトレジスタからのサンプリングパルスと制御線のタイミングに合わせて、電流源回路420の設定を行う。

15 そして本発明では、電流源回路420を制御する第1シフトレジスタと、ラッチ回路を制御する第2シフトレジスタとを設けることにより、第1シフトレジスタの動作と第2シフトレジスタの動作を完全に独立させて行うことが出来る。つまり第2シフトレジスタを高速に動作させているときに、第1シフトレジスタを低速で動作させることが出来る。そのため、電流源回路420の設定に時間をかけて正確に
20 行うことが出来る。

なおシフトレジスタとは、フリップフロップ回路（FF）等を複数列用いた構成を有するものである。そして前記シフトレジスタにクロック信号（S-CLK）、スタートパルス（S-SP）及びクロック反転信号（S-CLKb）が入力されて、これらの信号のタイミングに従って、順次出力される信号をサンプリングパルスとよぶ。

25 なおシフトレジスタはフリップフロップ回路やデコーダ回路等の回路により構成される。シフトレジスタがフリップフロップ回路により構成される場合には、通

常複数の配線は1列目から最終列目まで順に選択される。一方、シフトレジスタがデコード回路などにより構成される場合には、複数の配線はランダムに選択することが可能となる。シフトレジスタの構成は、その用途に従って、適宜選択するとよい。複数の配線をランダムに選択できると、設定信号もランダムに出力できるようになる。従って、電流源回路の設定動作も、1列目から順に行うのではなく、ランダムに行うことができるようになる。そうすると、設定動作に伴う不具合があった場合、その不具合を目立たなくさせることができるようになる。シフトレジスタの構成は、その用途に従って適宜選択するとよい。

電流源回路420は、端子aを介して入力される設定信号と端子dを介して入力される信号とにより制御され、端子bから電流（リファレンス用電流）が供給され、該電流（リファレンス用電流）に比例した電流を端子cより出力する。

図8（A）において、スイッチ134～スイッチ139と、トランジスタ132（nチャネル型）と、該トランジスタ132のゲート・ソース間電圧VGSを保持する容量素子133とを有する回路が第1電流源回路421又は第2電流源回路422に相当する。

第1電流源回路421又は第2電流源回路422では、端子aを介して入力される信号によってスイッチ134、スイッチ136がオンとなる。また端子dを介して制御線から入力される信号によってスイッチ135、スイッチ137がオンとなる。そうすると、電流線に接続されたリファレンス用定電流源109から端子bを介して電流（リファレンス用電流）が供給され、容量素子133に所定の電荷が保持される。そして定電流源109から流される電流（リファレンス用電流）がトランジスタ132のドレイン電流と等しくなるまで、容量素子133に電荷が保持される。

次いで、端子a、dを介して入力される信号により、スイッチ134～スイッチ137をオフにする。そうすると、容量素子133に所定の電荷が保持されているため、トランジスタ132は、信号電流I_{data}に応じた大きさの電流を流す能力を

もつことになる。そして仮にスイッチ101（信号電流制御スイッチ）、スイッチ138、スイッチ139が導通状態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ132のゲート電圧は、容量素子133により所定のゲート電圧に維持されているため、トランジスタ132のドレイン領域には信号電流 I_{data} に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素において流れる電流の大きさを制御できる。

なお、スイッチ101（信号電流制御スイッチ）が配置されていない場合は、スイッチ138、139が導通状態になると、端子cを介して信号線に接続された画素に電流が流れる。

図8（B）において、スイッチ144～スイッチ147と、トランジスタ142（nチャネル型）と、該トランジスタ142のゲート・ソース間電圧 V_{GS} を保持する容量素子143と、トランジスタ148（nチャネル型）とを有する回路が第1電流源回路421又は第2電流源回路422に相当する。

第1電流源回路421又は第2電流源回路422では、端子aを介して入力される信号によってスイッチ144、スイッチ146がオンとなる。また端子dを介して制御線から入力される信号によってスイッチ145、スイッチ147がオンとなる。そうすると、電流線に接続された定電流源109から、端子bを介して電流（リファレンス用電流）が供給され、容量素子143に電荷が保持される。そして定電流源109から流される電流（リファレンス用電流）がトランジスタ142のドレイン電流と等しくなるまで、容量素子143に電荷が保持される。なおスイッチ144、スイッチ145がオンとなると、トランジスタ148のゲート・ソース間電圧 V_{GS} が0Vとなるので、トランジスタ148は自動的にオフになる。

次いで、端子a、dを介して入力される信号により、スイッチ144～147がオフになる。そうすると、容量素子143には所定の電荷が保持されているため、トランジスタ142は信号電流に応じた大きさの電流を流す能力を有する。そして

仮にスイッチ101（信号電流制御スイッチ）が導通状態になると、端子cを介して信号線に接続された画素に電流が供給される。これは、トランジスタ142のゲート電圧は容量素子143により所定のゲート電圧に設定されており、該トランジスタ142のドレイン領域には信号電流 I_{data} に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素において流れる電流の大きさを制御できる。

なおスイッチ144、145がオフすると、トランジスタ142のゲートとソースは同電位ではなくなる。その結果、容量素子143に保持された電荷がトランジスタ148の方にも分配され、トランジスタ148が自動的にオンになる。ここで、トランジスタ142、148は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ142、148はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とは、トランジスタのゲート長 L が異なることになる。従って、設定動作時に端子bから供給される電流値は、入力動作時に端子cから供給される電流値よりも大きくすることが出来る。そのため、端子bとリファレンス用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。なお、スイッチ101（信号電流制御スイッチ）が配置されていない場合は、スイッチ144、145がオフになると、端子cを介して信号線に接続された画素に電流が流れる。

なお、図8（A）は、図6（A）の構成に端子dを追加した構成に相当する。図8（B）は、図6（B）の構成に端子dを追加した構成に相当する。このように、図6（A）（B）の構成にスイッチを直列に追加して配置することにより、端子dを追加した図8（A）（B）の構成に変形される。なお、第1電流源回路421又は第2電流源回路422には、2つのスイッチを直列に配置することで、図6、図7、図33、図32、図35などに示した電流源回路の構成を任意に用いることができる。

なお図2では、1本の信号線ごとに第1電流源回路421及び第2電流源回路422の2つの電流源回路を有する電流源回路420を設けた構成を示したが、本発明はこれに限定されない。1本の信号線ごとに電流源回路の個数は特に限定されず、任意に設定することができる。複数の電流源回路は、各々に対応した定電流源を設けるように設定して、該定電流源から電流源回路に信号電流を設定するようにしてもよい。例えば、1本の信号線ごとに3つの電流源回路420を設けてもよい。そして各電流源回路420には異なるリファレンス用定電流源109から信号電流を設定するようにしてもよい。例えば、1つの電流源回路420には、1ビット用のリファレンス用定電流源を用いて信号電流を設定し、1つの電流源回路420には、2ビット用のリファレンス用定電流源を用いて信号電流を設定し、1つの電流源回路420には、3ビット用のリファレンス用定電流源を用いて信号電流を設定するようにしてもよい。そうすると、3ビット表示を行うことができる。

上記構成を有する本発明は、TFTの特性バラツキの影響を抑制して、所望の電流を外部に供給することができる。

15 本実施の形態は、実施の形態1と任意に組み合わせることが可能である。

(実施の形態3)

本実施の形態では、本発明の信号線駆動回路が具備される発光装置の構成について図15を用いて説明する。

図15(A)において、発光装置は基板401上に、複数の画素がマトリクス状に配置された画素部402を有し、画素部402の周辺には、信号線駆動回路403、第1及び第2の走査線駆動回路404、405を有する。図15(A)においては、信号線駆動回路403と、2組の走査線駆動回路404、405を有しているが、本発明はこれに限定されない。駆動回路の個数は、画素の構成に応じて任意に設計することができる。信号線駆動回路403と、第1及び第2の走査線駆動回路404、405には、FPC406を介して外部より信号が供給される。

第1及び第2の走査線駆動回路404、405の構成とその動作について図15

(B)を用いて説明する。第1及び第2の走査線駆動回路404、405は、シフトレジスタ407、バッファ408を有する。シフトレジスタ407は、クロック信号(G-CLK)、スタートパルス(S-SP)及びクロック反転信号(G-CLKb)に従って、順次サンプリングパルスを出力する。その後バッファ408で増幅されたサンプリングパルスは、走査線に入力されて1行ずつ選択状態にしていく。そして選択された走査線によって制御される画素には、順に信号線から信号が書き込まれる。

なお、シフトレジスタ407とバッファ408の間にレベルシフト回路を配置した構成にしてもよい。レベルシフト回路を配置することによって、電圧振幅を大きくすることが出来る。

10 本実施の形態は、実施の形態1、2と任意に組み合わせることができる。

(実施の形態4)

本実施の形態では、図15(A)に示した信号線駆動回路403の構成とその動作について説明する。本実施の形態では、1ビットのデジタル階調表示を行う場合に用いる信号線駆動回路403について図3を用いて説明する。

15 まず図1に対応した場合について述べる。またここでは線順次駆動の場合について述べる。

図3(A)には、1ビットのデジタル階調表示を行う場合における信号線駆動回路403の概略図を示す。信号線駆動回路403は、第1シフトレジスタ415、第2シフトレジスタ411、第1のラッチ回路412、第2のラッチ回路413、

20 定電流回路414を有する。

動作を簡単に説明すると、第1シフトレジスタ415及び第2シフトレジスタ411は、フリップフロップ回路(FF)等を複数列用いて構成され、クロック信号(S-CLK、(S1-CLK、S2-CLK))、スタートパルス(S-SP(S1-SP,S2-SP))、クロック反転信号(S-CLKb(S1-CLKb,S2-CLKb))のタイミングに従って、順次サンプリングパルス

25 ングパルスを出力する。

第1シフトレジスタ415より出力されたサンプリングパルスは、定電流回路4

1 4に入力される。第2シフトレジスタ4 1 1より出力されたサンプリングパルスは、第1のラッチ回路4 1 2に入力される。第1のラッチ回路4 1 2には、デジタルビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持する。

5 第1のラッチ回路4 1 2において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、第2のラッチ回路4 1 3にラッチパルスが入力され、第1のラッチ回路4 1 2に保持されていたビデオ信号は、一斉に第2のラッチ回路4 1 3に転送される。すると、第2のラッチ回路4 1 3に保持されたビデオ信号は、1行分が同時に定電流回路4 1 4へと入力される。

10 第2のラッチ回路4 1 3に保持されたビデオ信号が定電流回路4 1 4に入力されている間、シフトレジスタ4 1 1においては再びサンプリングパルスが出力される。以後この動作を繰り返し、1フレーム分のビデオ信号の処理を行う。なお定電流回路4 1 4は、デジタル信号をアナログ信号に変換する役割を持つ場合もある。

そして本発明では、第1シフトレジスタ4 1 5より出力されたサンプリングパルスは、定電流回路4 1 4に入力される。

また定電流回路4 1 4は、電流源回路4 2 0が複数設けられる。図3 (B) には、 i 列目から $(i + 2)$ 列目の3本の信号線の周辺の信号線駆動回路の概略を示す。

電流源回路4 2 0は、端子aを介して入力される信号により制御される。また、端子bを介して、電流線に接続されたリファレンス用定電流源1 0 9から電流が供給される。電流源回路4 2 0と信号線 S_n に接続された画素との間にはスイッチ1 0 1 (信号電流制御スイッチ) が設けられ、前記スイッチ1 0 1 (信号電流制御スイッチ) は、ビデオ信号により制御される。ビデオ信号が明信号の場合、電流源回路4 2 0から画素に信号電流が供給される。ビデオ信号が暗信号の場合、スイッチ1 0 1 (信号電流制御スイッチ) が制御されて画素に電流は供給されない。つまり

25 電流源回路4 2 0は、所定の電流を流す能力を有し、該電流を画素に供給するか否かはスイッチ1 0 1 (信号電流制御スイッチ) により制御される。

そして電流源回路420の構成には、図6、図7、図32、図33、図35などに示した電流源回路420の構成を任意に用いることが出来る。前記電流源回路420には、1つの構成を採用するだけでなく、複数を採用してもよい。

なお本発明では、端子aから入力される設定信号とは、第1シフトレジスタ415から供給されるサンプリングパルスに相当する。つまり電流源回路420の設定は、第1シフトレジスタ415から供給されるサンプリングパルスに合わせて行われる。

なお電流源回路420に、図6(A)、7(A)に示した構成を用いる場合、入力動作を行っている期間には、設定動作を行うことが出来ない。従って、入力動作を行っていない期間に設定動作を行う必要がある。但し、入力動作を行っていない期間は、1フレーム期間中に連続して存在せずに、点在している場合があるため、そのような場合には各列を順に選択するのではなく、任意の列を選択できるようにすることが好ましい。従って、ランダムに選択することができるデコーダ回路などを用いることが望ましい。一例として図37には、デコーダ回路を示す。また図38(A)にはフリップフロップ回路221、列選択信号が入力されるラッチ222及び選択制御信号が入力される論理演算子223で構成されたシフトレジスタ、図38(B)にはフリップフロップ回路224、列選択信号が入力される第1ラッチ225及び選択用ラッチ信号が入力される第2ラッチ226で構成されたシフトレジスタを示す。図38(A)(B)のどちらの構成も、複数の信号線をランダムに選択することができる。なお、図38(A)(B)に示す構成は、図37のデコーダに比べて配置する配線数を削減することが出来る。

図38(A)の回路について、その動作を簡単に説明する。フリップフロップ回路(FF)221は、クロック信号(CLK)、スタートパルス(SP)、クロック反転信号(CLKb)のタイミングに従って、順次サンプリングパルスを出力する。フリップフロップ回路221より出力されたサンプリングパルスは、ラッチ(LAT1)222に入力される。ラッチ222には列選択信号が入力されており、サンプリン

グパルスが入力されるタイミングに従って、選択したい列のラッチ 2 2 2 だけに選択信号が保持される。

フリップフロップ回路 2 2 1 よりサンプリングパルスが出力されている間は、選択制御信号を L 信号にする。そうすると、ラッチ 2 2 2 の状態によらず、選択信号
5 は出力されない。なぜなら、ラッチ (LAT1) 2 2 2 の出力は、AND 回路に入力されている。AND 回路のもう一つの入力端子には、選択制御信号が入力されている。
したがって、選択制御信号に L 信号を入力すると、AND 回路からは、必ず L 信号が出力される。つまり、ラッチ 2 2 2 の状態によらず、選択信号は出力されないことになる。そして、フリップフロップ回路 2 2 1 よりサンプリングパルスが全列に
10 出力され、列選択信号により、選択したい列のラッチ 2 2 2 に選択信号が保持された後、選択制御信号を H 信号にする。すると、AND 回路からは、ラッチ 2 2 2 の信号が出力される。ラッチ 2 2 2 の信号が H 信号の場合は、AND 回路から H 信号が出力され、ラッチ 2 2 2 の信号が L 信号の場合は、AND 回路から L 信号が出力される。その結果、選択したい列にだけ、選択信号が出力される。なぜなら、選択
15 したい列のラッチ 2 2 2 の信号だけが H 信号になっているからである。そして、選択信号の出力を停止したいときには、選択制御信号を L 信号にする。すると、選択信号は出力されなくなる。従って、配線を選択している期間を自由に制御できる。

そして、再び、スタートパルス (SP) を入力し、フリップフロップ回路 (FF) からサンプリングパルスを出させ、同様の動作を繰り返していく。このようにして、列選択信号のタイミングを制御することにより、任意の列をランダムに選択でき、列を選択している期間も任意に変えることができるようになる。つまり、任意の列の電流源回路に対して設定動作を行うことができ、設定動作を行う期間も任意に変えることができるようになる。ただし、この回路の場合、フリップフロップ回路 2 2 1 よりサンプリングパルスが出力されている間は、選択信号を出力すること
20 は望ましくない。なぜなら、ラッチ 2 2 2 には、1 回前の情報がまだ保存されている可能性があるためである。

そこで、フリップフロップ回路 2 2 1 よりサンプリングパルスが出力されている間も、選択信号を出力できるようにした回路が、図 3 8 (B) の回路である。図 3 8 (B) では、フリップフロップ回路 2 2 4 よりサンプリングパルスが出力され、第 1 ラッチ 2 2 5 に列選択信号が入力される。そして、サンプリングパルスの出力が終了し、すべての第 1 ラッチ 2 2 5 に列選択信号が入力された後、選択用ラッチを用いて、第 1 ラッチ 2 2 5 の信号を第 2 ラッチ 2 2 6 に、一斉に転送する。そして、第 2 ラッチ 2 2 6 から選択信号が出力される。そして再び、フリップフロップ回路 2 2 4 よりサンプリングパルスが出力され、第 1 ラッチ 2 2 5 に列選択信号が入力される。ただし、そのとき同時に、第 2 ラッチ 2 2 6 から選択信号が出力されつつづけている。そのため、同時に各々を動作させることができる。

上記の図 3 7、3 8 に記載の回路を用いると、電流源回路の設定動作も、1 列目から順に行うのではなく、ランダムに行うことができるようになる。また、設定動作を行う時間の長さも、自由に長くとれるようになる。電流源回路の設定動作をランダムに行うことができると、様々な利点が生じる。たとえば、設定動作を行うことができる期間が、1 フレーム中に点在している場合は、任意の列を選択できると、自由度が上がり、設定動作の期間を長くとることができるようになる。例えば、1 フレーム中に点在している、設定動作を行うことができる期間において、1 列分の電流源回路の設定動作を、その期間いっぱいを用いて、行うことができる。

もし、任意の列の電流源回路を指定することができず、1 列目から最終列目まで順に指定しなければならない場合には、1 列当たりの設定動作の期間が短くなってしまふ。なぜなら、ある決まった期間において、1 列目から最終列目までの電流源回路に対して、設定動作を行わなければならないため、1 列当たりの設定動作の期間が短くなってしまふからである。その結果、十分に設定動作を行うことができない。

そのほかの利点としては、電流源回路 4 2 0 内に配置された容量素子（例えば、図 6 (A) では容量素子 1 0 3、図 6 (B) では容量素子 1 2 3、図 6 (B) では

容量素子107などに相当する)における電荷の漏れの影響を目立たなくさせることができるようになる。電荷の漏れが、1列ずつ順に生じると、その影響が見えやすくなるが、ランダムに生じると、人間の目には、見えにくくなる。

なお電流源回路420には、容量素子が配置されている。ただし、容量素子はトランジスタのゲート容量などで代用してもよい。前記容量素子には、電流源回路の設定動作により、電荷が蓄積される。理想的には、電流源回路の設定動作は、電源を入力した時に1回だけ行えばよい。つまり、信号線駆動回路を動作させるとき、その動作の最初の期間に、1回だけ行えばよい。なぜなら、容量素子に蓄積される電荷量は、動作状態や時間などによって変化させる必要がなく、また、変化しないからである。しかしながら、現実では、容量素子には、様々なノイズが入ったり、容量素子と接続されているトランジスタのもれ電流が流れたりする。その結果、容量素子に蓄積される電荷量が、時間とともに変化してしまう場合がある。電荷量が変化すると、電流源回路から出力される電流、すなわち、画素に入力される電流も、変化してしまう。その結果、画素の輝度も変化してしまう。そこで、容量素子に蓄積された電荷を変動させないようにするため、電流源回路の設定動作を、ある周期で定期的に行い、電荷をリフレッシュさせ、変化した電荷を再び元に戻し、正しい量の電荷を保存しなおす必要が生じる。

仮に、容量素子に蓄積された電荷の変動量が大きい場合、電流源回路の設定動作を行って該電荷をリフレッシュさせ、変化した電荷を再び元に戻し、正しい量の電荷を保存しなおすようにすると、それに伴って電流源回路が出力する電流量の変動も大きくなる。そのため、1列目から順に設定動作を行うと、電流源回路が出力する電流量の変動が、目で確認できるほどの表示妨害が生ずる場合がある。つまり、1列目から順に生ずる画素の輝度の変化が目で確認できるほどの表示妨害が生ずる場合がある。この場合、1列目から順に設定動作を行うのではなく、ランダムに設定動作を行えば、電流源回路が出力する電流量の変動を目立たなくさせることができる。このように、複数の配線をランダムに選択することにより、様々な利点が

生じる。

一方、電流源回路420に、図6(C)～(E)に示した構成を用いる場合、設定動作と入力動作を同時に行うことが出来るため、1列目から最終列目まで順番に選択することができる通常のシフトレジスタを配置すれば充分である。

- 5 また図3(B)では、一列ずつ設定動作を行っているが、これに限定されない。図39に示すように、同時に複数列で設定動作を行ってもよい。ここで、同時に複数列で設定動作を行うことを多相化するとよぶ。なお図39には、2個のリファレンス用定電流源109が配置されているが、この2個のリファレンス用定電流源に対しても別に配置したリファレンス用定電流源から設定動作を行ってもよい。

- 10 ここで、図3(B)に示した定電流回路414の詳しい構成を図40、図41に示す。図40は、電流源回路の部分に、図6(C)を適用した場合の回路を示す。図41は、電流源回路の部分に、図6(A)を適用した場合の回路を示す。

続いて、これまでは、線順次駆動の場合について述べてきた。次いで、ここでは点順次駆動の場合について述べる。

- 15 図42(A)において、ビデオ線から供給されるビデオ信号は、第2シフトレジスタ411から供給されるサンプリングパルスのタイミングに従ってサンプリングされる。また電流源回路420の設定は、第1シフトレジスタ415から供給されるサンプリングパルスのタイミングに従って行われる。このように、図42(A)の構成を有する場合には、点順次駆動を行う。

- 20 なお、サンプリングパルスが出力されて、ビデオ線からビデオ信号が供給されている間のみ、スイッチ101(信号電流制御スイッチ)がオン状態になり、且つサンプリングパルスが出力されなくなり、ビデオ線からビデオ信号が供給されなくなると、スイッチ101(信号電流制御スイッチ)がオフ状態になる場合には、正確に動作しない。なぜなら、画素では、電流を入力するためのスイッチはオン状態の
25 ままであるからである。この状態でスイッチ101(信号電流制御スイッチ)をオフ状態にすると、画素に電流が入力されなくなるため、正確に信号を入力できなく

なる。

- そこで、ビデオ線から供給されたビデオ信号を保持し、スイッチ101（信号電流制御スイッチ）の状態を維持できるようにするため、ラッチ回路452が配置されている。ラッチ回路452は、単なる容量素子とスイッチのみで構成されている。
- 5 もよいし、SRAM回路で構成されていてもよい。このように、サンプリングパルスが出力されて、ビデオ線からビデオ信号が1列ずつ順に供給されて、そのビデオ信号に基づき、スイッチ101（信号電流制御スイッチ）がオン状態もしくはオフ状態になり、画素への電流の供給を制御することにより、点順次駆動を実現することができる。
- 10 しかしながら、1列目から最終列目まで順番に選択される場合、最初の方の列では、画素に信号を入力する期間が長い。一方、最後の方の列では、ビデオ信号を入力しても、すぐに、次の行の画素が選択されてしまう。その結果、画素に信号を入力する期間が短くなってしまう。そのような場合、図42（B）に示すように、画素部402に配置された走査線を中央で分断することにより、画素に信号を入力する期間を長くすることができる。その場合、画素部402の左側と右側に各1個の走査線駆動回路を配置し、該走査線駆動回路を用いて画素を駆動する。このようにすると、同じ行に配置されている画素でも、右側の画素と左側の画素とでは、信号を入力する期間をずらすことができる。図42（C）には、1、2行目の右側と左側に配置された走査線駆動回路の出力波形と、第2シフトレジスタ411のスタートパルス（S2-SP）を示す。図42（C）に記載の波形のように動作させることにより、左側の画素でも、画素に信号を入力する期間を長くすることができるため、点順次駆動を行いやすくなる。
- 15
- 20

なお、線順次駆動か点順次駆動かなどに関係なく、電流源回路420の設定動作は、任意のタイミング、任意の列に配置された電流源回路に、任意の回数だけ行えばよい。但し、理想的には、電流源回路420に配置されたトランジスタのゲート・ソース間に接続された容量素子に所定の電荷が保持されている限りは、設定動作を

25

行うときのみの1回だけ行えばよい。又は、容量素子に保持された所定の電荷が放電(変動)してしまった場合に行えばよい。また、電流源回路420の設定動作は、どれだけの期間をかけて、全列の電流源回路420の設定動作を行ってもよい。つまり、1フレーム期間内に、全列の電流源回路420の設定動作を行ってもよい。

- 5 あるいは、1フレーム期間内では、数列の電流源回路420に設定動作を行って、結果として、数フレーム期間以上かけて、全列の電流源回路420の設定動作を行ってもよい。

また本形態では各列に一つの電流源回路を配置する場合について上述したが、本発明はこれに限定されず、複数の電流源回路を配置してもよい。

- 10 そこで、一例として、図3(B)の電流源回路の部分に、図2を適用した場合について考える。その場合の定電流回路414の詳しい構成を図43に示す。ここで、図43は、電流源回路の部分に、図6(A)を適用した場合の回路を示す。図43に示す構成では、制御線を制御することにより、一方の電流源に対して設定動作を行い、同時に、もう一方の電流源が入力動作を行うことができる。

- 15 また本発明は、2つのシフトレジスタ(第1及び第2シフトレジスタ)を設けた信号線駆動回路を提供する。この第1及び第2シフトレジスタは、一方は電流源回路、他方はビデオ信号を制御するための回路、つまり画像を表示するために動作させる回路であり、例えばラッチ回路やサンプリングスイッチやスイッチ101(信号電流制御スイッチ)などを制御する。そうすると、第1及び第2シフトレジスタ
20 の動作を独立に行うことが可能となり、必然的に電流源回路の設定動作と画像表示動作とを独立に行うことが可能となる。電流源回路の設定動作は、時間をかけて行う方が正確に行えるため、電流源回路とラッチ回路とを独立に動作させることが出来る本発明の構成は大変有効である。

- また、本発明の信号線駆動回路における電流源回路について、レイアウト図を図
25 57に、対応した回路図を図58に示す。

なお本実施の形態は、実施の形態1～3と任意に組み合わせることが可能である。

(実施の形態5)

本実施の形態では、図15(A)に示した信号線駆動回路403の詳細な構成とその動作について説明するが、本実施の形態では、3ビットのデジタル階調表示を行う場合に用いる信号線駆動回路403について説明する。

- 5 図4には、3ビットのデジタル階調表示を行う場合における信号線駆動回路403の概略図を示す。信号線駆動回路403は、第1シフトレジスタ415、第2シフトレジスタ411、第1のラッチ回路412、第2のラッチ回路413、定電流回路414を有する。

動作を簡単に説明すると、第1シフトレジスタ415及び第2シフトレジスタ4
10 11は、フリップフロップ回路(FF)等を複数列用いて構成され、クロック信号(S-CLK、(S1-CLK、S2-CLK))、スタートパルス(S-SP(S1-SP,S2-SP))、クロック反転信号(S-CLKb(S1-CLKb,S2-CLKb))のタイミングに従って、順次サンプリングパルスを出力する。

第1シフトレジスタ415より出力されたサンプリングパルスは、定電流回路4
15 14に入力される。シフトレジスタ411より出力されたサンプリングパルスは、第1のラッチ回路412に入力される。第1のラッチ回路412には、3ビットのデジタルビデオ信号(Digital Data 1~Digital Data 3)が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持する。

第1のラッチ回路412において、最終列までビデオ信号の保持が完了すると、
20 水平帰線期間中に、第2のラッチ回路413にラッチパルスが入力され、第1のラッチ回路412に保持されていた3ビットのデジタルビデオ信号(Digital Data 1~Digital Data 3)は、一斉に第2のラッチ回路413に転送される。すると、第2のラッチ回路413に保持された3ビットのデジタルビデオ信号(Digital Data 1~Digital Data 3)は、1行分が同時に定電流回路414へと入力される。

25 第2のラッチ回路413に保持された3ビットのデジタルビデオ信号(Digital Data 1~Digital Data 3)が定電流回路414に入力されている間、シフトレジスタ

タ411においては再びサンプリングパルスが出力される。以後この動作を繰り返し、1フレーム分のビデオ信号の処理を行う。

なお定電流回路414は、デジタル信号をアナログ信号に変換する役割を持つ場合もある。また定電流回路414は、電流源回路420を複数設けられる。図5には、
5 i列目から(i+2)列目の3本の信号線の周辺の信号線駆動回路の概略を示す。

なお図5では、各ビットに対応したリファレンス用定電流源109が配置された場合について示す。

各電流源回路420は、端子a、端子b及び端子cを有する。電流源回路420
10 は、端子aを介して入力される信号により制御される。また、端子bを介して、電流線に接続されたリファレンス用定電流源109から電流が供給される。そして電流源回路420と信号線S_nに接続された画素との間にはスイッチ（信号電流制御スイッチ）111～113が設けられており、前記スイッチ（信号電流制御スイッチ）111～113は、1ビット～3ビットのビデオ信号により制御される。ビデ
15 オ信号が明信号の場合、電流源回路から画素に電流が供給される。反対にビデオ信号が暗信号の場合、前記スイッチ（信号電流制御スイッチ）111～113が制御されて、画素に電流は供給されない。つまり電流源回路420は、所定の電流を流す能力を有し、該電流を画素に供給するか否かはスイッチ（信号電流制御スイッチ）111～113により制御される。

20 なお図5において、電流線とリファレンス用定電流源は、各ビットに対応して配置されている。各ビットの電流源から供給される電流値の合計が、信号線に供給される。つまり、定電流源回路414は、デジタル-アナログ変換の機能も有する。

なお本発明では、端子aから入力される設定信号とは、第1シフトレジスタ415から供給されるサンプリングパルスに相当する。つまり電流源回路420の設定
25 は、第1シフトレジスタから供給されるサンプリングパルスに合わせて行う。また本実施の形態では、3ビットのデジタル階調表示を行う場合を例に挙げて説明する。

関係上、1本の信号線ごと（各列）に3つの電流源回路420が設けられている。

1本の信号線に接続された3つの電流源回路420から供給される信号電流I dataを1:2:4として設定すると、 $2^3=8$ 段階で電流の大きさを制御出来る。

なお、図5に示した信号線駆動回路では、1ビット～3ビットのそれぞれに専用
5 のリファレンス用定電流源109が配置されているが、本発明はこれに限定されない。図44に示すように、ビット数よりも少ない個数のリファレンス用定電流源109が配置されていてもよい。例えば、最上位ビット（ここでは3ビット）のリファレンス用定電流源109のみを配置して、1列に配置された複数の電流源回路から選択された1つの電流源回路を設定する。そして、設定動作が既に行われた電流
10 源回路を用いて、他の電流源回路の動作を行うようにしてもよい。言い換えれば、設定情報を共有するようにしてもよい。

例えば、3ビット用の電流源回路420にのみに設定動作を行う。そして、既に設定動作が行われた電流源回路420を用いて、他の1ビット用と2ビット用の電流源回路420に、情報を共有させる。より具体的には、電流源回路420の中で、
15 電流を供給するトランジスタ（図6（A）では、トランジスタ102が相当）のゲート端子を接続し、ソース端子も接続する。その結果、情報を共有しているトランジスタ（電流を供給するトランジスタ）のゲート・ソース間電圧は、等しくなる。

なお、図44では、最下位ビット（ここでは1ビット）の電流源回路ではなく、最上位ビット（ここでは3ビット）の電流源回路に、設定動作を行っている。この
20 ように、値の大きなビットの電流源回路に対して設定動作を行うことにより、ビット間の電流源回路の特性ばらつきの影響を小さくすることができる。仮に、最下位ビット（ここでは1ビット）の電流源回路に設定動作を行い、上位ビットの電流源回路に最下位ビットの電流源回路が行った設定動作の情報を共有した場合、各々の電流源回路の特性がばらつくと、上位ビットの電流値が正確な値にならなくなる。
25 上位ビットの電流源回路は、出力する電流値が大きいため、少しでも特性がばらつくと、そのばらつきの影響が大きくなってしまい、出力する電流値も大きくばらつい

てしまうからである。反対に、最上位ビット（ここでは3ビット）の電流源回路に設定動作を行い、下位ビットの電流源回路に情報を共有した場合、各々の電流源回路の特性がばらついていても、出力する電流値が小さいため、ばらつきによる電流値の差が小さく、影響は小さくなる。

- 5 そして電流源回路420の構成には、図6、図7、図32、図33、図35などに示した電流源回路420の構成を任意に用いることが出来る。前記電流源回路420には、1つの構成を採用するだけでなく、複数を採用してもよい。

10 なお図6（C）に示すようにカレントミラー回路を有する構成で電流源回路420を構成するときには、図23、24に示すように、各電流源回路420が有するトランジスタのゲート電極が共通に接続している構成にすることも出来る。

以下には、1例として、図4、図5、図44に示した定電流回路414の詳しい構成を図23、図24、図45に示す。

図23、図24、図45の各列に設けられた電流源回路420において、信号線 S_i ($1 \leq i \leq n$) へ所定の信号電流 I_{data} を出力するか否かを第2のラッチ回路
15 413から入力される3ビットのデジタルビデオ信号（Digital Data 1～Digital Data 3）が有する High 又は Low の情報によって制御される。

図45には、図5に図示した信号線駆動回路に、図6（A）の電流源回路を配置した場合の回路図を示す。図45では、設定動作時には、トランジスタA～Cはオフにして動作させる。これは電流のもれを防ぐためである。或いは、トランジスタ
20 A～Cと直列にスイッチを配置し、設定動作時にはオフにするようにしてもよい。

図23、24には、ビット数よりも少ない個数のリファレンス用定電流源109を配置した場合を示す。より詳しくは、図23には、図44に図示した信号線駆動回路に図6（C）の電流源回路を配置した場合の回路図を示す。図24には、図44に図示した信号線駆動回路に図6（A）の電流源回路を配置した場合の回路図を示す。
25 示す。

図23において、電流源回路420は、トランジスタ180～トランジスタ18

8及び容量素子189を有する。本実施の形態では、トランジスタ180～トランジスタ188は全てnチャネル型とする。

トランジスタ180のゲート電極には、第2のラッチ回路413から1ビットのデジタルビデオ信号が入力される。またトランジスタ180のソース領域とドレイン領域は、一方はソース信号線(Si)に接続され、他方はトランジスタ183のソース領域とドレイン領域の一方に接続されている。

トランジスタ181のゲート電極には、第2のラッチ回路413から2ビットのデジタルビデオ信号が入力される。またトランジスタ181のソース領域とドレイン領域は、一方はソース信号線(Si)に接続され、他方はトランジスタ184のソース領域とドレイン領域の一方に接続されている。

トランジスタ182のゲート電極には、第2のラッチ回路413から3ビットのデジタルビデオ信号が入力される。またトランジスタ182のソース領域とドレイン領域は、一方はソース信号線(Si)に接続され、他方はトランジスタ185のソース領域とドレイン領域の一方に接続されている。

トランジスタ183～トランジスタ185のソース領域とドレイン領域は、一方はVssに接続され、他方はトランジスタ180～トランジスタ182のソース領域とドレイン領域の一方に接続されている。トランジスタ186のソース領域とドレイン領域は、一方はVssに接続され、他方はトランジスタ188のソース領域とドレイン領域の一方に接続されている。

トランジスタ187とトランジスタ188のゲート電極には、第1シフトレジスタ415からサンプリングパルスが入力される。トランジスタ187のソース領域とドレイン領域は、一方はトランジスタ186のソース領域とドレイン領域の一方に接続され、他方は容量素子189の一方の電極に接続されている。トランジスタ188のソース領域とドレイン領域は、一方は電流線190に接続され、他方はトランジスタ186のソース領域とドレイン領域の一方に接続されている。

容量素子189の一方の電極は、トランジスタ183～トランジスタ186のゲ

ート電極に接続され、他方の電極は V_{ss} に接続されている。容量素子 189 は、トランジスタ 183 ~ トランジスタ 186 のゲート・ソース間電圧を保持する役目を担う。

そして電流源回路 420 では、トランジスタ 187 及びトランジスタ 188 がオンになると電流線 190 に接続されたりファレンス用定電流源（図示せず）から、電流が容量素子 189 に流れていく。このときトランジスタ 180 ~ トランジスタ 182 はオフである。

そして徐々に容量素子 189 に電荷が蓄積され、両電極間に電位差が生じ始める。そして両電極間の電位差が V_{th} になると、トランジスタ 183 ~ トランジスタ 186 はオンになる。

容量素子 189 において、その両電極の電位差、つまりトランジスタ 183 ~ トランジスタ 186 のゲート・ソース間電圧が所望の電圧になるまで電荷の蓄積が続けられる。言い換えると、トランジスタ 183 ~ トランジスタ 186 が信号電流を流すことが出来るだけの電圧になるまで、電荷の蓄積が続けられる。

そして電荷の蓄積が終了すると、トランジスタ 183 ~ トランジスタ 186 はオンになる。

そして電流源回路 420 において、3ビットのデジタルビデオ信号により、トランジスタ 180 ~ トランジスタ 182 の導通又は非導通が選択される。例えば、トランジスタ 180 ~ トランジスタ 182 が全て導通状態になったときは、信号線 (Si) に供給される電流は、トランジスタ 183 のドレイン電流と、トランジスタ 184 のドレイン電流と、トランジスタ 185 のドレイン電流の総和となる。また、トランジスタ 180 のみが導通状態になったときは、トランジスタ 183 のドレイン電流のみが信号線 (Si) に供給される。

このように、トランジスタ 183 ~ 185 のゲート端子を接続することにより、設定動作による情報を共有させることができる。なお、ここでは、同じ列の複数のトランジスタ内で、情報を共有しているが、これに限定されない。例えば、別の列

のトランジスタと設定動作による情報を共有させてもよい。つまり、トランジスタのゲート端子を、別の列のトランジスタとも接続させてもよい。これにより、設定すべき電流源回路の数を減らすことができる。そのため、設定動作をするのに必要な時間を短縮することができる。また、回路数を減らすことができるので、レイア

5 ウト面積を小さくすることができる。

また図24において、電流源回路の設定動作時には、トランジスタ182はオフにして動作させる。これは電流のもれを防ぐためである。また、図24の構成において、トランジスタ182と直列にスイッチ203を配置した場合の電流源回路の回路図を図46に示す。図46において、スイッチ203を設定動作時にはオフに

10 し、それ以外の時にはオンにする。

このとき、図23、図24、図46では、トランジスタ183のドレイン電流と、トランジスタ184のドレイン電流と、トランジスタ185のドレイン電流を1：2：4として設定すると、 $2^3=8$ 段階で電流の大きさを制御出来る。そのため、トランジスタ183～185のW（チャネル幅）/L（チャネル長）値を、1：2：4
15 として設計すると、それぞれのオン電流が1：2：4となる。

また図24には、図23とは異なる回路構成の電流源回路420を示す。図24に示す電流源回路420では、トランジスタ186～トランジスタ188の代わりにスイッチ191、スイッチ192が配置された構成になっている。

そして図24に示す電流源回路420では、スイッチ191及びスイッチ192
20 がオンになると、電流線190に接続されたりファレンス用定電流源（図示せず）から供給される電流が、トランジスタ185を介して容量素子189に流れていく点以外は、図23に示す電流源回路420の動作と同じあるので、本実施の形態では説明は省略する。

なお本実施の形態では、図23、図24、図46に示す電流源回路420が有す
25 るトランジスタは全てnチャネル型としたが、本発明はこれに限定されずpチャネル型のトランジスタを用いることもできる。なお、pチャネル型のトランジスタを

用いた場合における電流源回路420の動作は、電流の流れる方向が変わる点と、容量素子がVssではなく、Vddに接続される点以外は上述した動作と同じであるので、本実施の形態では説明を省略する。

また、pチャネル型のトランジスタを用いる場合、VSSとVddを入れ替えない
5 場合、つまり電流の流れる方向が変わらない場合は、図6と図7の対比を用いれば、容易に適用できる。

また図5では、1本の信号線につき各ビットの電流源回路を一つずつ配置したが、図2に示すように、1本の信号線につき複数の電流源回路を配置してもよい。このときの図を図47に示す。同様に、図44に示す構成では各ビットの定電流源10
10 9を1つずつ配置したが、図48に示すように複数ビットで定電流源109を共有してもよい。

なお本実施の形態では、3ビットのデジタル階調表示を行う場合における信号線駆動回路の構成とその動作について説明した。しかし本発明は3ビットに限らず、本実施の形態を参考にして任意のビット数に対応した信号線駆動回路を設計し、任
15 意のビット数の表示を行うことが出来る。また本実施の形態は、実施の形態1~4と任意に組み合わせることが可能である。

また任意のビット数の表示を行う際、多相化を図ることや点順次駆動を行うことも容易に実現することが出来る。さらに、電流源回路の設定動作は、1列ずつ行うのではなく、ランダムに選択して行ってもよい。その場合、図37に示すデコーダ
20 回路や、図38(A)、図38(B)に示す回路を用いるとよい。

(実施の形態6)

電流源回路に電流を供給するリファレンス用定電流源109は、基板上に信号線駆動回路と一体形成してもよいし、IC等を用いて基板の外部に配置してもよい。基板上に一体形成する場合には、図6~8、図31~図35に示した電流源回路の
25 いずれを用いて形成してもよい。或いは、単に1個のトランジスタを配置して、ゲートに加える電圧に応じて、電流値を制御するようにしてもよい。本実施の形態で

は、リファレンス用定電流源 109 の一例について説明する。

図 25 には、一例として、最も簡単な場合を示す。つまり、トランジスタのゲートに電圧を加えて、ゲートの電圧を調節する方式であり、且つ 3 本の電流線が必要な場合を示す。仮に 1 本の電流線のみが必要な場合は、単純に、トランジスタ 1840、1850 と対応する電流線を図 25 に示す構成から削除すればよい。図 25 では、端子 f を介して、外部から、トランジスタ 1830、1840、1850 に印加するゲート電圧を調節することにより、電流の大きさを制御している。なお、このとき、トランジスタ 1830、1840、1850 の W/L 値を 1 : 2 : 4 とし

て設計すると、それぞれのオン電流は 1 : 2 : 4 となる。

10 次に、図 26 (A) には端子 f から電流を供給する場合について述べる。図 25 のように、ゲートに電圧を加えて調整する場合には、温度特性などにより、そのトランジスタの電流値が変動してしまうことがある。しかしながら、図 26 (A) のように電流で入力すると、その影響を抑制することができる。

なお、図 25、図 26 (A) に示す構成の場合、電流線に電流を流している間は、

15 端子 f から電圧又は電流を入力し続ける必要がある。しかし、電流線に電流を流す必要が無い場合は、端子 f から電圧や電流を入力する必要はない。

また図 26 (B) に示すように図 26 (A) の構成にスイッチ 1870、1880、容量素子 1890 を追加してもよい。そうすると、電流線に電流を供給しているときでも、リファレンス用 IC からの供給 (端子 f から入力する電流や電圧の供給) を停止することが可能となり、消費電力が小さくなる。なお図 25、図 26 では、リファレンス用定電流源に配置された他の電流源用トランジスタと情報を共有

20 していた。つまり、トランジスタ 1830、1840、1850 のゲートは、互いに接続されていた。

そこで図 27 には、各々の電流源回路に設定動作を行う場合について示す。図 27 では、端子 f から電流を入力し、端子 e から供給される信号によりタイミングを

25 制御する。なお図 27 に示した回路は、図 6 (A) の回路を適用した例である。従

って、設定動作と入力動作とを同時に行えない。そのため、この回路の場合には、リファレンス用定電流源に対する設定動作は、電流線に電流を流す必要がないタイミングで行う必要がある。

- 図 28 には、多相化させたリファレンス用定電流源 109 の例を示す。つまり、
- 5 図 39 に示した構成を適用したリファレンス用電流源 109 に相当する。多相化の場合には、図 25、図 26、図 27 の回路を適用してもよい。しかしながら、電流線に供給される電流値は同じなので、図 28 のように、1 つの電流を用いて、各々の電流源回路に対して設定動作を行えば、外部から入力する電流数を削減することができる。

- 10 なお本実施の形態は、実施の形態 1 ～ 5 と任意に組み合わせることが可能である。
(実施の形態 7)

- 上記形態では、主に、信号電流制御スイッチが存在する場合について述べてきた。本実施の形態では、信号電流制御スイッチが無い場合、つまり、信号線とは異なる別の配線に、ビデオ信号には比例しない電流（一定の電流）を供給する場合について述べる。この場合にはスイッチ 101（信号電流制御スイッチ）を配置する必要
- 15 はない。

なお、信号電流制御スイッチが存在しない場合には、信号電流制御スイッチを配置されていないことを除けば、信号電流制御スイッチが存在する場合と同様である。よって、本形態では簡単に説明し、同様な部分については、省略する。

- 20 信号電流制御スイッチを配置する場合と配置しない場合とを対比させると、図 1 については図 29、図 2 については図 30 に示す。図 3 (B) については、図 49 (A) に示す。図 1、2、3 (B) の構成では、ビデオ信号により信号電流制御スイッチを制御して、電流は信号線に出力される。図 29、30、49 (A) の構成では、電流は画素用電流線に出力され、信号線にはビデオ信号が出力される。

- 25 この場合の画素構成について、概略図を図 49 (B) に示す。そして、この画素の動作方法について簡単に述べる。まず、スイッチング用トランジスタがオンの時、

信号線を通して、ビデオ信号が画素に入力され、容量素子に保存される。そして、ビデオ信号の値により、駆動用トランジスタがオン又はオフする。一方、電流源回路は、一定の電流を流す能力を有する。よって、駆動用トランジスタがオンの場合は、発光素子に一定の電流がながれて、発光する。駆動用トランジスタがオフの場合、発光素子に電流が流れず、発光しない。このようにして、画像を表示する。ただし、この場合、発光と非発光の2状態しか表現できない。従って、時間階調法や面積階調法などを用いて、多階調化をはかっている。

なお、電流源回路の部分には、図6～8、図31～図35のいずれの回路を適用してもよい。そして、電流源回路が一定の電流を流せるようにするためには、設定動作を行えばよい。画素に配置された電流源回路に設定動作を行う場合は、画素用電流線を通して電流を入力して、実行する。この画素に配置された電流源回路に設定動作を行う場合は、任意の時に、任意のタイミングで、任意の回数だけ行えばよい。この画素の電流源回路に対する設定動作は、画像を表示するための動作とは、全く無関係に実行することができる。なお好ましくは電流源回路内に配置された容量素子に保存されている電荷が漏れてきたときに、設定動作を行えばよい。

次に、図49(A)に示した定電流回路414の詳しい構成を図50に示す。ここで、図50は、電流源回路の部分に、図6(A)の回路を適用した場合を示す。また、図49(A)の電流源回路に、図30の回路を適用した場合について考える。この場合の定電流回路414の詳しい構成を図51に示す。ここで、図51は、電流源回路の部分に、図6(A)の回路を適用した場合を示す。図51の構成では、制御線を制御することにより、一方の電流源に対して設定動作を行い、同時に、他方の電流源は入力動作を行うことができる。

このように、信号電流制御スイッチを配置しない場合、信号電流制御スイッチが無いことを除けば、信号電流制御スイッチが存在する場合と同様である。よって、詳しい説明は省略する。

本実施の形態は、実施の形態1～6と任意に組み合わせることが可能である。

(実施の形態 8)

本発明の実施の形態について、図 5 2 を用いて説明する。図 5 2 (A) において、画素部の上方に信号線駆動回路、下方に定電流回路を配置し、前記信号線駆動回路に電流源 A、定電流回路に電流源 B を配置する。電流源 A、B から供給される電流を I_A 、 I_B とし、画素に供給される信号電流を I_{data} とすると、 $I_A = I_B + I_{data}$ が成立する。そして、画素に信号電流を書き込む際には、電流源 A、B の両者から電流を供給するように設定する。このとき、 I_A 、 I_B を大きくすると、画素に対する信号電流の書き込み速度を早くすることができる。

このとき、電流源 A を用いて、電流源 B の設定動作を行う。画素には、電流源 A の電流から電流源 B の電流を差し引いた電流が流れる。したがって、電流源 A を用いて、電流源 B の設定動作を行うことにより、ノイズなどの様々な影響をより小さくできる。

図 5 2 (B) において、リファレンス用定電流源（以下定電流源と表記）C、E は、画素部の上方と下方に配置される。そして、電流源 C、E を用いて、信号線駆動回路、定電流回路に配置された電流源回路の設定動作を行う。電流源 D は、電流源 C、E を設定する電流源に相当し、外部からリファレンス用電流が供給される。

なお、図 5 2 (B) において、下方に配置してある定電流回路を信号線駆動回路としてもよい。それにより、上方と下方の両方に信号線駆動回路が配置できる。そして、各々、画面（画素部全体）の上下半分ずつの制御を担当する。このようにすることで、同時に 2 行分の画素を制御できる。そのため、信号線駆動回路の電流源、画素、画素の電流源などへの設定動作（信号入力動作）のための時間を長くとり、それが可能となる。そのため、より正確に設定できるようになる。

本実施の形態は、実施の形態 1 ~ 7 と任意に組み合わせることが可能である。

〈実施例 1〉

本実施例では、時間階調方式について図 1 4 を用いて詳しく説明する。通常、液晶表示装置や発光装置等の表示装置においては、フレーム周波数は 60 Hz 程度で

ある。つまり図14 (A) に示すように、1秒間に60回程度の画面の描画が行われる。これにより、人間の眼にフリッカ（画面のちらつき）を感じさせないようにすることが出来る。このとき、画面の描画を1回行う期間を1フレーム期間と呼ぶ。

本実施例では一例として、特許文献1の公報にて公開されている時間階調方式を
5 説明する。時間階調方式では、1フレーム期間を複数のサブフレーム期間に分割する。このときの分割数は、階調ビット数に等しい場合が多い。そしてここでは簡単のため、分割数が階調ビット数に等しい場合を示す。つまり本実施例では3ビット階調であるので、3つのサブフレーム期間SF1～SF3に分割している例を示す（図14 (B)）。

10 各サブフレーム期間は、アドレス（書き込み）期間 T_a と、サステイン（発光）期間 T_s を有する。アドレス期間とは、画素にビデオ信号を書き込む期間であり、各サブフレーム期間での長さは等しい。サステイン期間とは、アドレス期間において画素に書き込まれたビデオ信号に基づいて発光素子が発光又は非発光する期間である。このとき、サステイン期間 $T_{s1} \sim T_{s3}$ は、その長さの比を $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$ とする。つまり、 n ビット階調を表現する際、 n 個のサステイン期間の長さの比は、 $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ とする。そして、どのサステイン期間で発光素子が発光又は非発光するかにより、1フレーム期間における各画素が発光する期間の長さが決定し、これによって階調表現を行う。

次いで、時間階調方式を適用した画素における具体的な動作について説明するが、
20 本実施例では図16 (B) に示す画素を参照して説明する。図16 (B) に示す画素は、電流入力方式が適用される。

まずアドレス期間 T_a においては、以下の動作を行う。第1の走査線602および第2の走査線603が選択されて、TFT606、607がオンする。このとき、信号線601を流れる電流を信号電流 I_{data} となる。そして容量素子610には所
25 定の電荷が蓄積されると、第1の走査線602および第2の走査線603の選択が終了して、TFT606、607がオフする。

次いでサステイン期間 T_s においては、以下の動作を行う。第3の走査線604が選択されて、TFT609がオンする。容量素子610には先ほど書き込んだ所定の電荷が保持されているため、TFT608はオンしており、電流線605から信号電流 I_{data} に等しい電流が流れる。これにより発光素子611が発光する。

- 5 以上の動作を各サブフレーム期間で行うことにより、1フレーム期間を構成する。この方法によると、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせば良い。また、サブフレーム期間の順序は、図14(B)、(C)に示すように、必ずしも上位ビットから下位ビットといった順序である必要はなく、1フレーム期間中、ランダムに並んでいても良い。さらに各フレーム期間内で、その順序が変化
- 10 しても良い。

また、 m 行目の走査線のサブフレーム期間 SF_2 を図14(D)に図示する。図14(D)に図示するように、画素ではアドレス期間 T_{a2} が終了したら、直ちにサステイン期間 T_{s2} が開始されている。

- 次に、信号線駆動回路の電流源回路に関連した部分、特に、設定動作に関する部分の駆動方法について述べる。
- 15

なお電流源回路には、設定動作と入力動作を同時に行うことができる方式と、同時に行うことができない方式があることは上記の実施の形態において上述した。

- 前者の設定動作と入力動作を同時に行うことができる電流源回路では、各動作を行うタイミングは特に限定されない。これは、図2や図44などのように、1列に
- 20 複数の電流源回路が配置されている場合も同様である。しかしながら、後者の設定動作及び入力動作を同時に行うことができない電流源回路では、設定動作を行うタイミングに工夫が必要となる。時間階調方式を採用した場合には、出力動作を行っていないときに設定動作を行う必要がある。例えば図1のドライバ部の構成と、図16(B)の構成の画素を有する場合は、画素部に配置されたいずれの走査線にお
- 25 いてもアドレス期間 T_a でない期間において、設定動作を行うようにすることが必要となる。また図30のドライバ部の構成と、図49(B)の構成の画素を有する

場合は、画素に配置された電流源回路に設定動作を行っていない期間に、ドライバ部に配置された電流源回路の設定動作を行う必要がある。

なおそのときには、電流源回路を制御するシフトレジスタの周波数を、低速に設定できる。そうすると、電流源回路の設定動作に時間をかけて正確に行うことが出

5 来る。

あるいは、電流源回路を制御する回路（第1シフトレジスタ）として、図37～図39に示した回路を用いて、ランダムに電流源回路の設定動作を行うようにしてもよい。そうすると、たとえ、設定動作を行える期間が、1フレーム期間内で点在しても、その期間を有効に利用して設定動作を行うことができる。また、すべての

10 電流源回路の設定動作を1フレーム期間内でやるのではなく、数フレーム期間以上かけて実行してもよい。このようにすると、電流源回路の設定動作に時間をかけてより正確に行うことが出来る。

本発明では、電流源回路420を制御する第1シフトレジスタと、画像表示用回路を制御する第2シフトレジスタとを設けることで、第1及び第2シフトレジスタ

15 の動作を完全に独立させて行っている。そして、入力動作を行うときには第2シフトレジスタ、設定動作を行うときには第1シフトレジスタを用いて行っている。そうすると、第2シフトレジスタを高速に動作させているときに、第1シフトレジスタを低速に動作させることができるため、電流源回路の設定動作を正確に行うことが出来る。なお入力動作は、図1のドライバ部の構成と、図16（B）の構成の画

20 素を有する場合には、画素部の走査線が選択される期間（アドレス期間 T_a ）に行えばよい。また、図49（B）の構成の画素を有する場合には、画素に配置された電流源回路に設定動作を行っていない期間に、ドライバ部に配置された電流源回路の設定動作を行えばよい。

本実施例は、実施の形態1～8と任意に組み合わせることが可能である。

25 〈実施例2〉

本実施例では、画素部に設けられる画素の回路の構成例について図13、図53

を用いて説明する。

なお電流を入力する部分を含むような構成を有する画素であれば、どのような構成の画素にも適用できる。

図13 (A) の画素は、信号線1101、第1及び第2の走査線1102、11
5 03、電流線（電源線）1104、スイッチング用TFT1105、保持用TFT
1106、駆動用TFT1107、変換駆動用TFT1108、容量素子1109、
発光素子1110とを有する。信号線1101は電流源回路1111に接続されて
いる。

なお、電流源回路1111が、信号線駆動回路403に配置されている電流源回
10 路420に相当する。

図13 (A) の画素は、スイッチング用TFT1105のゲート電極は、第1の
走査線1102に接続され、第1の電極は信号線1101に接続され、第2の電極
は駆動用TFT1107の第1の電極と、変換駆動用TFT1108の第1の電極
とに接続されている。保持用TFT1106のゲート電極は、第2の走査線110
15 3に接続され、第1の電極は信号線1102に接続され、第2の電極は駆動用TFT
1107のゲート電極と、変換駆動用TFT1108のゲート電極とに接続され
ている。駆動用TFT1107の第2の電極は、電流線（電源線）1104に接続
され、変換駆動用TFT1108の第2の電極は、発光素子1110の一方の電極
に接続されている。容量素子1109は、変換駆動用TFT1108のゲート電極
20 と第2の電極との間に接続され、変換駆動用TFT1108のゲート・ソース間電
圧を保持する。電流線（電源線）1104および発光素子1110の他方の電極に
は、それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図13 (A) の画素は、図33 (B) の回路を画素に適用した場合に相当
する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対にな
25 っている。図13 (A) の駆動用TFT1107が図33 (B) のTFT126に相
当し、図13 (A) の変換駆動用TFT1108が図33 (B) のTFT122に相

当し、図13 (A) の保持用TFT1106が図33 (B) のTFT124に相当する。

図13 (B) の画素は、信号線1151、第1及び第2の走査線1142、1143、電流線（電源線）1144、スイッチング用TFT1145、保持用TFT1146、変換駆動用TFT1147、駆動用TFT1148、容量素子1149、発光素子1140とを有する。信号線1151は電流源回路1141に接続されている。

なお、電流源回路1141が、信号線駆動回路403に配置されている電流源回路420に相当する。

- 10 図13 (B) の画素は、スイッチング用TFT1145のゲート電極は、第1の走査線1142に接続され、第1の電極は信号線1151に接続され、第2の電極は駆動用TFT1148の第1の電極と、変換駆動用TFT1147の第1の電極とに接続されている。保持用TFT1146のゲート電極は、第2の走査線1143に接続され、第1の電極は駆動用TFT1148の第1の電極に接続され、第2
- 15 の電極は駆動用TFT1148のゲート電極と、変換駆動用TFT1147のゲート電極とに接続されている。変換駆動用TFT1147の第2の電極は、電流線（電源線）1144に接続され、変換駆動用TFT1147の第2の電極は、発光素子1140の一方の電極に接続されている。容量素子1149は、変換駆動用TFT1147のゲート電極と第2の電極との間に接続され、変換駆動用TFT1147
- 20 のゲート・ソース間電圧を保持する。電流線（電源線）1144および発光素子1140の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図13 (B) の画素は、図6 (B) の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図13 (B) の変換駆動用TFT1147が図6 (B) のTFT122に相

- 25 当し、図13 (B) の駆動用TFT1148が図6 (B) のTFT126に相当し、図13 (B) の保持用TFT1146が図6 (B) のTFT124に相当する。

図13 (C) の画素は、信号線1121、第1の走査線1122、第2の走査線1123、第3の走査線1135、電流線（電源線）1124、スイッチング用TFT1125、画素用電流線1138、消去用TFT1126、駆動用TFT1127、容量素子1128、電流源TFT1129、ミラーTFT1130、容量素子1131、電流入力TFT1132、保持TFT1133、発光素子1136とを有する。画素用電流線1138は、電流源回路1137に接続される。

図13 (C) の画素は、スイッチング用TFT1125のゲート電極は、第1の走査線1122に接続され、スイッチング用TFT1125の第1の電極は信号線1121に接続され、スイッチング用TFT1125の第2の電極は駆動用TFT1127のゲート電極と、消去用TFT1126の第1の電極とに接続されている。消去用TFT1126のゲート電極は、第2の走査線1123に接続され、消去用TFT1126の第2の電極は電流線（電源線）1124に接続されている。駆動用TFT1127の第1の電極は発光素子1136の一方の電極に接続され、駆動用TFT1127の第2の電極は電流源TFT1129の第1の電極に接続されている。電流源TFT1129の第2の電極は電流線1124に接続されている。容量素子1131の一方の電極は、電流源TFT1129のゲート電極及びミラーTFT1130のゲート電極に接続され、他方の電極は電流線（電源線）1124に接続されている。ミラーTFT1130の第1の電極は電流線1124に接続され、ミラーTFT1130の第2の電極は、電流入力TFT1132の第1の電極に接続されている。電流入力TFT1132の第2の電極は電流線（電源線）1124に接続され、電流入力TFT1132のゲート電極は第3の走査線1135に接続されている。電流保持TFT1133のゲート電極は第3の走査線1135に接続され、電流保持TFT1133の第1の電極は画素用電流線1138に接続され、電流保持TFT1133の第2の電極は電流源TFT1129のゲート電極及びミラーTFT1130のゲート電極に接続されている。電流線（電源線）1124および発光素子1136の他方の電極には、それぞれ所定の電位が入力され、互

いに電位差を有する。

ここで、電流源回路1137が、信号線駆動回路403に配置されている電流源回路420に相当する。

5 なお、図13(C)の画素は、図49(B)の画素に、図6(E)の回路を画素5に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。なお、図13(C)の画素には、消去用TFT1126が追加されている。消去用TFT1126により、点灯期間の長さを自由に制御できるようになる。

10 スイッチング用TFT1125は画素に対するビデオ信号の供給を制御する役割を担う。消去用TFT1126は容量素子1131に保持された電荷を放電する役割を担う。駆動用TFT1127は、容量素子1131に保持された電荷に応じて、導通又は非導通が制御される。電流源TFT1129とミラーTFT1130はカレントミラー回路を形成する。電流線1124及び発光素子1136の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

15 つまり、スイッチング用TFT1125がオンになると、信号線1121を通過して、ビデオ信号が画素に入力され、容量素子1128に保存される。そして、ビデオ信号の値により、駆動用TFT1127がオン又はオフする。よって、駆動用TFT1127がオンの場合は、発光素子に一定の電流がながれて、発光する。駆動用TFT1127がオフの場合は、発光素子に電流が流れず、発光しない。このようにして、画像を表示する。

20 なお図13(C)の電流源回路は、電流源TFT1129、ミラーTFT1130、容量素子1131、電流入力TFT1132及び保持TFT1133により電流源回路を構成している。電流源回路は、一定の電流を流す能力を有している。この電流源回路には、画素用電流線1138を通過して電流が入力され、設定動作が行われる。そのため、電流源回路を構成するトランジスタの特性がばらついても、電流源回路から発光素子に供給される電流の大きさには、ばらつきが生じなくなる。

画素の電流源回路に対する設定動作は、スイッチング用TFT1125や駆動用TFT1127の動作とは、無関係に行うことができる。

図53(A)の画素は、図49(B)の画素に、図6(A)の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図53(A)の画素は、電流源TFT1129、容量素子1131、保持TFT1133、画素用電流線1138(Ci)などを有している。画素用電流線1138(Ci)は、電流源回路1137に接続されている。なお、電流源回路1137が、信号線駆動回路403に配置されている電流源回路420に相当する。

10 図53(B)の画素は、図49(B)の画素に、図7(A)の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図53(B)の画素は、電流源TFT1129、容量素子1131、保持TFT1133、画素用電流線1138(Ci)などを有している。画素用電流線1138(Ci)は、電流源回路1137に接続されている。なお、電
15 流源回路1137が、信号線駆動回路403に配置されている電流源回路420に相当する。

図53(A)の画素と図53(B)の画素とでは、電流源TFT1129の極性が異なる。そして、極性が異なることにより、容量素子1131、保持TFT1133の接続が異なっている。このように、さまざまな構成の画素が存在する。ところで、これまでに述べた画素は、大きく二つのタイプに分類できる。1つ目のタイプが、信号線にビデオ信号に応じた電流を入力するタイプである。これは、図13(A)、図13(B)などがそれに相当する。この場合、信号線駆動回路は、図1
20 や図2のように、信号電流制御スイッチを有している。

そして、もう1つのタイプが、信号線にビデオ信号を入力し、画素用電流線に、
25 ビデオ信号とは無関係な一定の電流を入力するタイプ、つまり、図49(B)のような画素の場合である。これは、図13(C)、図53(A)、図53(B)などが

それに相当する。この場合、信号線駆動回路は、図29や図30のように、信号電流制御スイッチを有していない。

次いで、各々の画素のタイプに応じた駆動方法について、タイミングチャートを用いて述べる。まず、デジタル階調と時間階調を組み合わせた場合について述べる。

- 5 ただし、これは、画素のタイプや信号線駆動回路の構成によって変わる。つまり、すでに述べたように、信号線駆動回路の電流源回路に対する設定動作が、入力動作と同時にできる場合には、信号線駆動回路の電流源回路に対する設定動作のタイミングは、特に限定されない。そこで、信号線駆動回路の電流源回路に対する設定動作と入力動作を同時に行えない場合の駆動方法について、タイミングチャートを用
- 10 いて述べる。

まず、画素のタイプが、信号線にビデオ信号に応じた電流を入力するタイプの場合について述べる。画素は、図13(A)又は図13(B)であるとする。信号線駆動回路は、図3(B)の構成であるとする。このときのタイミングチャートを図54に示す。

- 15 4ビットの階調を表現することとし、簡単のため、サブフレーム数を4つにしたとする。まず、最初のサブフレーム期間SF1が始まる。1行づつ走査線(図13(A)での第1の走査線1102や図13(B)での第1の走査線1132)を選択し、信号線(図13(A)での1101や図13(B)での1131)から電流を入力していく。この電流は、ビデオ信号に応じた値になっている。そして、点灯期間 T_{s1} が終了すると、次のサブフレーム期間SF2が始まり、SF1と同様に走査させる。
- 20 その後、その次のサブフレーム期間SF3が始まり、同様に走査させていく。ただし、点灯期間の長さ T_{s3} は、アドレス期間の長さ T_{a3} よりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。消去するためには、第2の走査線(図
- 25 13(A)での第2の走査線1103や図13(B)での第2の走査線1133)を1行づつ選択していく。そうすると、ビデオ信号が消去され、発光素子を非発光

状態にすることができる。その後、次のサブフレーム SF4 が始まる。ここでも、SF3 と同様に走査させ、同様に非発光状態にしていく。

以上が、画像表示動作、つまり、画素の動作に関するタイミングチャートである。次に、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて述べる。ここでの電流源回路では、設定動作と入力動作は、同時に行えないものであるとする。信号線駆動回路に配置された電流源回路の入力動作は、各サブフレーム期間におけるアドレス期間 (T_{a1} 、 T_{a2} など) の間に行われる。したがって、信号線駆動回路に配置された電流源回路の設定動作は、アドレス期間以外の時に行えばよい。よって、図 5 4 に示すように、アドレス期間以外の時として、設定動作期間 T_{b1} 、 T_{b2} において、信号線駆動回路に配置された電流源回路の設定動作を行えばよい。なお、信号線駆動回路に配置された電流源回路の設定動作は、設定動作期間 T_{b1} 、 T_{b2} のどちらかの期間だけで行ってもよいし、両方の期間を利用して設定動作を行ってもよい。

つぎに、画素のタイプが、信号線にビデオ信号を入力し、画素用電流線に、ビデオ信号とは無関係な一定の電流を入力するタイプの場合について述べる。信号線駆動回路は、図 4 9 (A) の構成であるとする。画素は、図 1 3 (C)、図 4 9 (B)、図 5 3 (A)、図 5 3 (B) などであるとする。ただし、この画素構成の場合、画素の電流源回路に対しても、設定動作を行う必要がある。そのため、画素の電流源回路の設定動作と入力動作とを同時にできるかどうかによって、駆動方法、つまりタイミングチャートが異なってくる。まず、画素の電流源回路の設定動作と入力動作とを同時にできる場合、つまり、画素が図 1 3 (C) のときの駆動方法を図 5 5 のタイミングチャートに示す。

まず、画像表示動作、つまり、画素のスイッチング用トランジスタと駆動用トランジスタなどに関する動作について述べる。ただし、図 5 4 の場合とほとんど同様のため、簡単に述べる。

まず、最初のサブフレーム期間 SF1 が始まる。1 行ずつ走査線 (図 1 3 (C) で

- の第1の走査線1122)を選択し、信号線(図13(C)での1121)からビデオ信号を入力していく。このビデオ信号は、通常、電圧であるが、電流でもかまわない。そして、点灯期間Ts1が終了すると、次のサブフレーム期間SF2が始まり、SF1と同様に走査させる。その後、その次のサブフレーム期間SF3が始まり、
- 5 同様に走査させていく。ただし、点灯期間の長さTs3が、アドレス期間の長さTa3よりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。消去するためには、第2の走査線(図13(C)での第2の走査線1123)を1行ずつ選択していく。すると、ビデオ信号が消去され、駆動用TF T1127がオフ状態に
- 10 なり、非発光状態にすることができる。その後、次のサブフレーム期間SF4が始まる。ここでも、サブフレーム期間SF3と同様に走査させ、同様に非発光状態にしていく。

- 次に、画素の電流源回路に対する設定動作に関して述べる。図13(C)に示す電流源回路の場合、画素の電流源回路の設定動作と入力動作とは、同時に行うこと
- 15 ができる。したがって、画素の電流源回路の設定動作は、いつ行ってもよく、つまり、任意のタイミングで行えばよい。

- また信号線駆動回路に配置された電流源回路の設定動作は、画素の電流源回路の設定動作を行っている期間以外の時に行えばよい。つまり、例えば、1フレーム期間を第1及び第2設定動作期間に大別し、第1設定動作期間において画素の電流源
- 20 回路の設定動作を行い、第2設定動作期間において信号線駆動回路の電流源回路の設定動作を行えばよい。

- 以上のことから、画素の電流源回路に対する設定動作と信号線駆動回路の電流源回路の設定動作は、双方を同時に行えないという点のみ注意すれば、いつ行ってもよい。つまり、ある期間において、画素の電流源回路に対する設定動作を行い、別
- 25 の期間において、信号線駆動回路の電流源回路の設定動作を行えばよい。ここで、画素の電流源回路に対する設定動作は、いつ行ってもよい。そこで、図55には、

サブフレーム期間 SF1 に画素の電流源回路に対する設定動作を行い、それ以外の期間に信号線駆動回路に配置された電流源回路の設定動作を行った場合の駆動方法について、タイミングチャートに示す。

- 次に、画素のタイプが、信号線にビデオ信号を入力し、画素用電流線に、ビデオ
- 5 信号とは無関係な一定の電流を入力するタイプであり、かつ、画素の電流源回路の設定動作と入力動作とを同時にできない場合、つまり、画素が図 5 3 (A)、図 5 3 (B) のときの駆動方法についてのタイミングチャートを図 5 6 に示す。

まず、画像表示動作、つまり、画素のスウィッチング用トランジスタと駆動用トランジスタなどに関する動作は、図 5 5 の場合とほとんど同様なため、簡単に述べる。

- 10 まず、最初のサブフレーム期間 SF1 が始まる。1 行ずつ走査線 (図 5 3 (A)、図 5 3 (B) での第 1 の走査線 1 1 2 2) を選択し、信号線 (図 5 3 (A)、図 5 3 (B) での 1 1 2 1) からビデオ信号を入力していく。このビデオ信号は、通常、電圧であるが、電流でもかまわない。そして、点灯期間 T_{s1} が終了すると、次のサブフレーム期間 SF2 が始まり、サブフレーム期間 SF1 と同様に走査させる。そ
- 15 の後、その次のサブフレーム期間 SF3 が始まり、同様に走査させていく。ただし、点灯期間の長さ T_{s3} が、アドレス期間の長さ T_{a3} よりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。発光素子に電流が流れないようにするためには、第 2 の走査線 (図 1 3 (C) での第 2 の走査線 1 1 2 3) を 1 行ずつ非選択
- 20 状態にしていく。すると、消去用 T_{FT1127} がオフ状態になり、電流の流れる経路が遮断され、非発光状態にすることができる。その後、次のサブフレーム SF4 が始まる。ここでも、SF3 と同様に走査させ、同様に非発光状態にしていく。

- 次に、画素の電流源回路に対する設定動作に関して述べる。図 5 3 (A)、図 5 3 (B) の場合、画素の電流源回路の設定動作と入力動作とは、同時に行うことが
- 25 できない。したがって、画素の電流源回路の設定動作は、画素の電流源回路が入力動作を行っていない時、つまり、発光素子に電流が流れていないときに行えばよい。

信号線駆動回路の電流源回路の設定動作は、画素の電流源回路の設定動作を行っている期間以外の時に行えばよい。つまり、例えば、1フレーム期間を第1及び第2設定動作期間に大別し、第1設定動作期間において画素の電流源回路の設定動作を行い、第2設定動作期間において信号線駆動回路の電流源回路の設定動作を行えばよい。

以上のことから、画素の電流源回路に対する設定動作は、非点灯期間 (Td3、Td4) に行い、信号線駆動回路の電流源回路の設定動作は、それ以外の時に行えばよい。そこで、図56には、SF3とSF4の非点灯期間 (Td3、Td4) に画素の電流源回路に対する設定動作を行い、それ以外の時に信号線駆動回路の電流源回路の設定動作を行った場合の駆動方法についてタイミングチャートを用いて説明する。

なお、画素の電流源回路に対する設定動作が、非点灯期間だけでは、設定動作を行う期間が少ない場合がある。つまり、長い時間をかけて画素の電流源回路に対する設定動作を行い、十分に正確な設定動作を行いたい場合、設定動作を行う期間をもっと多くした場合がある。そのようなときは、図9のように、各アドレス期間の前に、強制的に非点灯期間を設け、そこで、画素の電流源回路に対する設定動作を行ってもよい。

これまでは、デジタル階調と時間階調を組み合わせた場合における、駆動方法についてタイミングチャートを用いて述べてきた。つぎに、アナログ階調の場合の駆動方法についてタイミングチャートを用いて述べる。ここでも、信号線駆動回路の電流源回路に対する設定動作と入力動作とを同時に行えない場合の駆動方法についてタイミングチャートを用いて述べる。

まず、画素は、図13(A)もしくは図13(B)であるとする。信号線駆動回路は、図5もしくは図44の構成であるとする。このときの駆動方法について図10のタイミングチャートを用いて述べる。

1行づつ走査線 (図13(A)での第1の走査線1102や図13(B)での第1の走査線1132) を選択し、信号線 (図13(A)での1101や図13(B)

での1131)から電流を入力していく。この電流は、ビデオ信号に応じた値になっている。これを、1フレーム期間かけて行う。

以上が、画像表示動作、つまり、画素の動作に関する駆動方法である。次に、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて述べる。こ

- 5 こでの電流源回路は、設定動作と入力動作とは、同時に行えないものであるとしている。信号線駆動回路の電流源回路の入力動作は、通常は、1フレーム期間かけて行われる。よって、このままでは、信号線駆動回路の電流源回路の設定動作を行えない。そこで、図10に示すように、各走査線が選択されている期間（ゲート選択期間、水平走査期間）において、最初の期間のみに、信号線駆動回路に配置された
- 10 電流源回路の入力動作を停止して設定動作を行うようにする。つまり、各水平走査期間に、設定動作期間 T_b を配置する。なお、その期間は、帰線期間と一致させてもよい。

- あるいは、図11に示すように、信号線駆動回路の電流源回路の入力動作（ビデオ信号の入力動作）は、1フレーム期間のうちの何割かの期間で行い、残りの期間
- 15 で、信号線駆動回路の電流源回路の設定動作を行ってもよい。つまり、1フレーム期間は、複数の水平走査期間と設定動作期間とを有する。

- なお、信号線駆動回路の電流源回路の設定動作を行う場合、電流が漏れたり、別の電流が入ってきたりすることが無い状態で行う必要がある。もし、電流が漏れたり、別の電流が入ってきたりしたら、その状態で、電流源回路の設定動作を行うこと
- 20 になる。そうなると、正確な値で設定動作が行えないことになる。よって、図24におけるトランジスタ182、図45におけるトランジスタA、B、Cなどは、信号線駆動回路の電流源回路の設定動作を行う前には、オフ状態にしておく必要がある。ただし、図46のようにスイッチ203が配置されており、電流が漏れたり、別の電流が入ってきたりすることが無い場合には、考慮する必要はない。

- 25 本実施例は、実施の形態1～8、実施例1と任意に組み合わせることが可能である。

〈実施例 3〉

本実施例では、カラー表示を行う場合の工夫について述べる。

発光素子が有機 EL 素子である場合、発光素子に同じ大きさの電流を流しても、色によって、その輝度が異なる場合がある。また、発光素子が経時的な要因などに
5 より劣化した場合、その劣化の度合いは、色によって異なる。そのため、発光素子を用いた発光装置において、カラー表示を行う際には、そのホワイトバランスを調節するためにさまざまな工夫が必要である。

最も単純な手法は、画素に入力する電流の大きさを色によって変えることである。そのためには、リファレンス信号用定電流源の電流の大きさを色によって変えれば
10 よい。

その他の手法としては、画素、信号線駆動回路、リファレンス用定電流源などにおいて、図 6 (C) ~ 図 6 (E) のような回路を用いることである。そして、図 6 (C) ~ 図 6 (E) のような回路において、カレントミラー回路を構成する 2 つのトランジスタの W/L の比率を色によって変える。これにより、画素に入力する電流
15 の大きさが色によって変えることができる。

さらに他の手法としては、点灯期間の長さを色によって変えることである。これは、時間階調方式を用いている場合、また用いていない場合のどちらの場合にも適用できる。本手法により、各画素の輝度を調節することができる。

以上のような手法を用いることにより、あるいは、組み合わせて用いることにより、
20 り、ホワイトバランスを容易に調節することができる。

本実施例は、実施の形態 1 ~ 8、実施例 1、2 と任意に組み合わせることが可能である。

〈実施例 4〉

本実施例では、本発明の発光装置（半導体装置）の外観について、図 12 を用いて説明する。図 12 は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図 12 (B) は、図
25

1 2 (A) の A-A' における断面図、図 1 2 (C) は図 1 2 (A) の B-B' における断面図である。

基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、ゲート信号線駆動回路 4 0 0 4 a、b とを囲むようにして、シール材 4 0 0 9 が設けられている。また画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、ゲート信号線駆動回路 4 0 0 4 a、b との上にシーリング材 4 0 0 8 が設けられている。よって画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、ゲート信号線駆動回路 4 0 0 4 a、b とは、基板 4 0 0 1 とシール材 4 0 0 9 とシーリング材 4 0 0 8 とによって、充填材 4 2 1 0 で密封されている。

10 また基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、ゲート信号線駆動回路 4 0 0 4 a、b とは、複数の T F T を有している。図 1 2 (B) では代表的に、下地膜 4 0 1 0 上に形成された、ソース信号線駆動回路 4 0 0 3 に含まれる駆動 T F T (但し、ここでは n チャネル型 T F T と p チャネル型 T F T を図示) 4 2 0 1 及び画素部 4 0 0 2 に含まれる消去用 T F T 4 2 0 2
15 を図示した。

本実施例では、駆動 T F T 4 2 0 1 には公知の方法で作製された p チャネル型 T F T または n チャネル型 T F T が用いられ、消去用 T F T 4 2 0 2 には公知の方法で作製された n チャネル型 T F T が用いられる。

駆動 T F T 4 2 0 1 及び消去用 T F T 4 2 0 2 上には層間絶縁膜 (平坦化膜) 4
20 3 0 1 が形成され、その上に消去用 T F T 4 2 0 2 のドレインと電氣的に接続する画素電極 (陽極) 4 2 0 3 が形成される。画素電極 4 2 0 3 としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したも
25 のを用いても良い。

そして、画素電極 4 2 0 3 の上には絶縁膜 4 3 0 2 が形成され、絶縁膜 4 3 0 2

は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には発光層4204が形成される。発光層4204は公知の発光材料または無機発光材料を用いることができる。また、発光材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

- 5 発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、発光層4204の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を任意に組み合わせて積層構造または単層構造とすれば良い。

- 発光層4204の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4205が形成される。また、陰極4205と発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、発光層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極
- 10 4205は所定の電圧が与えられている。

以上のようにして、画素電極（陽極）4203、発光層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜上に保護膜が形成されている。保護膜は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

- 20 4005aは電源線に接続された引き回し配線であり、消去用TFT4202のソース領域に電氣的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電氣的に接続される。

- シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinfor
- 25

ced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

- 5 但し、発光層からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

- また、充填材 4 2 1 0 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC (ポリビニルクロライド)、
10 アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB (ポリビニルブチラル) またはEVA (エチレンビニルアセテート) を用いることができる。本実施例では充填材として窒素を用いた。

- また充填材 4 2 1 0 を吸湿性物質 (好ましくは酸化バリウム) もしくは酸素を吸着しうる物質にさらしておくために、シーリング材 4 0 0 8 の基板 4 0 0 1 側の面
15 に凹部 4 0 0 7 を設けて吸湿性物質または酸素を吸着しうる物質 4 2 0 7 を配置する。そして、吸湿性物質または酸素を吸着しうる物質 4 2 0 7 が飛び散らないように、凹部カバー材 4 2 0 8 によって吸湿性物質または酸素を吸着しうる物質 4 2 0 7 は凹部 4 0 0 7 に保持されている。なお凹部カバー材 4 2 0 8 は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物
20 質 4 2 0 7 は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質 4 2 0 7 を設けることで、発光素子 4 3 0 3 の劣化を抑制できる。

図 1 2 (C) に示すように、画素電極 4 2 0 3 が形成されると同時に、引き回し配線 4 0 0 5 a 上に接するように導電性膜 4 2 0 3 a が形成される。

- また、異方導電性フィルム 4 3 0 0 は導電性フィラー 4 3 0 0 a を有している。
25 基板 4 0 0 1 と FPC 4 0 0 6 とを熱圧着することで、基板 4 0 0 1 上の導電性膜 4 2 0 3 a と FPC 4 0 0 6 上の FPC 用配線 4 3 0 1 とが、導電性フィラー 4 3

00aによって電氣的に接続される。

本実施例は、実施の形態1～8、実施例1～4と任意に組み合わせることが可能である。

〈実施例5〉

- 5 発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

- 本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、
- 10 音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携
- 15 帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図22に示す。

- 図22（A）は発光装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。また本発明により、図22（A）に示す
- 20 発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

- 図22（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。また本発明により、図22（B）に示すデジタルスチルカメラが完成される。
- 25

図22(C)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができる。また本発明により、図22(C)に示す発光装置が完成される。

- 5 図22(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。また本発明により、図22(D)に示すモバイルコンピュータが完成される。

- 図22(E)は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、図22(E)に示すDVD再生装置が完成される。
- 10
15

- 図22(F)はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。また本発明により、図22(F)に示すゴーグル型ディスプレイが完成される。
- 20

- 図22(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を含む。本発明の発光装置は表示部2602に用いることができる。また本発明により、図22(G)に示すビデオカメラが完成される。
- 25

ここで図22(H)は携帯電話であり、本体2701、筐体2702、表示部2

703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図22

5 (H) に示す携帯電話が完成される。

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子

10 通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電

15 話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例の電子機器は、実施の形態1～8、実施例1～4

20 に示したいずれの構成の発光装置を用いても良い。

上記構成を有する本発明は、TFTの特性バラツキの影響を抑制して、所望の電流を外部に供給することができる。

本発明は、2つのシフトレジスタ（第1及び第2シフトレジスタ）を設けた信号線駆動回路を提供する。この第1及び第2シフトレジスタは、一方は電流源回路、

25 他方はビデオ信号を制御するための回路、つまり画像を表示するために動作させる回路であり、例えばラッチ回路やサンプリングスイッチやスイッチ101（信号電

流制御スイッチ)などを制御する。そうすると、第1及び第2シフトレジスタの動作を独立に行うことが可能となり、必然的に電流源回路の設定動作と画像表示動作とを独立に行うことが可能となる。電流源回路の設定動作は、時間をかけて行う方が正確に行えるため、電流源回路とラッチ回路とを独立に動作させることが出来る。

5 本発明の構成は大変有効である。

なおシフトレジスタはフリップフロップ回路やデコーダ回路等の回路により構成される。シフトレジスタがフリップフロップ回路により構成される場合には、通常複数の配線は1列目から最終列目まで順に選択される。一方、シフトレジスタがデコーダ回路などにより構成される場合には、複数の配線はランダムに選択することが可能となる。複数の配線をランダムに選択できると、設定信号もランダムに出力できるようになる。従って、電流源回路の設定動作も、1列目から順に行うのではなく、ランダムに行うことができるようになる。電流源回路の設定動作をランダムに行うことができると、様々な利点が生じる。例えば、電流源回路の設定動作は、1列目から順に行うのではなく、ランダムに行うことができると、設定動作を行う

10 時間の長さは、自由に長くとれるようになる。また、設定動作を行うことができる期間が、1フレーム中に点在している場合は、任意の列をランダムに選択できると、自由度が上がり、設定動作の期間を長くとることができるようになる。そのほかの利点としては、電流源回路内に配置された容量素子における電荷の漏れの影響を目立たなくさせることができるようになる。このように、設定動作に伴う不具合があ

15 った場合、その不具合を目立たなくさせることができるようになる。

20

請 求 の 範 囲

1. 第1の電流を電圧に変換する手段と、
変換された前記電圧を保持する手段と、
- 5 保持された前記電圧を第2の電流に変換する手段と、
デジタルの映像信号によって、前記第2の電流を信号線もしくは画素に流す手段と、
を有する電流源回路を含むことを特徴とする信号線駆動回路。
2. 第1の電流を電圧に変換する手段と、
変換された前記電圧を保持する手段と、
- 10 保持された前記電圧を第2の電流に変換し、前記第2の電流を電流線もしくは画素
に
流す手段と、
を有する電流源回路を含むことを特徴とする信号線駆動回路。
3. 第1の電流を電圧に変換する手段と、
- 15 変換された前記電圧を保持する手段と、
保持された前記電圧を第2の電流に変換し、前記第2の電流を電流線もしくは画素
に
流す手段と、を有する電流源回路を含み、
デジタルの映像信号を信号線もしくは画素に供給する手段を含むことを特徴とす
- 20 る信号線駆動回路。
4. 第1の電流を電圧に変換する手段と、
変換された前記電圧を保持する手段と、
保持された前記電圧を第2の電流に変換する手段と、
前記第2の電流を電流線もしくは画素に流す手段と、
- 25 を有する電流源回路を含むことを特徴とする信号線駆動回路。
5. 第1の電流を電圧に変換する手段と、

変換された前記電圧を保持する手段と、

保持された前記電圧を第2の電流に変換する手段と、

前記第2の電流を電流線もしくは画素に流す手段と、

を有する電流源回路を含み、

- 5 デジタルの映像信号を信号線もしくは画素に供給する手段を含むことを特徴とする信号線駆動回路。

6. 第1及び第2シフトレジスタ、並びにラッチ回路及び複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、

前記複数の電流源回路の各々は、容量手段と供給手段を有し、

- 10 前記容量手段は、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、前記供給手段は、ビデオ信号に従って、前記変換された電圧に応じた電流を供給し、

前記ラッチ回路は、前記第2シフトレジスタから供給されるサンプリングパルスに従って動作することを特徴とする信号線駆動回路。

- 15 7. 第1及び第2シフトレジスタ、並びにラッチ回路及び複数の配線の各々に対応した第1及び第2電流源回路を有する信号線駆動回路であって、

前記第1及び前記第2電流源回路の各々は、容量手段と供給手段を有し、

前記第1及び前記第2電流源回路の一方が有する前記容量手段は、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に

- 20 変換し、他方の電流源回路が有する前記供給手段は、ビデオ信号に従って前記変換された電圧に応じた電流を供給し、

前記ラッチ回路は、前記第2シフトレジスタから供給されるサンプリングパルスに従って動作することを特徴とする信号線駆動回路。

8. 第1及び第2シフトレジスタ、並びにラッチ回路及び複数の配線の各々に対応

- 25 した n 個の電流源回路（ n は2以上の自然数）を有する信号線駆動回路であって、

前記 n 個の電流源回路の各々は、容量手段と供給手段を有し、

前記n個の電流源回路が有する前記容量手段は、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、前記供給手段はビデオ信号に従って前記変換された電圧に応じた電流を供給し、

前記ラッチ回路は、前記第2シフトレジスタから供給されるサンプリングパルス
5 に従って動作することを特徴とする信号線駆動回路。

9. 請求項6乃至請求項8のいずれか一項に記載の前記信号線駆動回路は、m個のリファレンス用定電流源を有し、

前記m個のリファレンス用定電流源から供給される電流値は、 $2^0:2^1:\dots:2^m$ に設定されることを特徴とする信号線駆動回路。

10 10. 請求項6乃至請求項8のいずれか一項において、

前記m個のリファレンス用定電流源は、互いに異なるビットに対応することを特徴とする信号線駆動回路。

11. 請求項6乃至請求項8のいずれか一項において、

前記第1シフトレジスタから供給されるサンプリングパルスは、複数列に同時に
15 出力されることを特徴とする信号線駆動回路。

12. 請求項6乃至請求項8のいずれか一項において、

前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする信号線駆動回路。

13. 請求項6乃至請求項8のいずれか一項において、

20 前記第1及び前記第2シフトレジスタはフリップフロップ回路のみで構成され、前記複数の配線を順に選択することを特徴とする信号線駆動回路。

14. 請求項6乃至請求項8のいずれか一項において、

前記第1又は前記第2シフトレジスタはデコード回路で構成され、前記複数の配線をランダムに選択することを特徴とする信号線駆動回路。

25 15. 請求項6乃至請求項8のいずれか一項において、

前記第1又は前記第2シフトレジスタはフリップフロップ回路、列選択信号が入

力される第1ラッチ及び選択制御信号が入力される論理演算子で構成され、前記複数の配線をランダムに選択することを特徴とする信号線駆動回路。

16. 請求項6乃至請求項8のいずれか一項において、

前記第1又は前記第2シフトレジスタはフリップフロップ回路、列選択信号が入力される第1ラッチ及び選択用ラッチ信号が入力される第2ラッチで構成され、前記複数の配線をランダムに選択することを特徴とする信号線駆動回路。

17. 請求項6乃至請求項8のいずれか一項において、

前記容量手段は、前記供給手段が有するトランジスタのドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

18. 請求項6乃至請求項8のいずれか一項において、

前記供給手段は、トランジスタと、前記トランジスタのゲートとドレインの導通を制御する第1スイッチと、リファレンス用定電流源と前記トランジスタのゲートの導通を制御する第2スイッチと、前記トランジスタのドレインと画素の導通を制御する第3スイッチとを有することを特徴とする信号線駆動回路。

19. 請求項6乃至請求項8のいずれか一項において、

前記容量手段は、前記供給手段が有する第1及び第2トランジスタの両方のドレインとゲートが短絡された状態にあるとき、供給された電流により、前記第1又は前記第2トランジスタのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

20. 請求項6乃至請求項8のいずれか一項において、

前記供給手段は、第1及び第2トランジスタで構成されるカレントミラー回路と、前記第1及び前記第2トランジスタのゲートとソースの導通を制御する第1スイッチと、リファレンス用定電流源と前記第1及び前記第2トランジスタのゲートの導通を制御する第2スイッチを有することを特徴とする信号線駆動回路。

21. 請求項6乃至請求項8のいずれか一項において、

前記容量手段は、前記供給手段が有する第1及び第2トランジスタの一方のドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

22. 請求項6乃至請求項8のいずれか一項において、

- 5 前記供給手段は、第1及び第2のトランジスタを含むカレントミラー回路と、リファレンス用定電流源と前記第1トランジスタのドレインとの導通を制御する第1スイッチと、

- 前記第1トランジスタのドレインとゲート、前記第1トランジスタのゲートと前記第2トランジスタのゲート、前記第1及び前記第2トランジスタのゲートと前記
10 リファレンス用定電流源から選択されたいずれか1つの導通を制御する第2スイッチとを有することを特徴とする信号線駆動回路。

23. 請求項20乃至請求項22のいずれか一項において、

前記第1及び前記第2トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

- 15 24. 請求項20乃至請求項22のいずれか一項において、

前記第1トランジスタのゲート幅/ゲート長は、前記第2トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

25. 請求項6乃至請求項8のいずれか一項において、

- 前記供給手段は、トランジスタと、前記容量手段に対する電流の供給を制御する
20 第1及び第2スイッチと、前記トランジスタのゲートとドレインの導通を制御する第3スイッチを有し、

前記トランジスタのゲートは前記第1スイッチに接続され、前記トランジスタのソースは前記第2スイッチに接続され、前記トランジスタのドレインは前記第3スイッチに接続されることを特徴とする信号線駆動回路。

- 25 26. 請求項6乃至請求項8のいずれか一項において、

前記供給手段は、a個のトランジスタを含むカレントミラー回路（aは2以上の

自然数)を有し、

前記 a 個のトランジスタのゲート幅/ゲート長は $2^0 : 2^1 : \dots : 2^a$ に設定され、

前記 a 個のトランジスタのドレイン電流は $2^0 : 2^1 : \dots : 2^a$ に設定される

5 ことを特徴とする信号線駆動回路。

27. 請求項6乃至請求項8のいずれか一項において、

前記供給手段を構成するトランジスタは飽和領域で動作することを特徴とする信号線駆動回路。

28. 請求項6乃至請求項8のいずれか一項において、

10 前記電流源回路を構成するトランジスタの能動層はポリシリコンで形成されることを特徴とする信号線駆動回路。

29. 請求項6乃至請求項8のいずれか一項において、

前記第1及び前記第2シフトレジスタは、異なる周波数で動作することを特徴とする信号線駆動回路。

15 30. 請求項1乃至請求項29のいずれか一項に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする発光装置。

31. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された

20 画素部と、

前記複数の配線の各々に対応した複数の電流源回路並びに第1及び第2シフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び駆動用トランジスタ、並びに前記駆動用トランジスタのゲート・ソース間電圧を保持する容量素子を有する発光装置の駆動

25 方法であって、

1フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々は点灯期間及びアドレス期間を有し、

前記点灯期間において、前記電流源回路が有する容量手段は、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、

- 5 前記アドレス期間において、前記電流源回路が有する供給手段は、前記変換された電圧に応じた電流を供給することを特徴とする発光装置の駆動方法。

32. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

- 前記複数の配線の各々に対応した複数の第1電流源回路並びに第1及び第2シフトレジスタを有する信号線駆動回路が設けられ、
- 10

前記複数の画素の各々は、発光素子及び第2電流源回路並びに前記発光素子と前記第2電流源回路の導通を制御するスイッチを有する発光装置の駆動方法であって、

1フレーム期間は、第1及び第2設定動作期間を有し、

- 15 前記第1設定動作期間において、前記第1電流源回路が有する容量手段は、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、

前記第2設定動作期間において、前記第2電流源回路が有する容量手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

- 20 33. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路並びに第1及び第2シフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は発光素子を有する発光装置の駆動方法であって、

- 25 1フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間の各々は、設定動作期間を有し、

前記設定動作期間において、前記複数の電流源回路の各々が有する容量手段は、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

34. 複数の配線及び複数の画素がマトリクス状に配置された画素部と、

- 5 前記複数の配線の各々に対応した複数の電流源回路並びに第1及び第2シフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は発光素子を有する発光装置の駆動方法であって、

1 フレーム期間は複数の水平走査期間と設定動作期間を有し、

- 前記設定動作期間において、前記複数の電流源回路の各々が有する容量手段は、
10 前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

35. 請求項31乃至請求項34のいずれか一項において、

前記第1及び前記第2シフトレジスタは、異なる周波数で動作することを特徴とする発光装置の駆動方法。

- 15 36. 請求項31乃至請求項34のいずれか一項において、

前記画素部は線順次駆動又は点順次駆動を行うことを特徴とする発光装置の駆動方法。

37. 請求項31乃至請求項34のいずれか一項において、

- 前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする発光
20 装置の駆動方法。

補正書の請求の範囲

補正書の請求の範囲 [2003年3月31日(31.03.03)国際事務局受理:出願当初の請求の範囲6-9、26及び31-34は補正された;他の請求の範囲は変更なし。(7頁)]

変換された前記電圧を保持する手段と、

保持された前記電圧を第2の電流に変換する手段と、

前記第2の電流を電流線もしくは画素に流す手段と、

を有する電流源回路を含み、

- 5 デジタルの映像信号を信号線もしくは画素に供給する手段を含むことを特徴とする信号線駆動回路。

6. (補正後) 第1及び第2シフトレジスタ、並びにラッチ回路及び複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、

- 前記複数の電流源回路の各々は、容量手段と供給手段を有し、更に、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換する手段を有し、
- 10

前記容量手段は変換された電圧を保持し、前記供給手段は、ビデオ信号に従って、前記変換された電圧に応じた電流を供給し、

- 前記ラッチ回路は、前記第2シフトレジスタから供給されるサンプリングパルスに従って動作することを特徴とする信号線駆動回路。
- 15

7. (補正後) 第1及び第2シフトレジスタ、並びにラッチ回路及び複数の配線の各々に対応した第1及び第2電流源回路を有する信号線駆動回路であって、

- 前記第1及び前記第2電流源回路の各々は、容量手段と供給手段を有し、更に、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換する手段を有し、
- 20

前記第1及び前記第2電流源回路の一方が有する前記容量手段は変換された電圧を保持し、他方の電流源回路が有する前記供給手段は、ビデオ信号に従って前記変換された電圧に応じた電流を供給し、

- 前記ラッチ回路は、前記第2シフトレジスタから供給されるサンプリングパルスに従って動作することを特徴とする信号線駆動回路。
- 25

8. (補正後) 第1及び第2シフトレジスタ、並びにラッチ回路及び複数の配線の

補正された用紙(条約第19条)

各々に対応した n 個の電流源回路（ n は2以上の自然数）を有する信号線駆動回路であって、

- 前記 n 個の電流源回路の各々は、容量手段と供給手段を有し、更に、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧
- 5 に変換する手段を有し、

前記 n 個の電流源回路が有する前記容量手段は変換された電圧を保持し、前記供給手段はビデオ信号に従って前記変換された電圧に応じた電流を供給し、

前記ラッチ回路は、前記第2シフトレジスタから供給されるサンプリングパルスに従って動作することを特徴とする信号線駆動回路。

- 10 9.（補正後）請求項6乃至請求項8のいずれか一項に記載の前記信号線駆動回路は、 m 個のリファレンス用定電流源を有し、

前記 m 個のリファレンス用定電流源から供給される電流値は、 $2^0:2^1:\dots:2^{m-1}$ に設定されることを特徴とする信号線駆動回路。

10. 請求項6乃至請求項8のいずれか一項において、

- 15 前記 m 個のリファレンス用定電流源は、互いに異なるビットに対応することを特徴とする信号線駆動回路。

11. 請求項6乃至請求項8のいずれか一項において、

前記第1シフトレジスタから供給されるサンプリングパルスは、複数列に同時に出力されることを特徴とする信号線駆動回路。

- 20 12. 請求項6乃至請求項8のいずれか一項において、

前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする信号線駆動回路。

13. 請求項6乃至請求項8のいずれか一項において、

前記第1及び前記第2シフトレジスタはフリップフロップ回路のみで構成され、

- 25 前記複数の配線を順に選択することを特徴とする信号線駆動回路。

14. 請求項6乃至請求項8のいずれか一項において、

前記第1又は前記第2シフトレジスタはデコーダ回路で構成され、前記複数の配線をランダムに選択することを特徴とする信号線駆動回路。

15. 請求項6乃至請求項8のいずれか一項において、

前記第1又は前記第2シフトレジスタはフリップフロップ回路、列選択信号が入

5

前記容量手段は、前記供給手段が有する第1及び第2トランジスタの一方のドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

22. 請求項6乃至請求項8のいずれか一項において、

- 5 前記供給手段は、第1及び第2のトランジスタを含むカレントミラー回路と、リファレンス用定電流源と前記第1トランジスタのドレインとの導通を制御する第1スイッチと、

- 前記第1トランジスタのドレインとゲート、前記第1トランジスタのゲートと前記第2トランジスタのゲート、前記第1及び前記第2トランジスタのゲートと前記
10 リファレンス用定電流源から選択されたいずれか1つの導通を制御する第2スイッチとを有することを特徴とする信号線駆動回路。

23. 請求項20乃至請求項22のいずれか一項において、

前記第1及び前記第2トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

- 15 24. 請求項20乃至請求項22のいずれか一項において、

前記第1トランジスタのゲート幅/ゲート長は、前記第2トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

25. 請求項6乃至請求項8のいずれか一項において、

- 前記供給手段は、トランジスタと、前記容量手段に対する電流の供給を制御する
20 第1及び第2スイッチと、前記トランジスタのゲートとドレインの導通を制御する第3スイッチを有し、

前記トランジスタのゲートは前記第1スイッチに接続され、前記トランジスタのソースは前記第2スイッチに接続され、前記トランジスタのドレインは前記第3スイッチに接続されることを特徴とする信号線駆動回路。

- 25 26. (補正後) 請求項6乃至請求項8のいずれか一項において、

前記供給手段は、a個のトランジスタを含むカレントミラー回路(aは2以上の

自然数)を有し、

前記 a 個のトランジスタのゲート幅/ゲート長は $2^0 : 2^1 : \dots : 2^{a-1}$ に設定され、

前記 a 個のトランジスタのドレイン電流は $2^0 : 2^1 : \dots : 2^{a-1}$ に設定されることを特徴とする信号線駆動回路。

27. 請求項6乃至請求項8のいずれか一項において、

前記供給手段を構成するトランジスタは飽和領域で動作することを特徴とする信号線駆動回路。

28. 請求項6乃至請求項8のいずれか一項において、

10 前記電流源回路を構成するトランジスタの能動層はポリシリコンで形成されることを特徴とする信号線駆動回路。

29. 請求項6乃至請求項8のいずれか一項において、

前記第1及び前記第2シフトレジスタは、異なる周波数で動作することを特徴とする信号線駆動回路。

15 30. 請求項1乃至請求項29のいずれか一項に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする発光装置。

31. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路並びに第1及び第2シフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び駆動用トランジスタ、並びに前記駆動用トランジスタのゲート・ソース間電圧を保持する容量素子を有する発光装置の駆動

25 方法であって、

1フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々は点灯期間及びアドレス期間を有し、

前記点灯期間において、前記電流源回路は、前記第 1 シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、

前記アドレス期間において、前記電流源回路が有する供給手段は、前記変換された電圧に応じた電流を供給することを特徴とする発光装置の駆動方法。

3 2. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の第 1 電流源回路並びに第 1 及び第 2 シフトレジスタを有する信号線駆動回路が設けられ、

10 前記複数の画素の各々は、発光素子及び第 2 電流源回路並びに前記発光素子と前記第 2 電流源回路の導通を制御するスイッチを有する発光装置の駆動方法であって、

1 フレーム期間は、第 1 及び第 2 設定動作期間を有し、

前記第 1 設定動作期間において、前記第 1 電流源回路は、前記第 1 シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、
15 前記第 1 電流源回路が有する容量手段は前記変換された電圧を保持し、

前記第 2 設定動作期間において、前記第 2 電流源回路は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

3 3. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、
20

前記複数の配線の各々に対応した複数の電流源回路並びに第 1 及び第 2 シフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は発光素子を有する発光装置の駆動方法であって、

1 フレーム期間は複数の水平走査期間を有し、

25 前記複数の水平走査期間の各々は、設定動作期間を有し、

前記設定動作期間において、前記複数の電流源回路の各々は、前記第 1 シフトレ

ジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、前記複数の電流源回路の各々が有する容量手段は前記変換された電圧を保持することを特徴とする発光装置の駆動方法。

3 4. (補正後) 複数の配線及び複数の画素がマトリクス状に配置された画素部と、

- 5 前記複数の配線の各々に対応した複数の電流源回路並びに第 1 及び第 2 シフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は発光素子を有する発光装置の駆動方法であって、

1 フレーム期間は複数の水平走査期間と設定動作期間を有し、

- 前記設定動作期間において、前記複数の電流源回路の各々は、前記第 1 シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。
- 10

3 5. 請求項 3 1 乃至請求項 3 4 のいずれか一項において、

前記第 1 及び前記第 2 シフトレジスタは、異なる周波数で動作することを特徴とする発光装置の駆動方法。

- 15 3 6. 請求項 3 1 乃至請求項 3 4 のいずれか一項において、

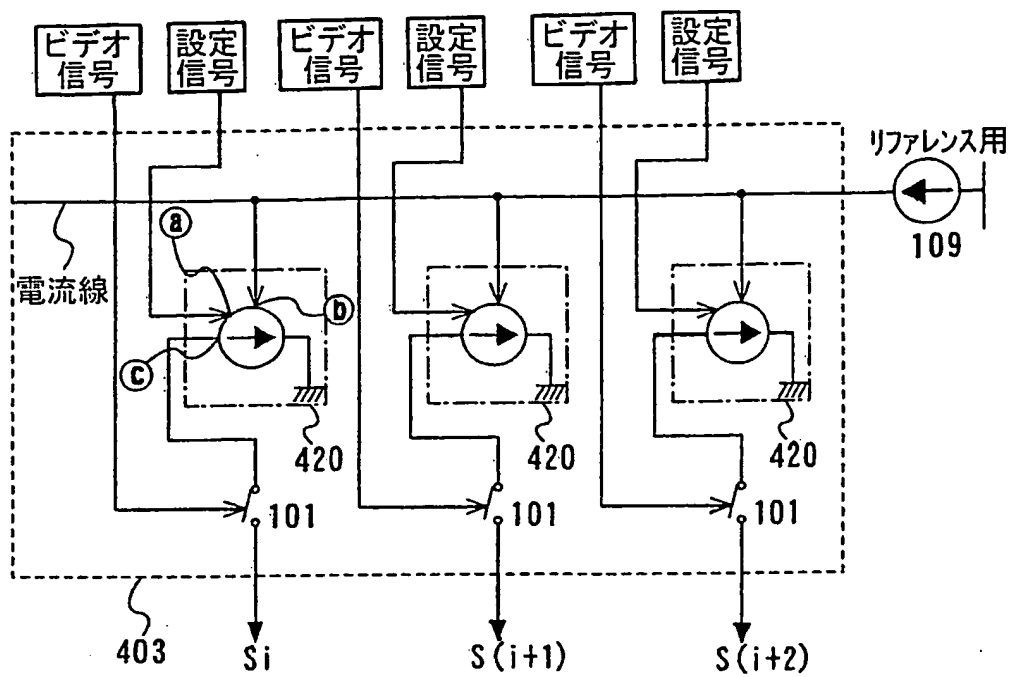
前記画素部は線順次駆動又は点順次駆動を行うことを特徴とする発光装置の駆動方法。

3 7. 請求項 3 1 乃至請求項 3 4 のいずれか一項において、

- 前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする発光装置の駆動方法。
- 20

1/55

FIG.1



2/55

FIG.2

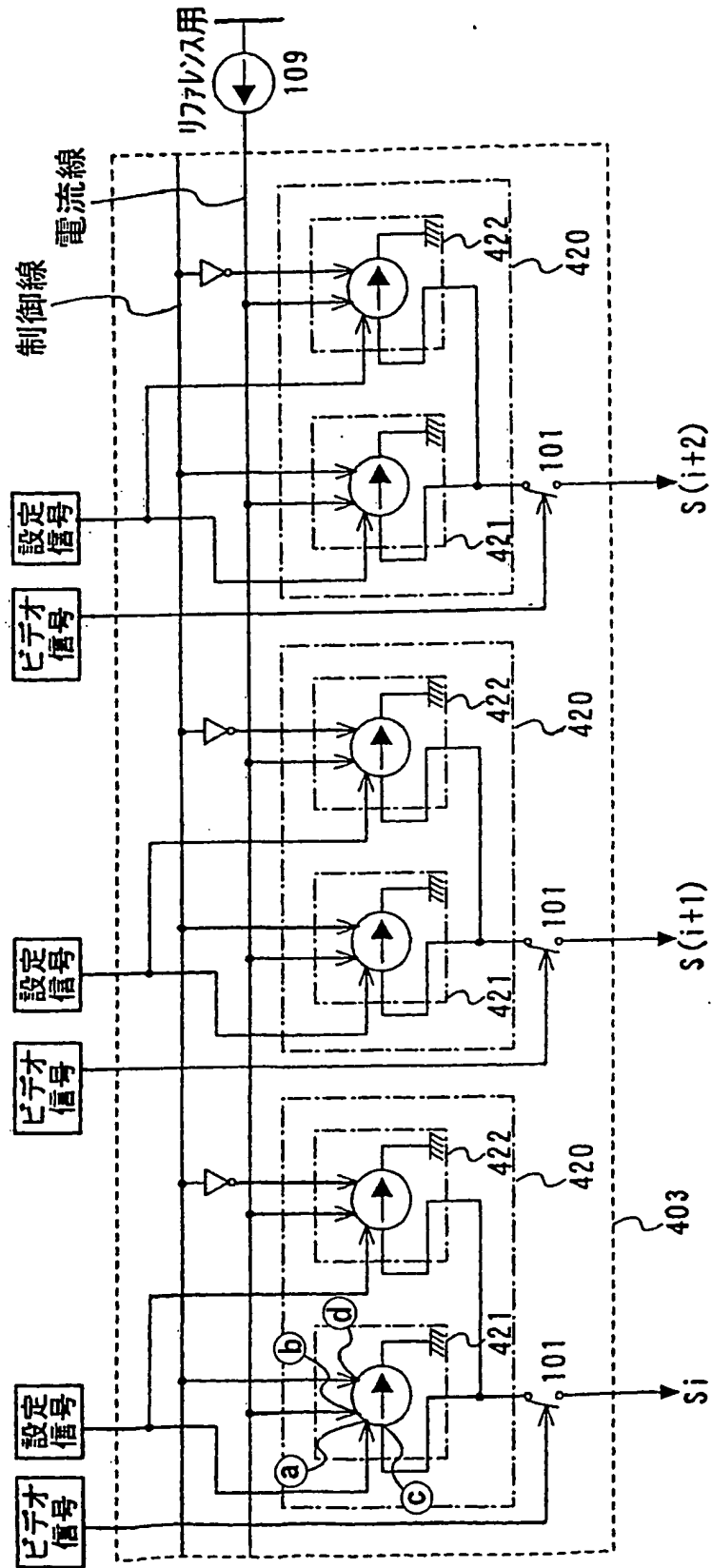
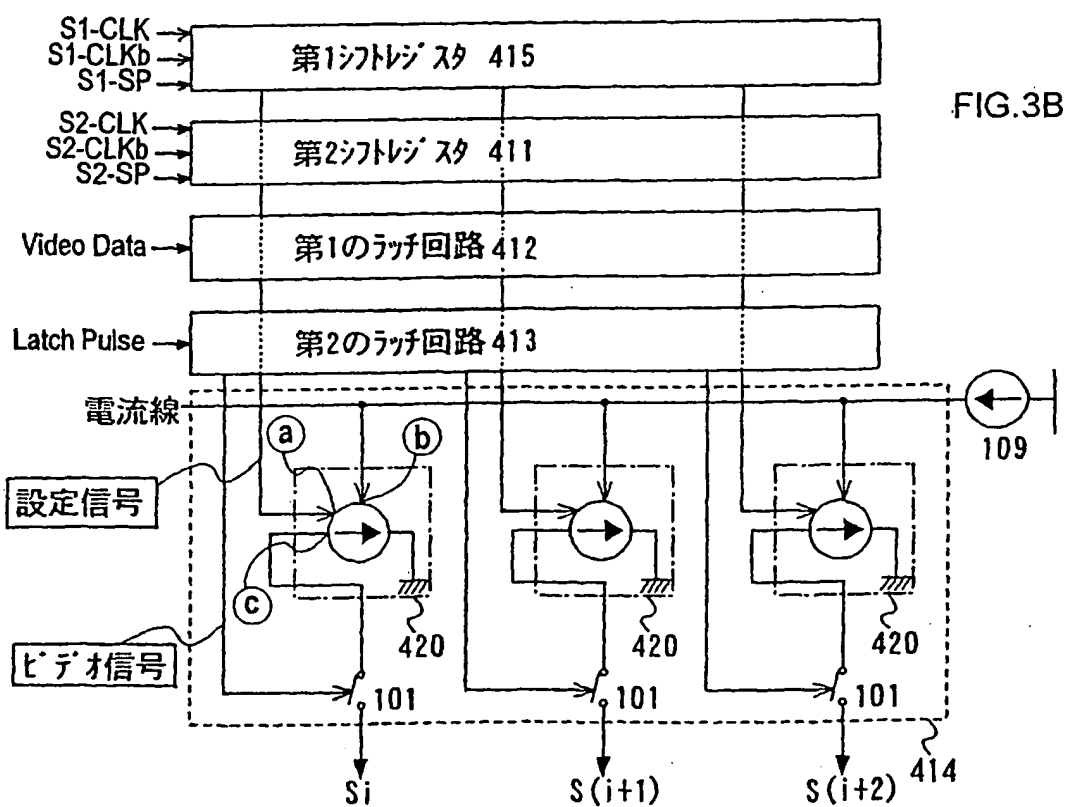
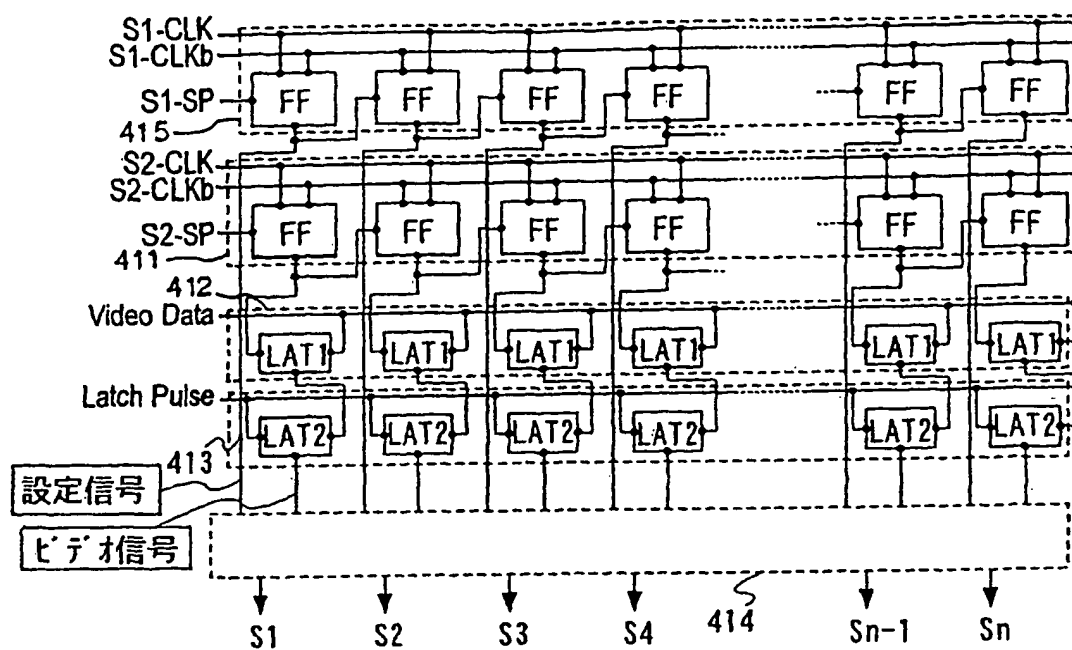
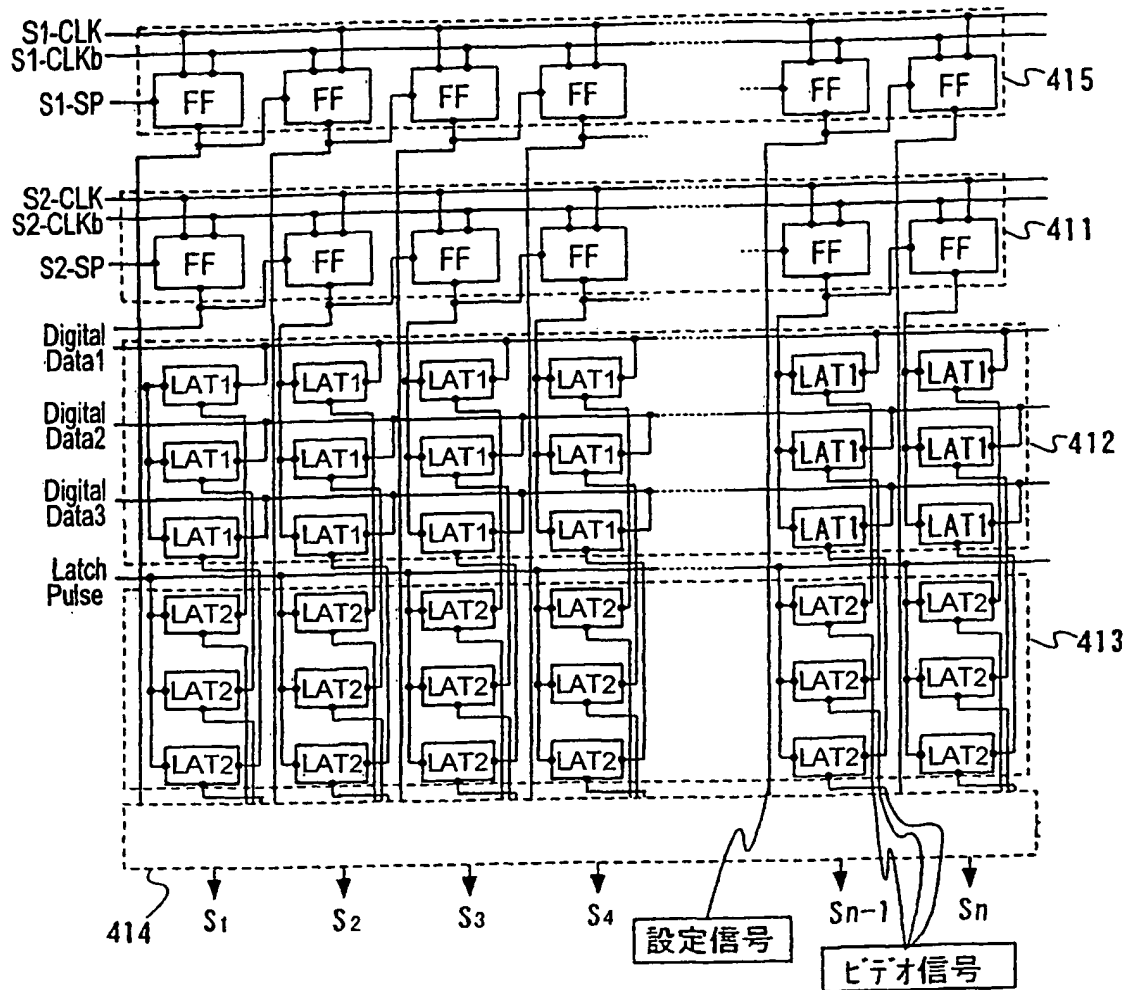


FIG.3A



4/55

FIG. 4



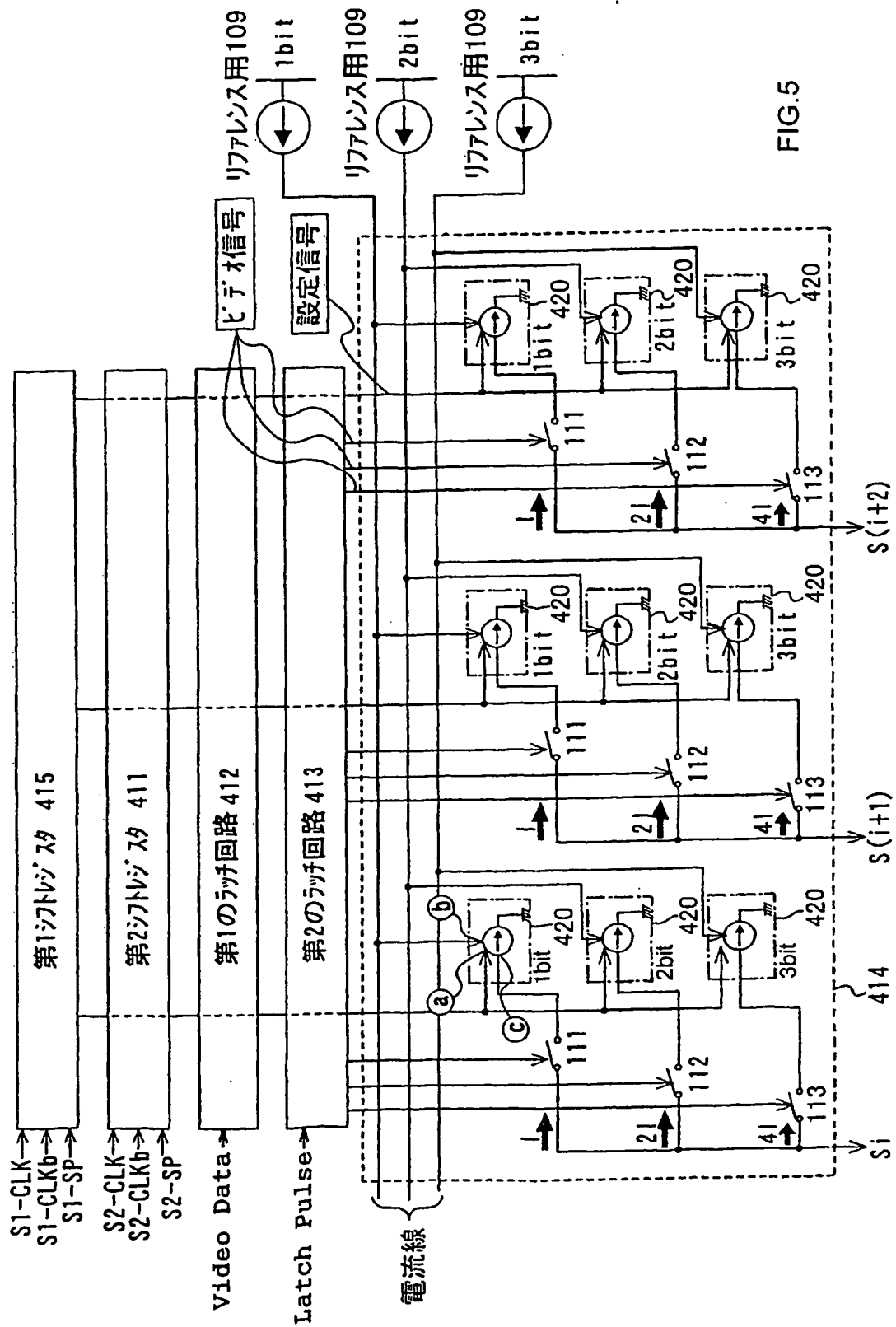
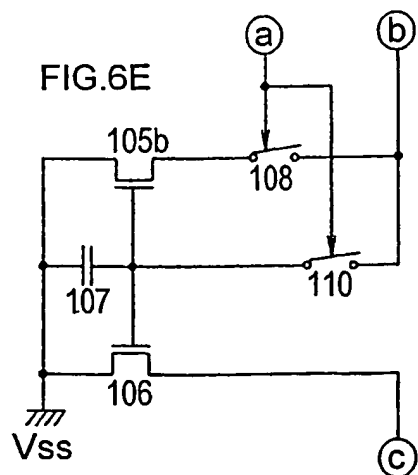
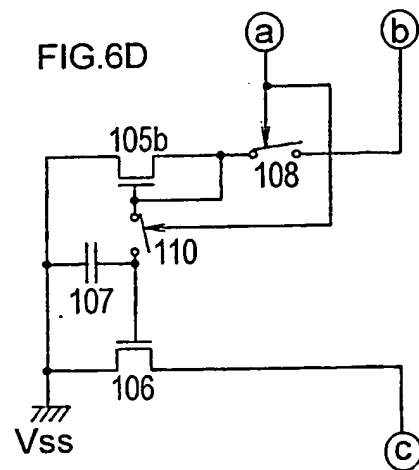
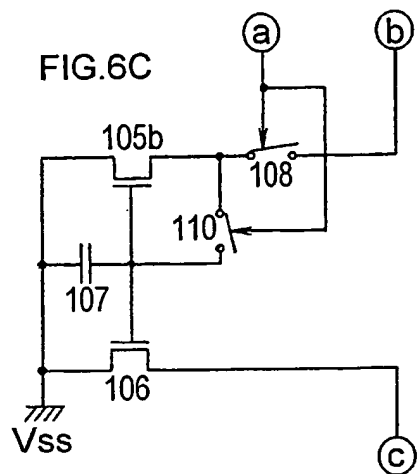
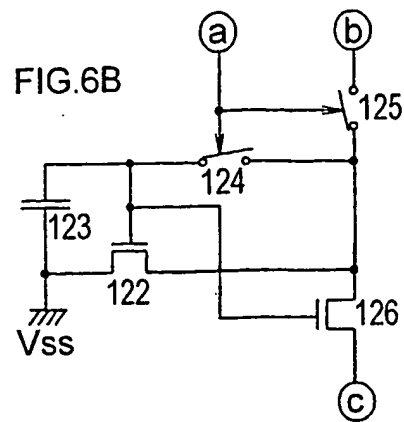
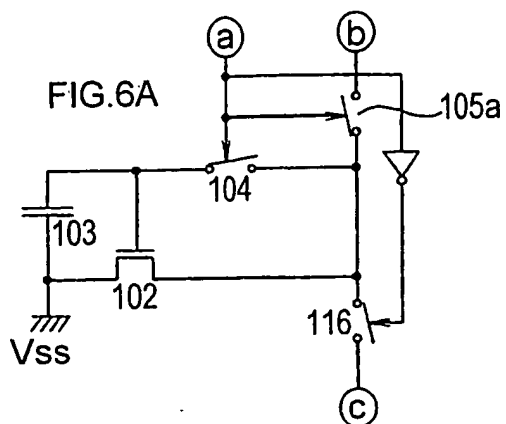
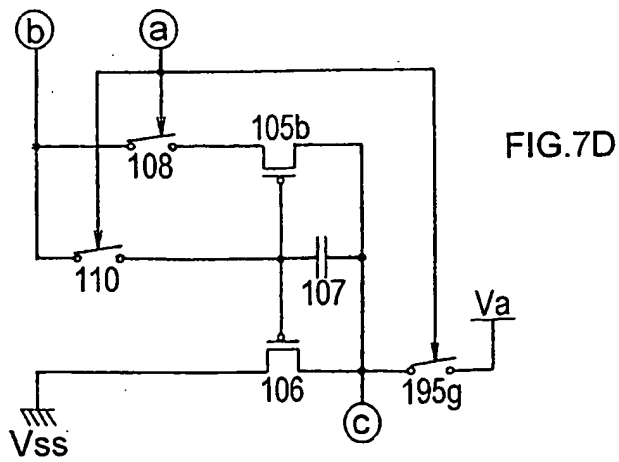
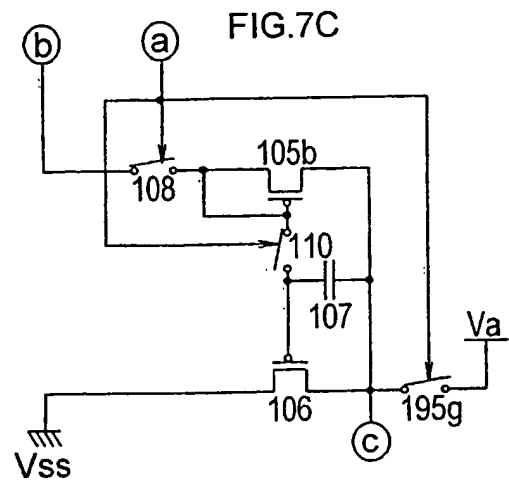
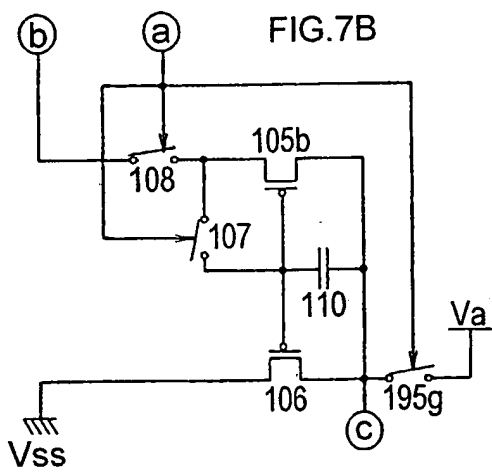
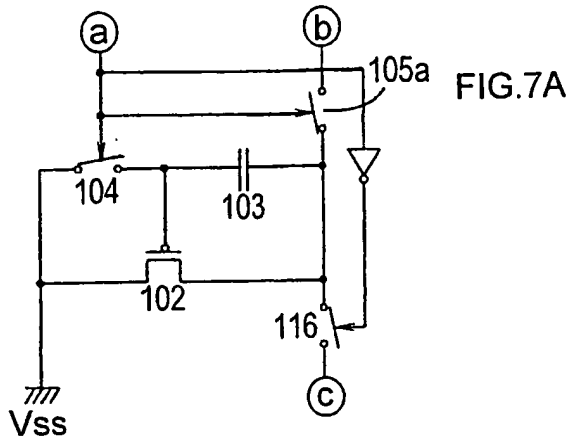


FIG. 5

6/55



7/55



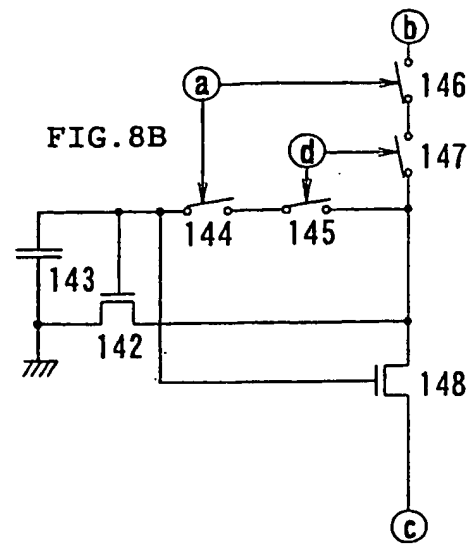
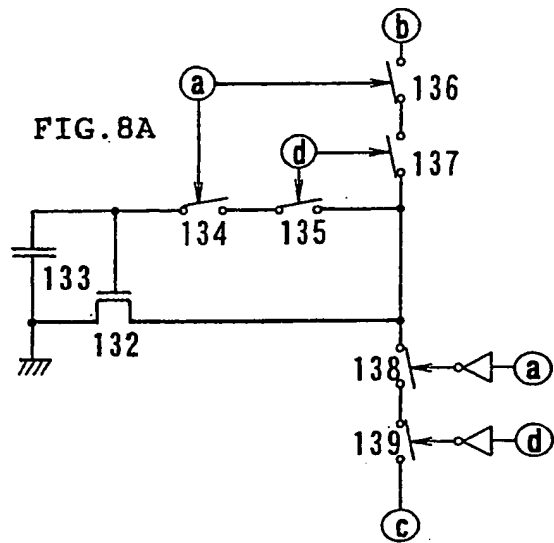


FIG. 9

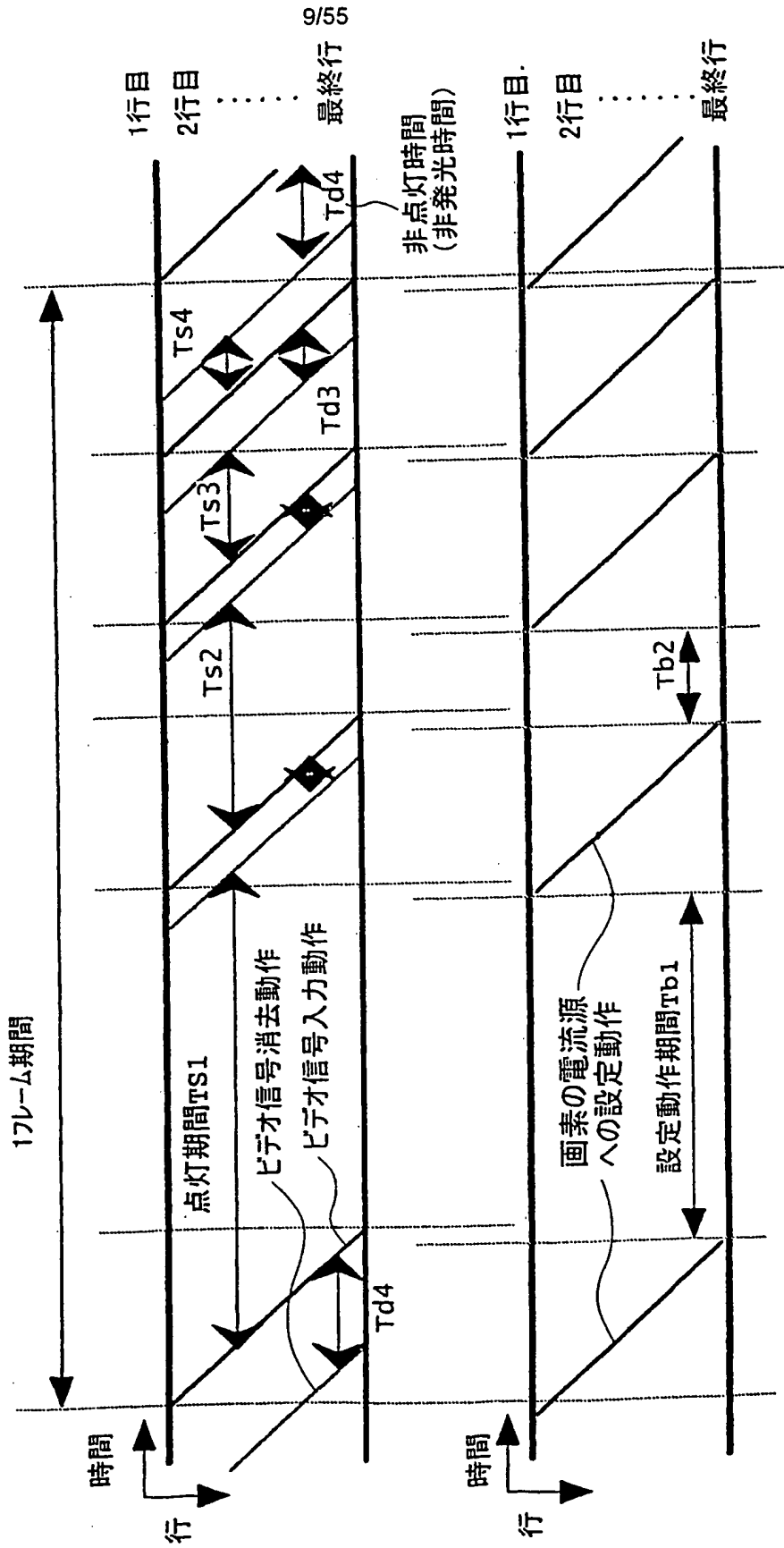
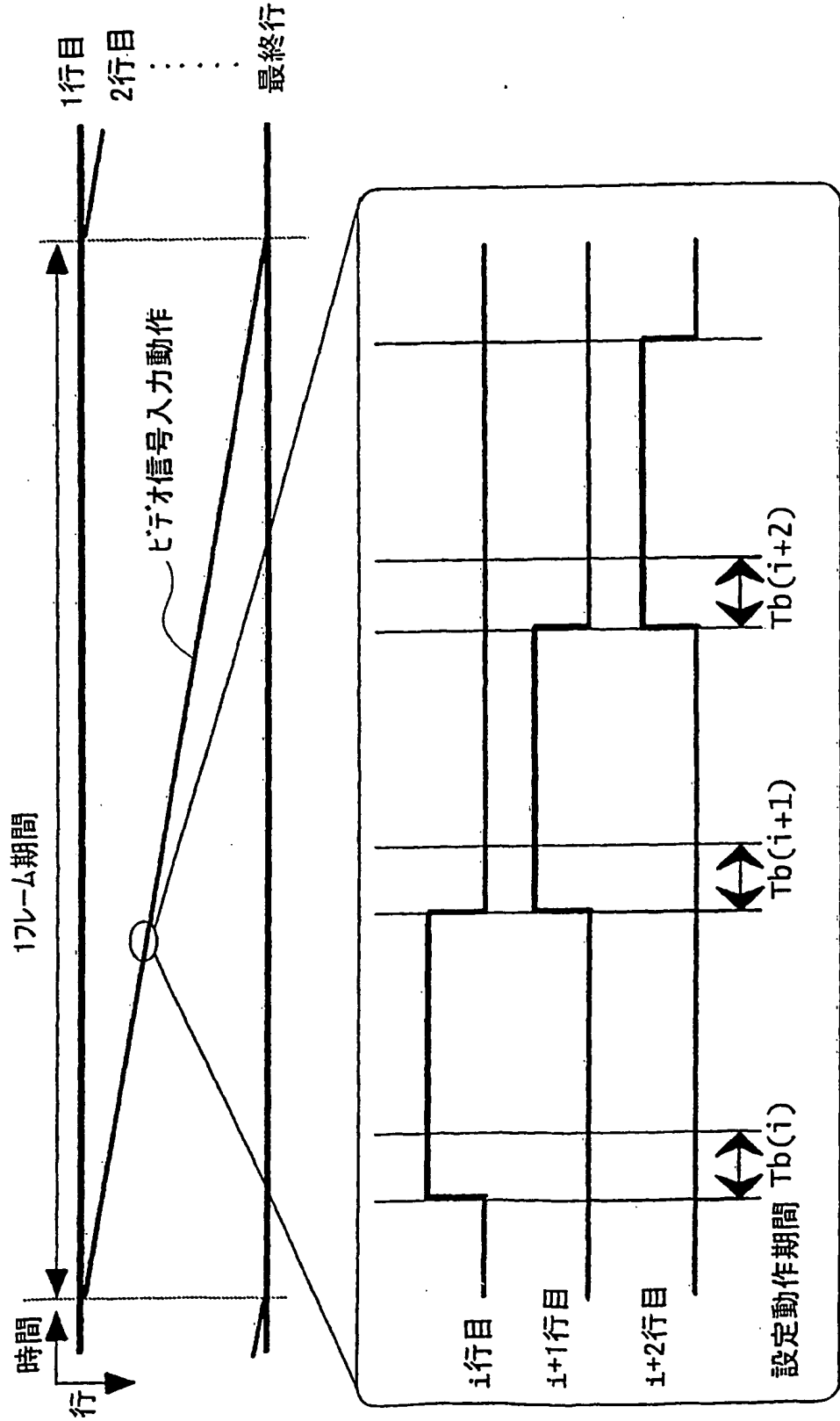
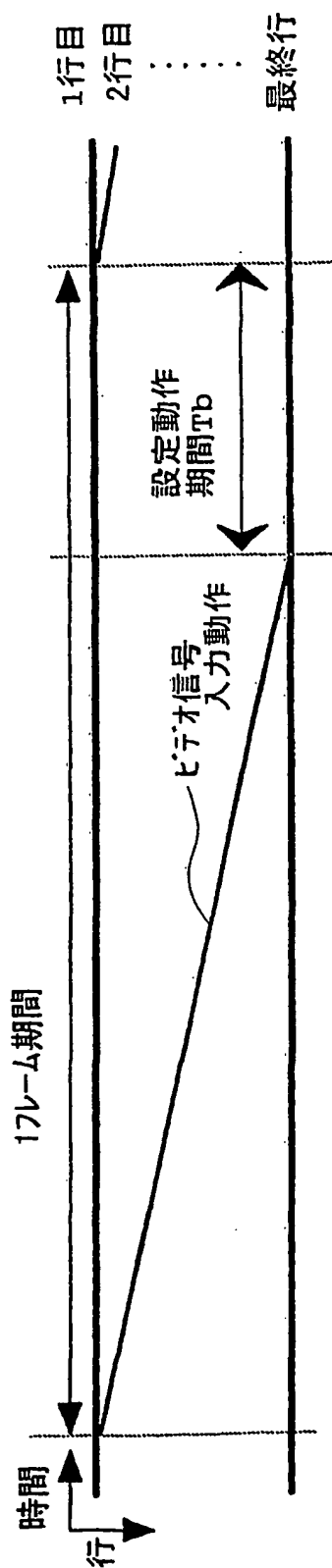


FIG.10



11/55

FIG.11



12/55

FIG.12A

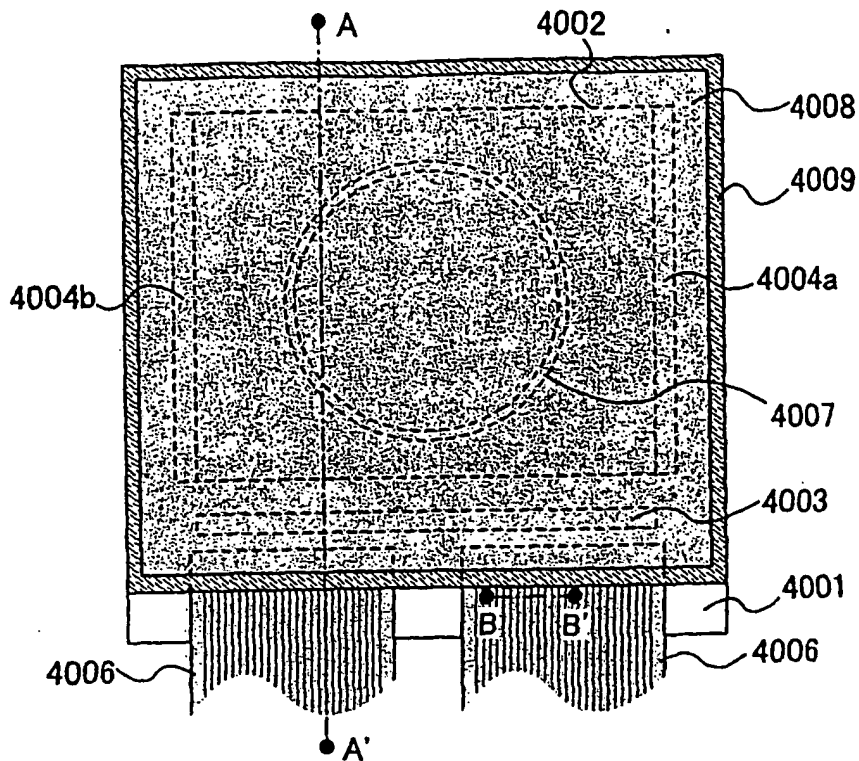


FIG.12B

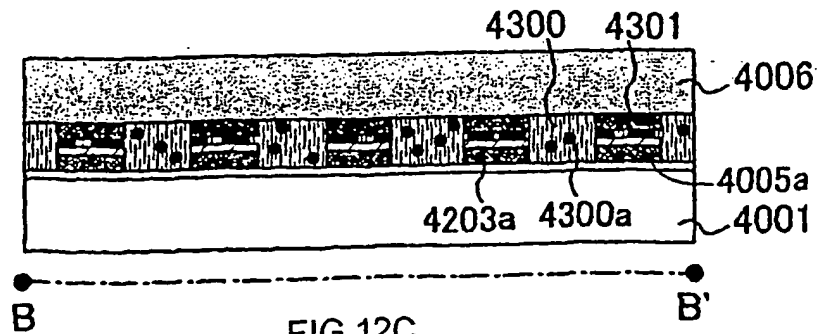
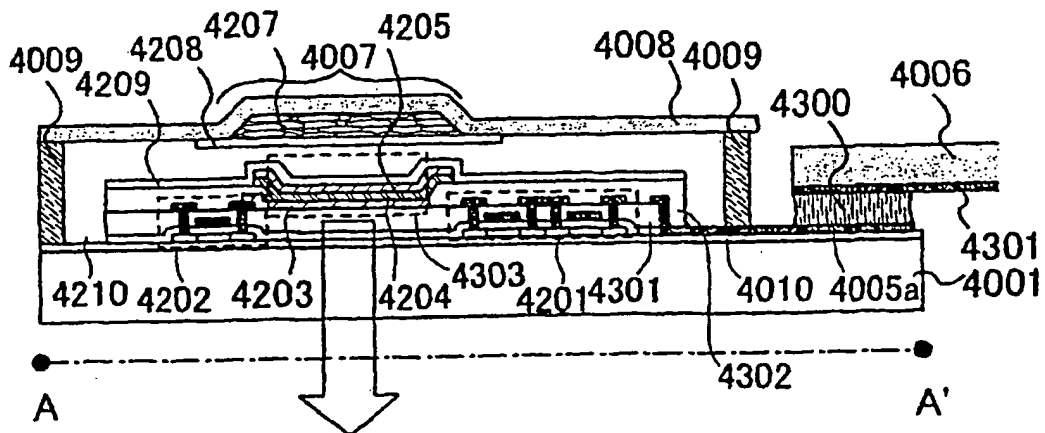
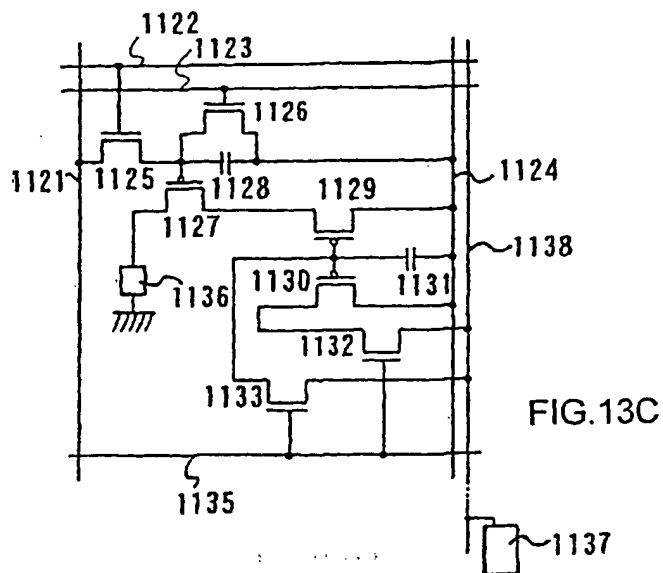
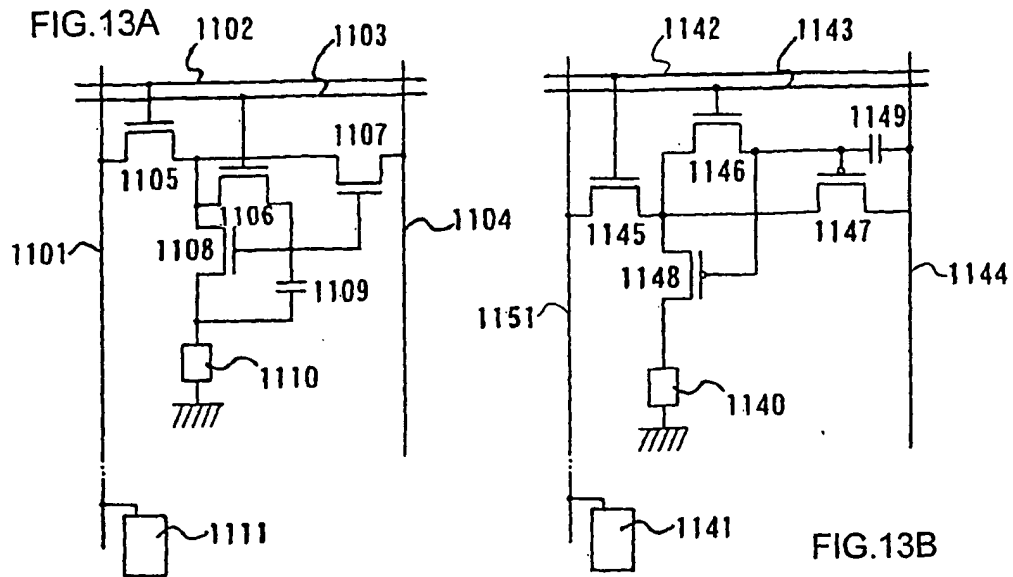
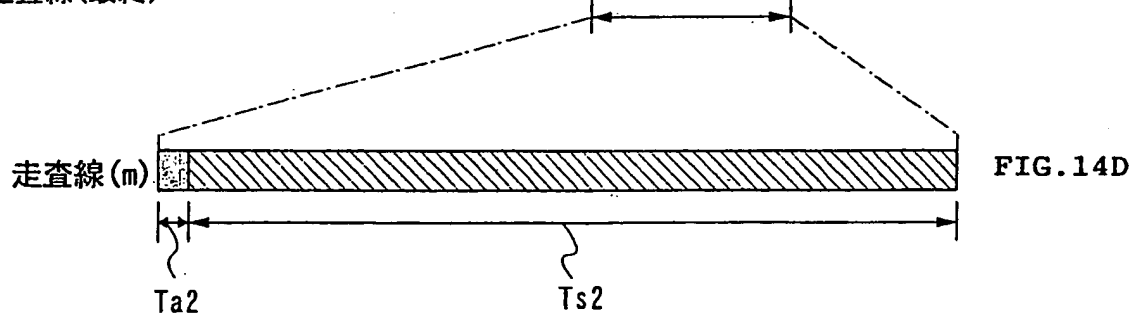
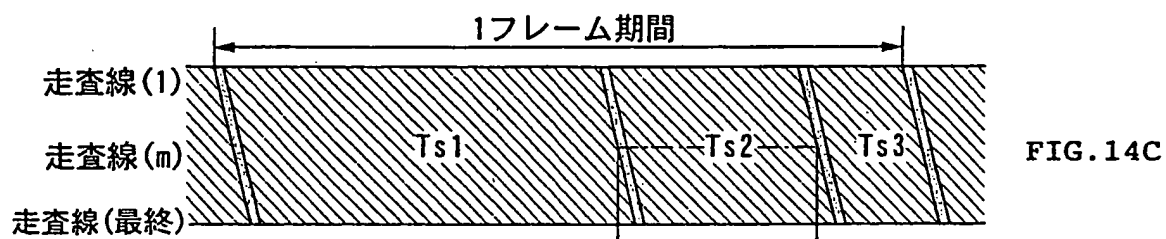
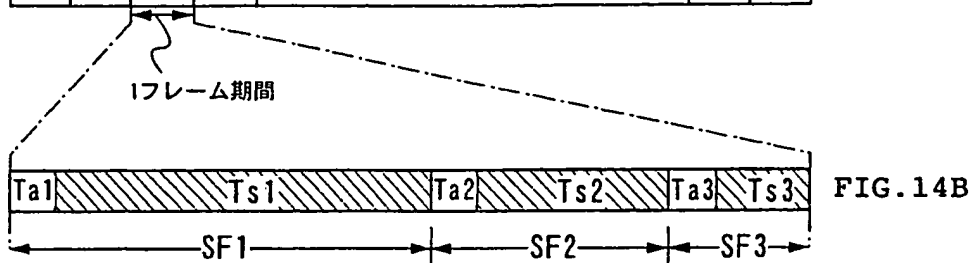
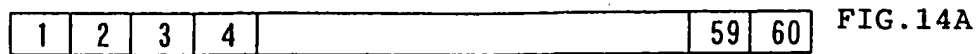


FIG.12C

差替え用部（図則26）

13/55





14/1/55

FIG. 15A

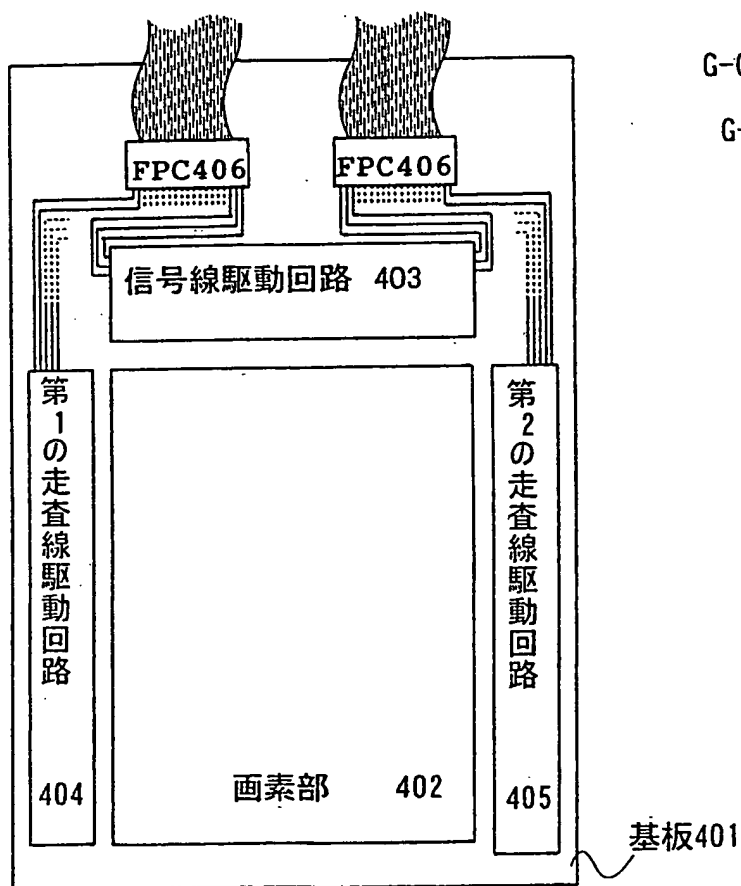
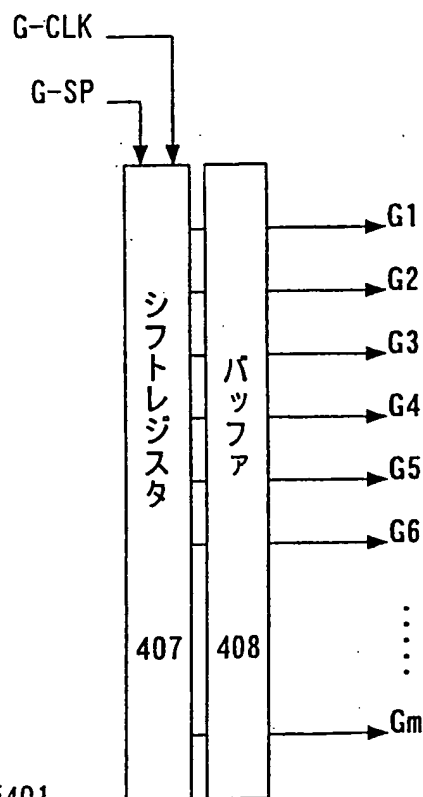


FIG. 15B



15/55

FIG.16A

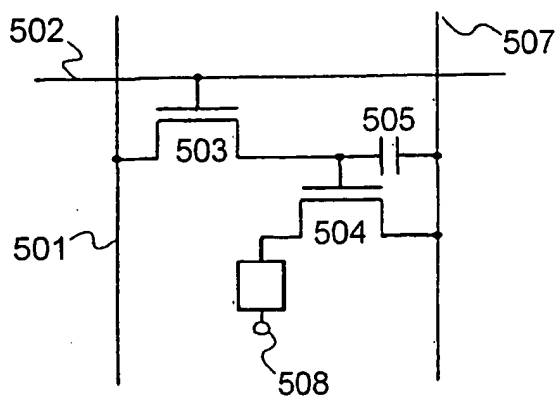
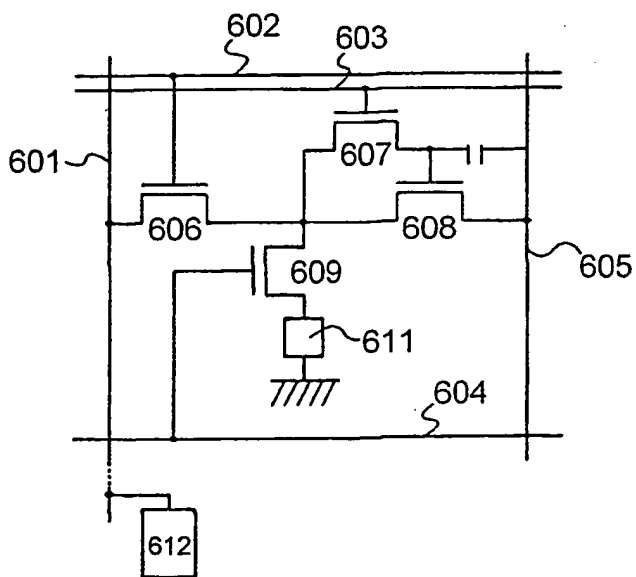
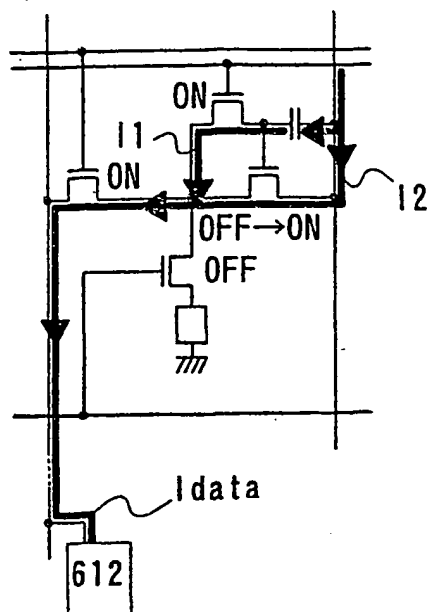


FIG.16B

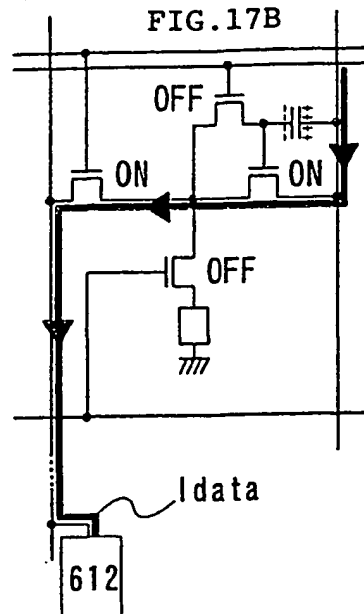


信号入力時 FIG.17A



信号入力完了時

FIG.17B



発光時 FIG.17C

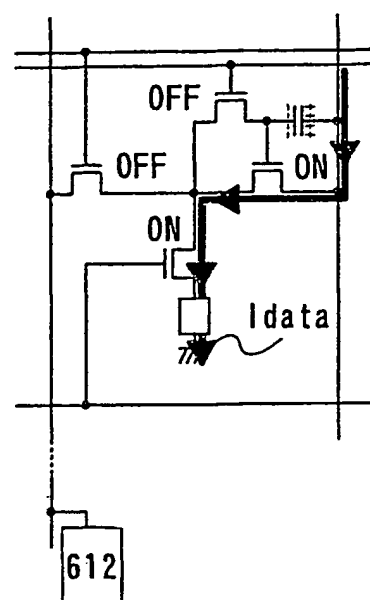


FIG.17D

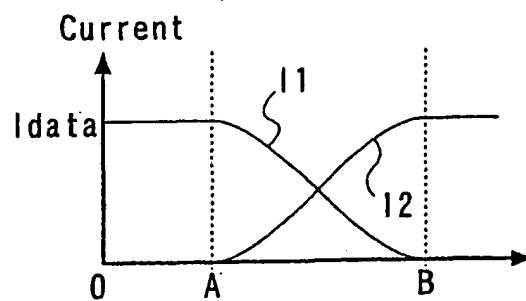
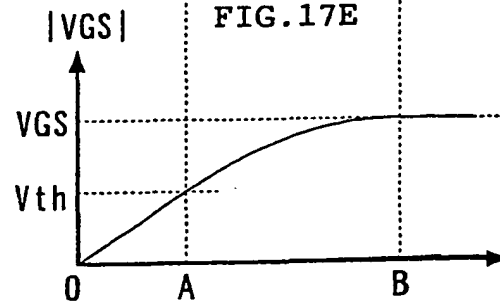
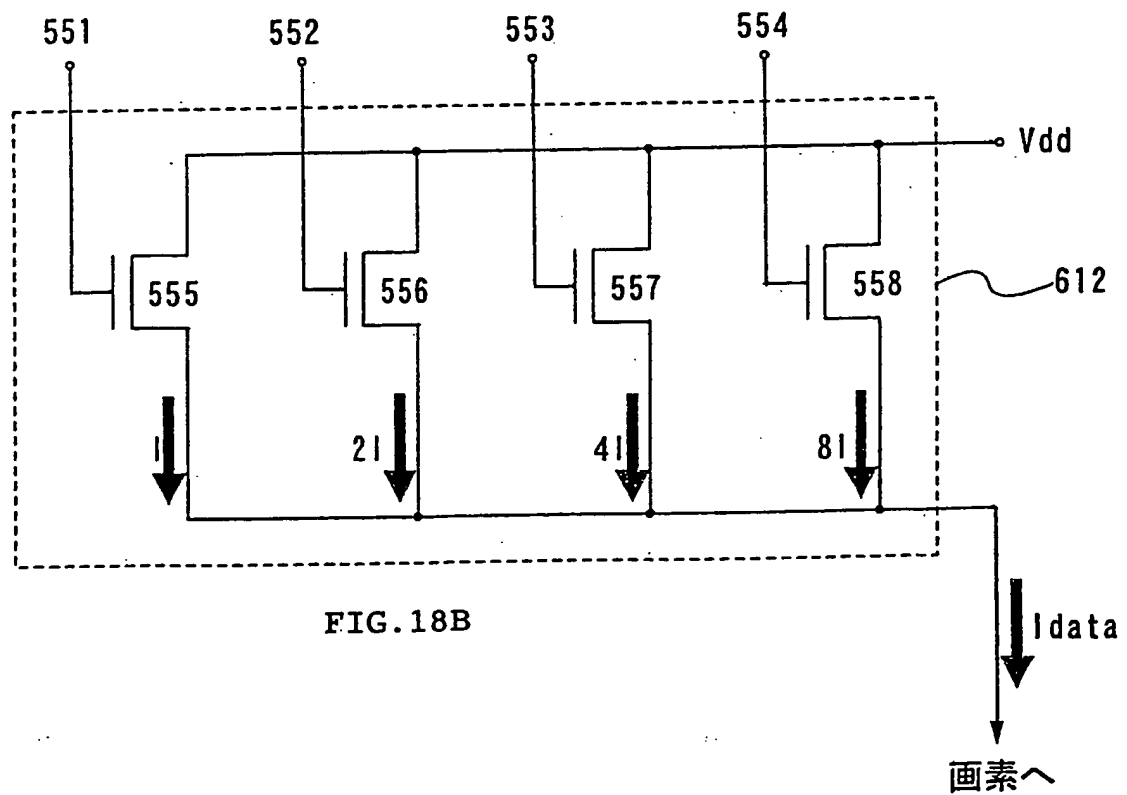
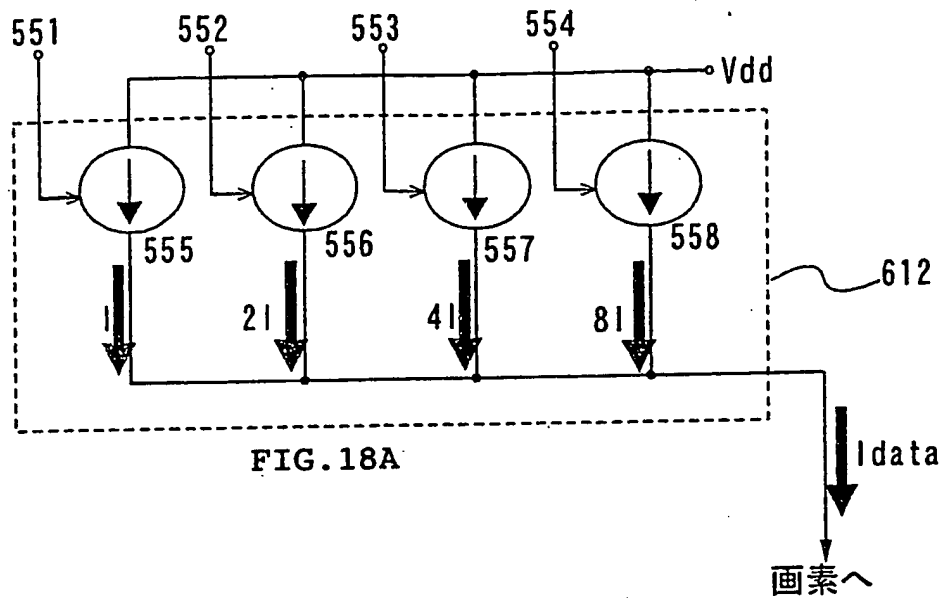


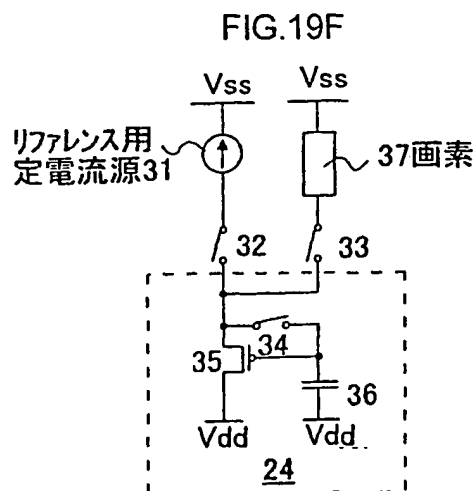
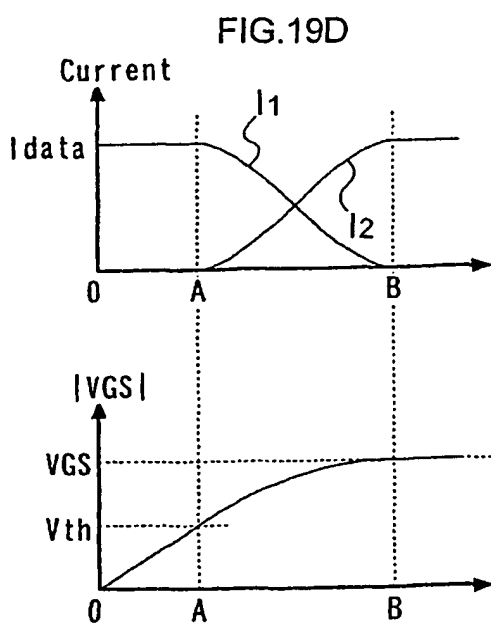
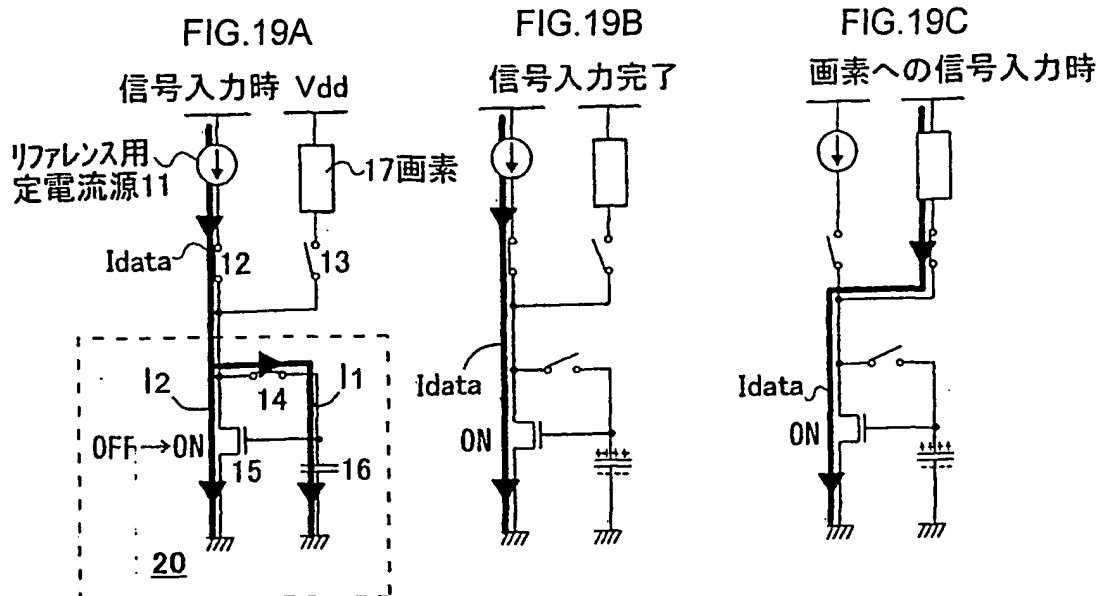
FIG.17E



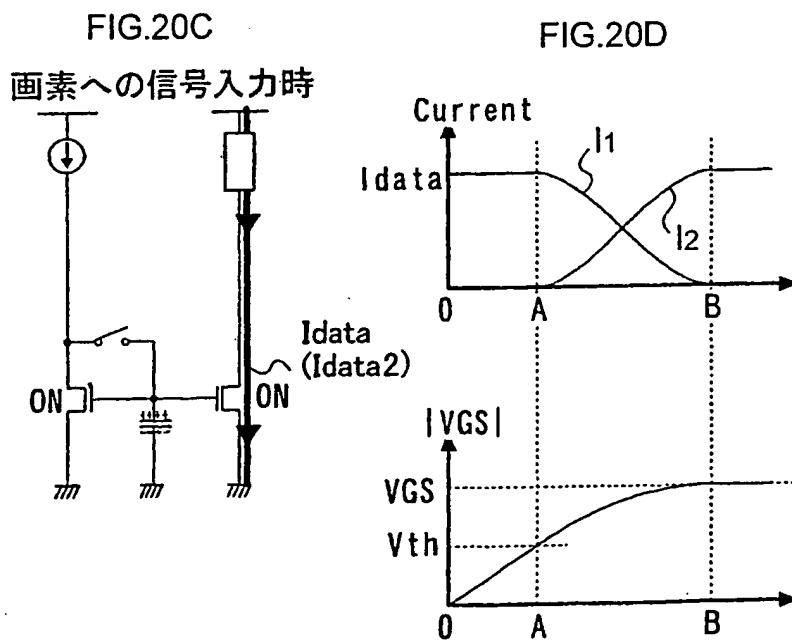
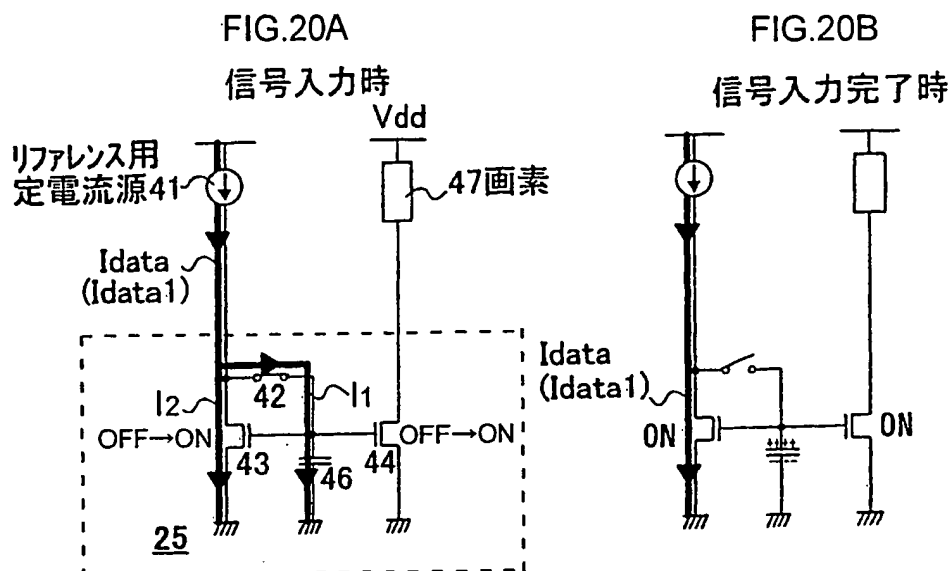
17/55



18/55



19/55



20/55

FIG.21

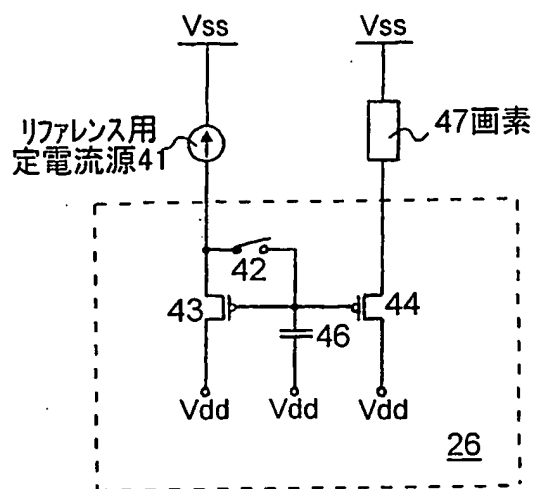


FIG. 22A

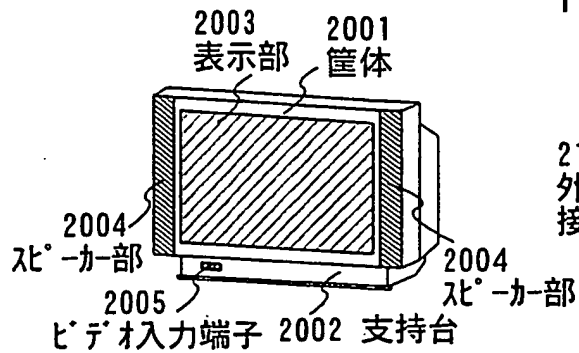


FIG. 22B

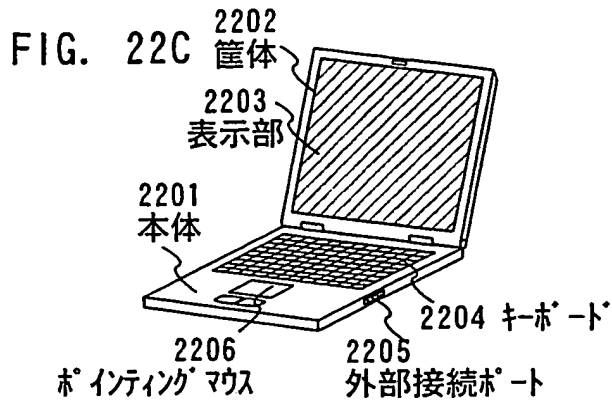
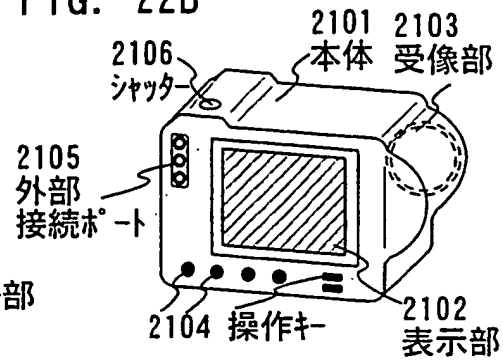


FIG. 22D

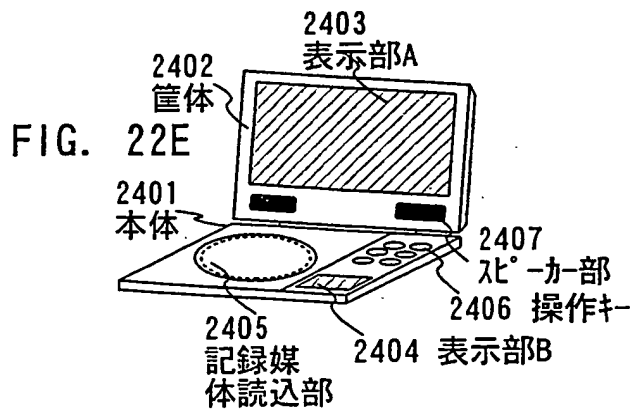
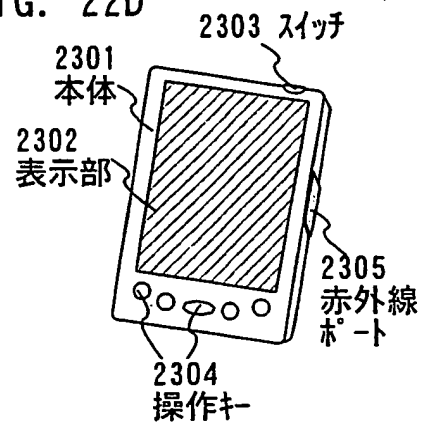


FIG. 22F

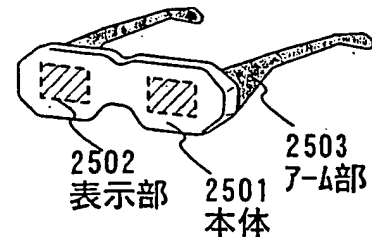


FIG. 22G

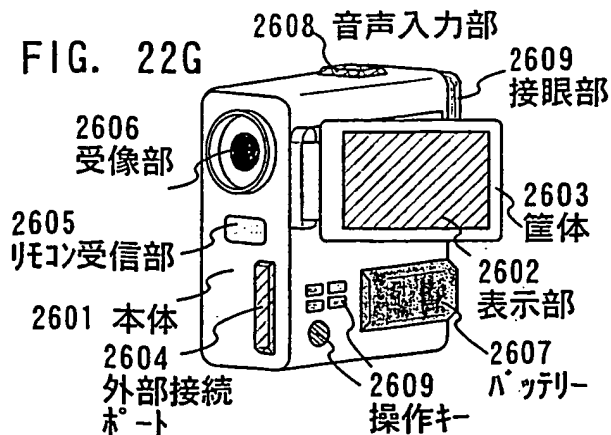
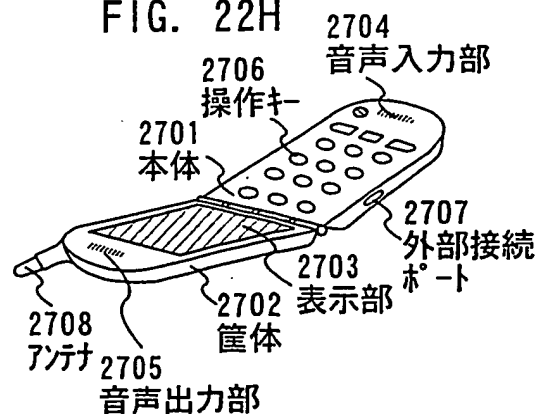
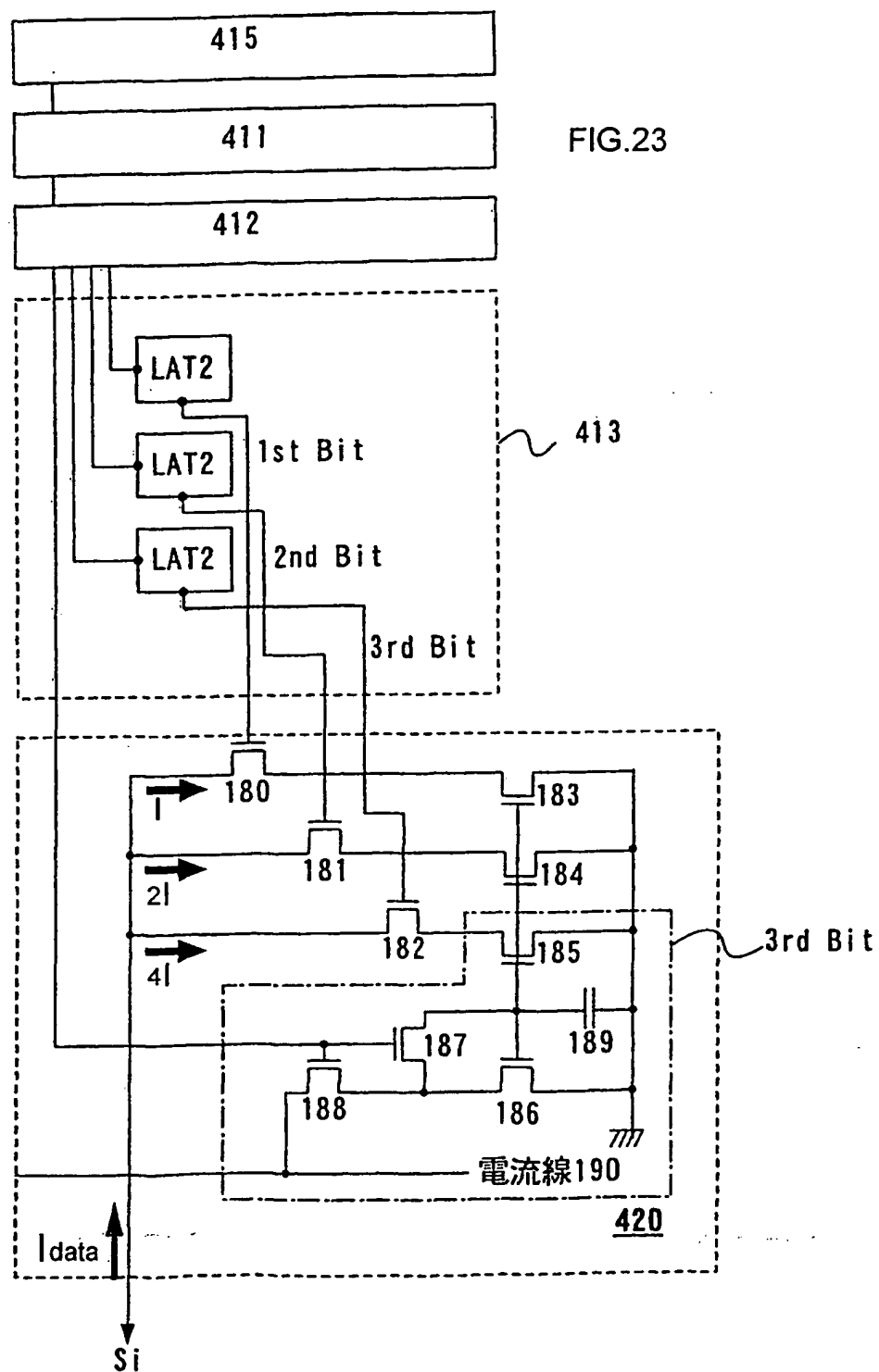
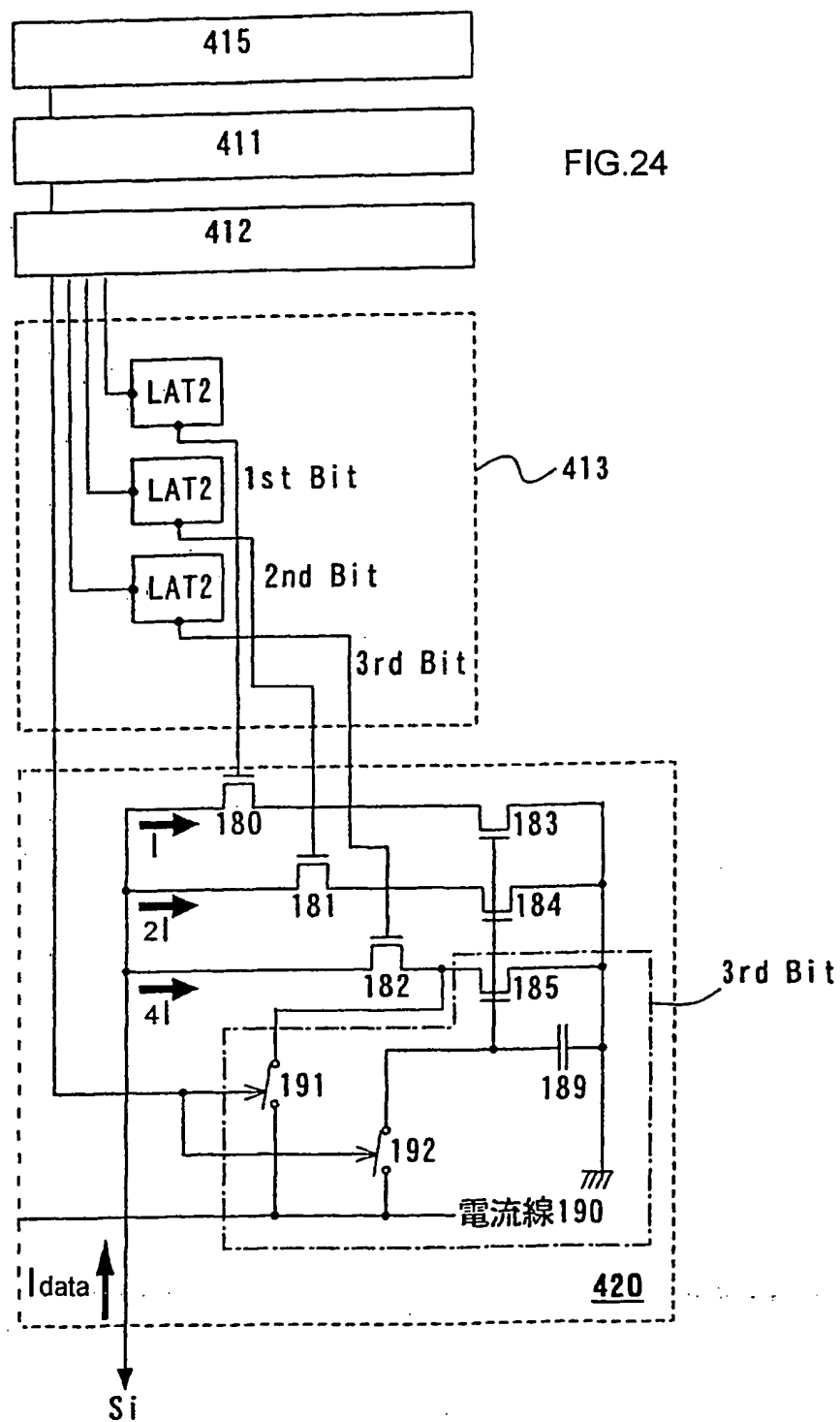


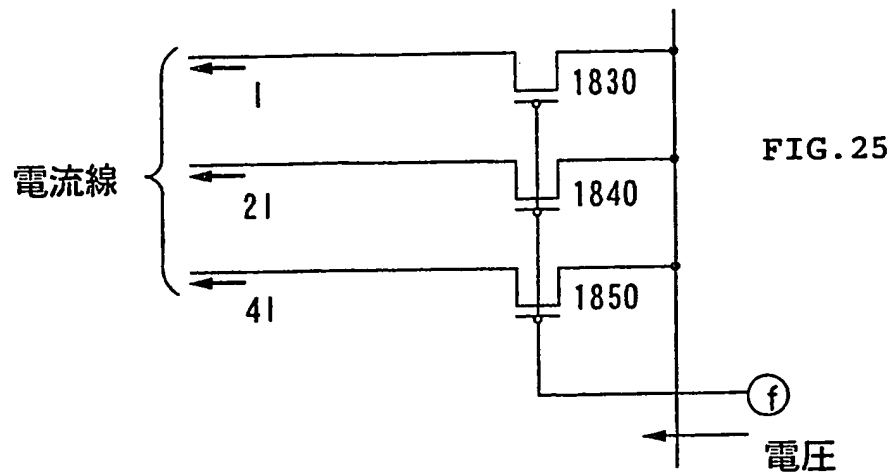
FIG. 22H



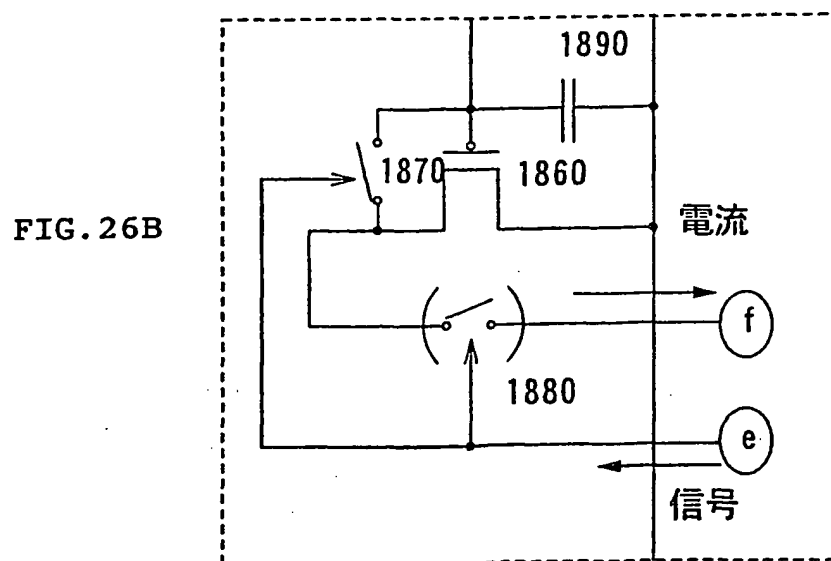
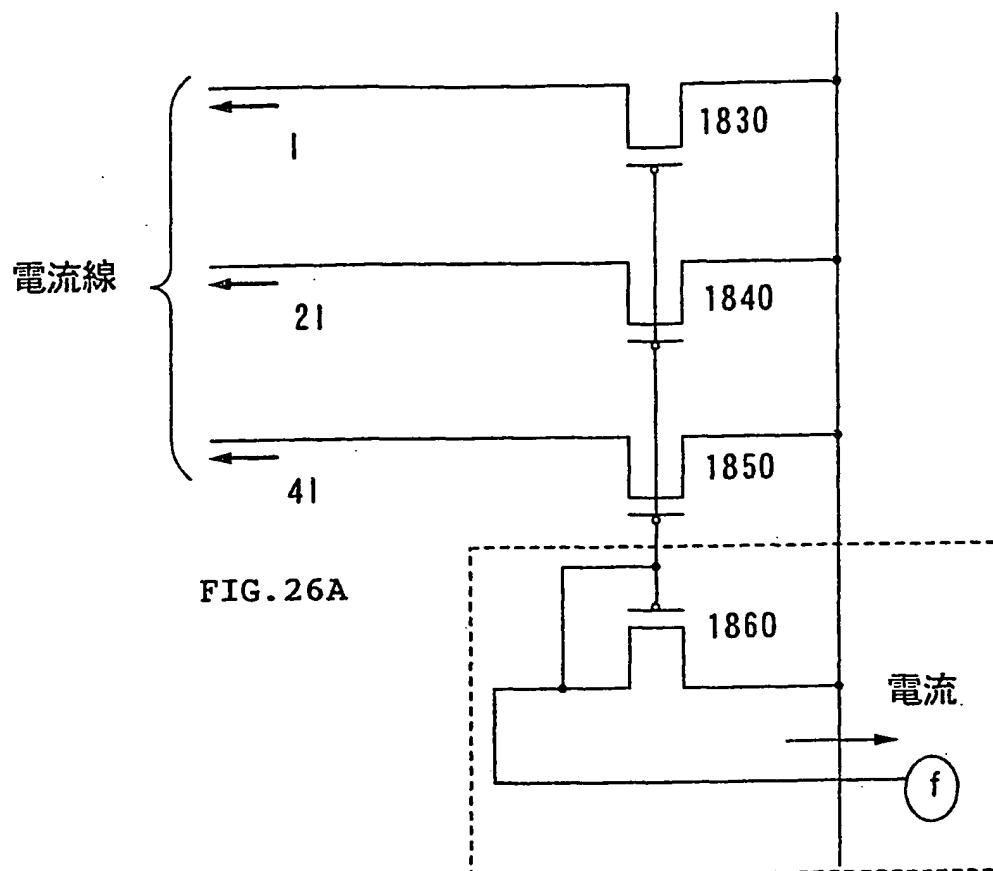




23/1/55

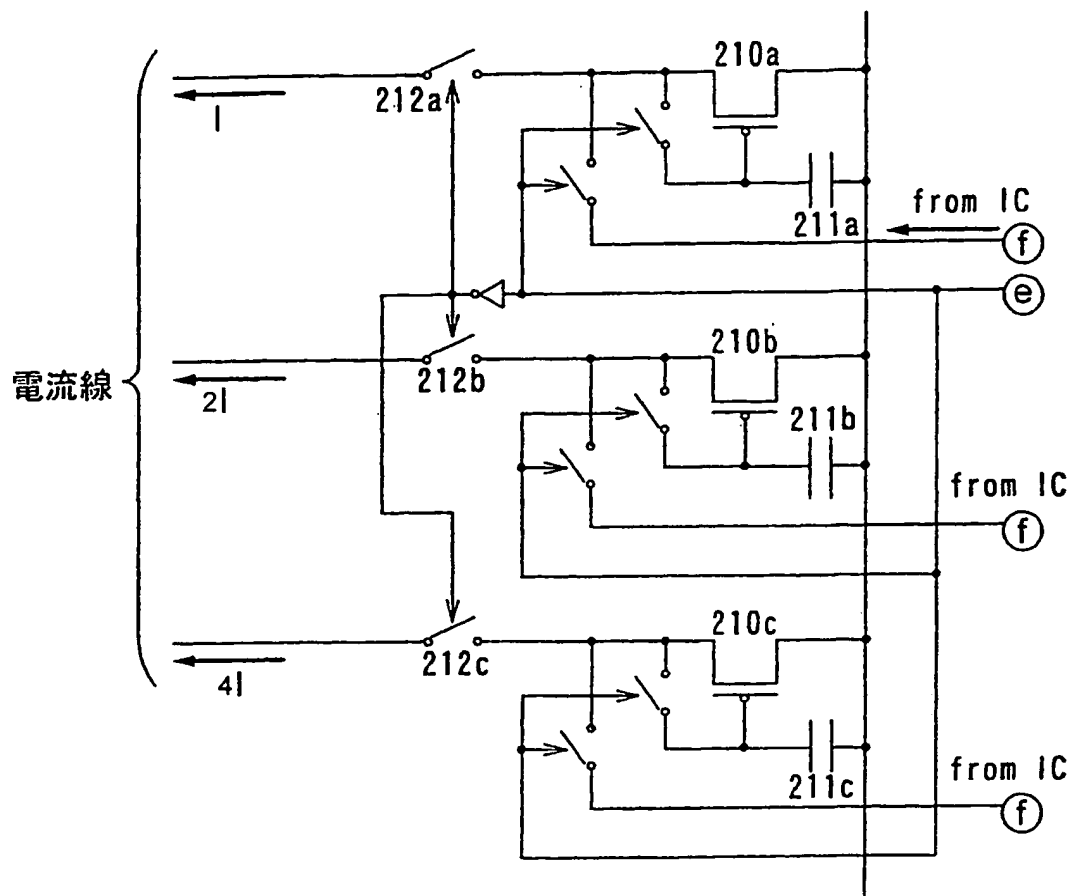


24/55



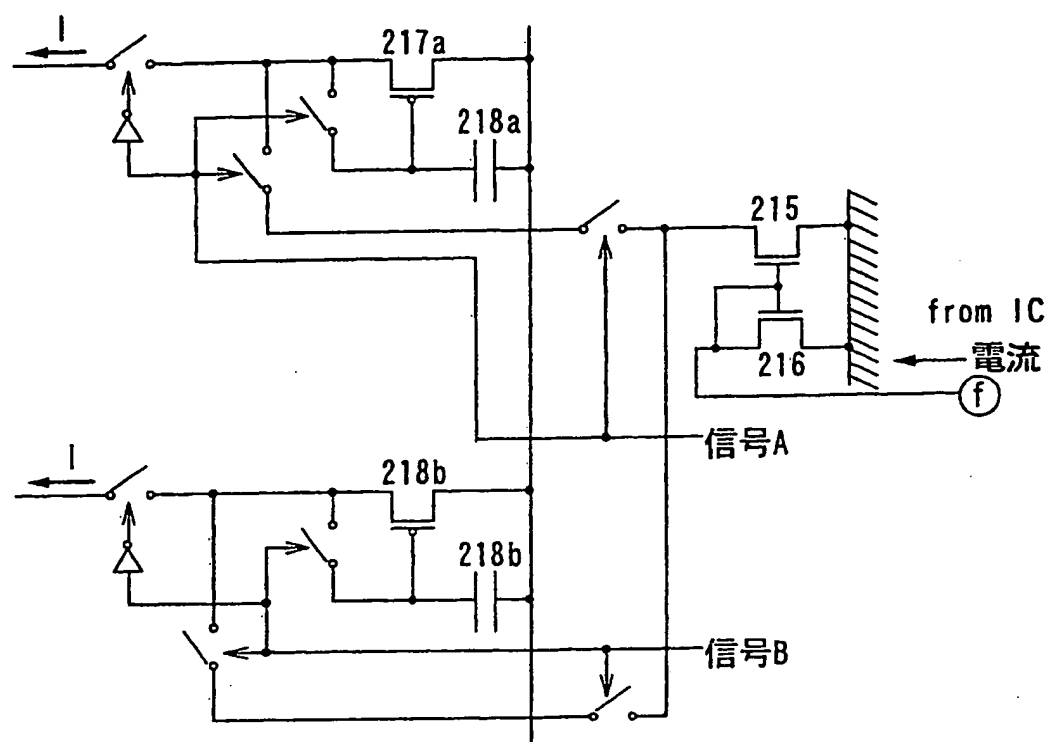
25/55

FIG.27



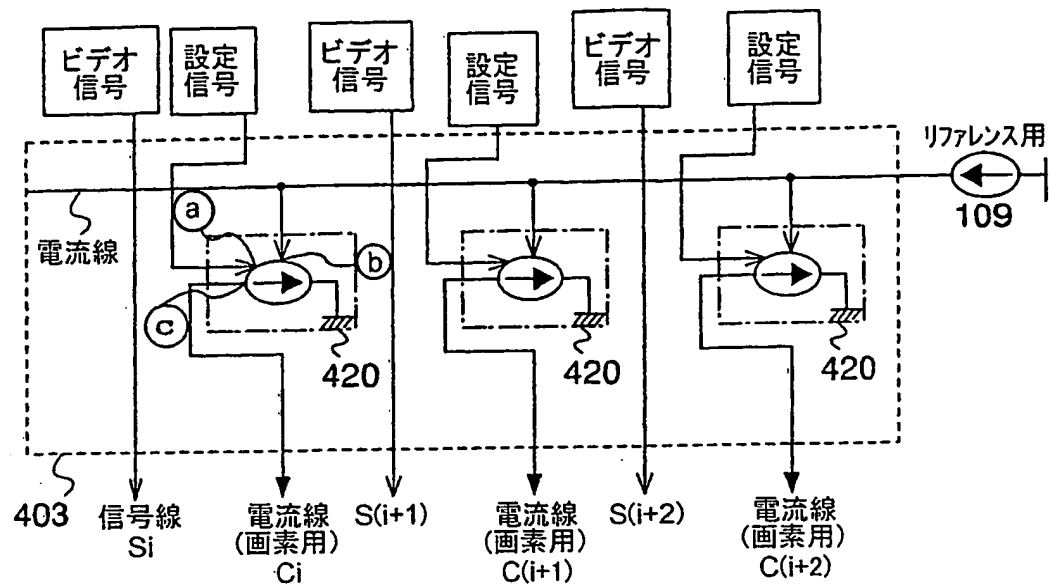
26/55

FIG.28



26/1/55

FIG.29



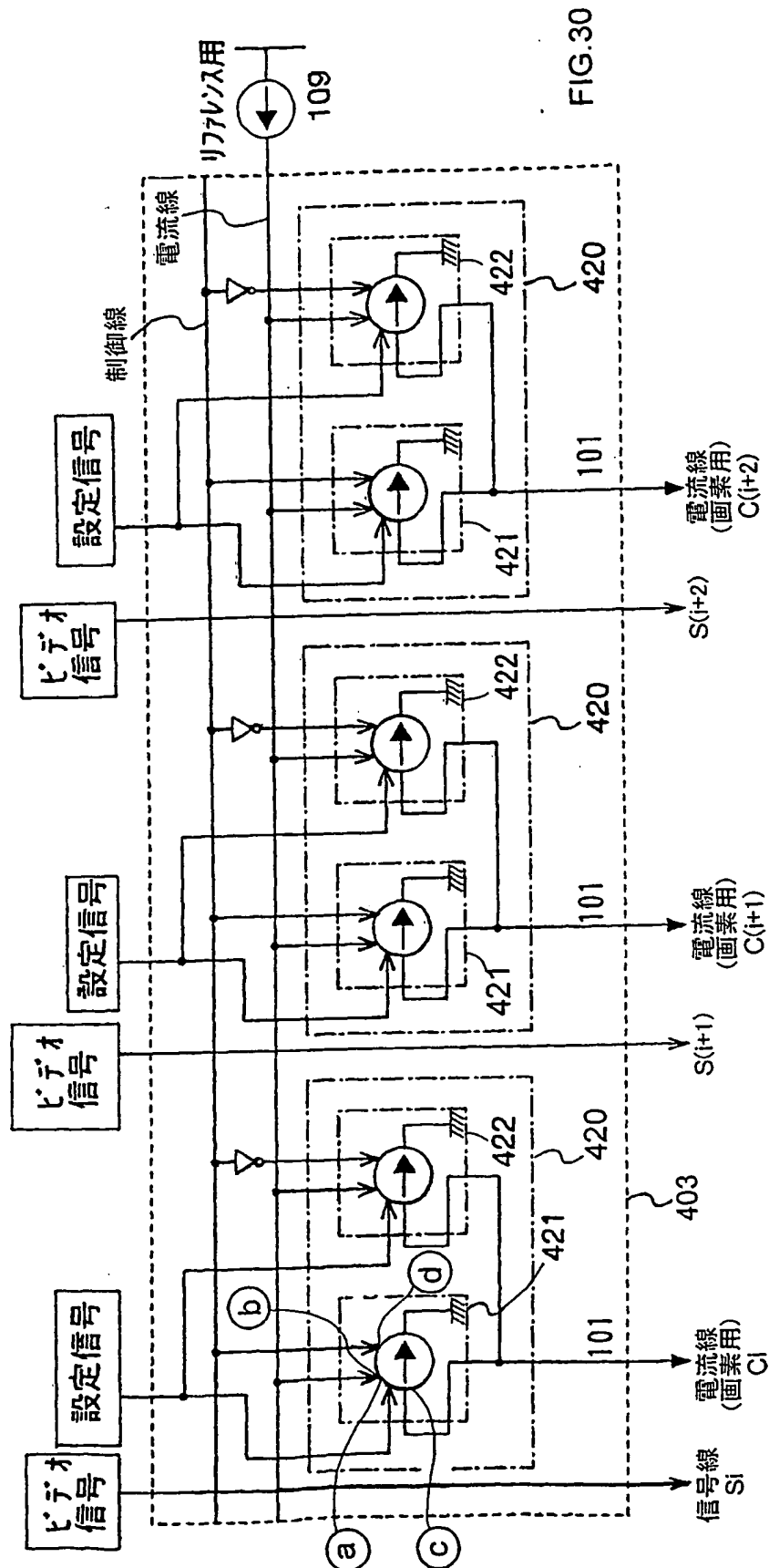
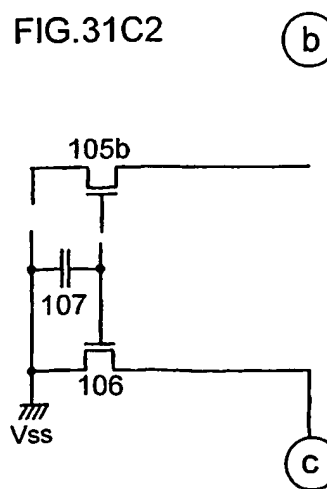
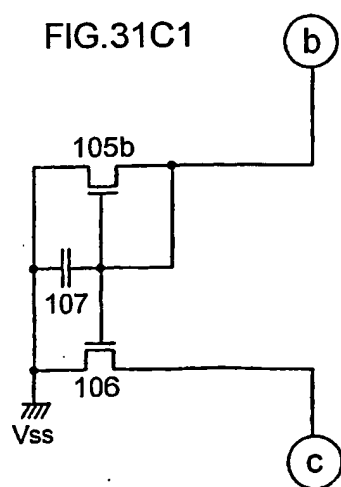
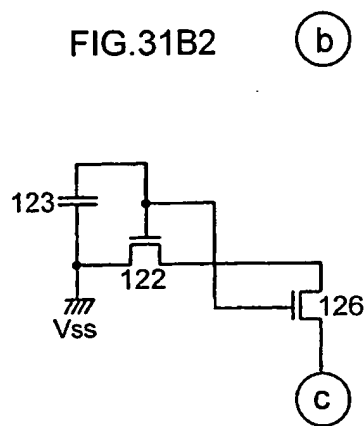
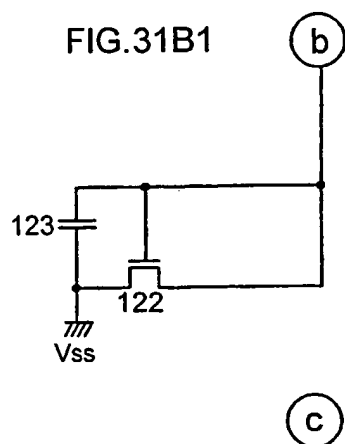
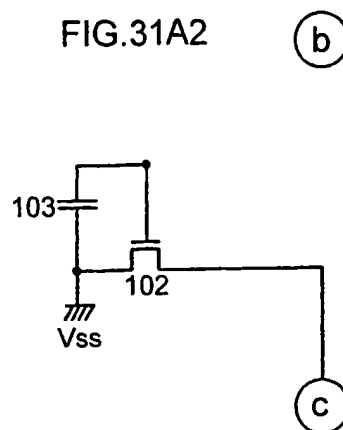
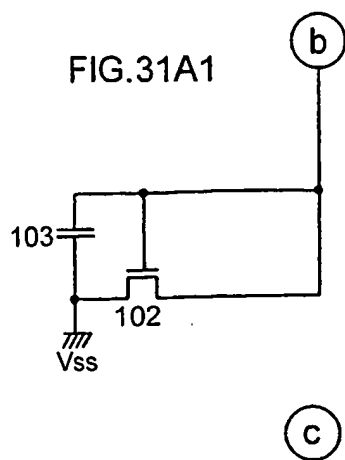


FIG.30



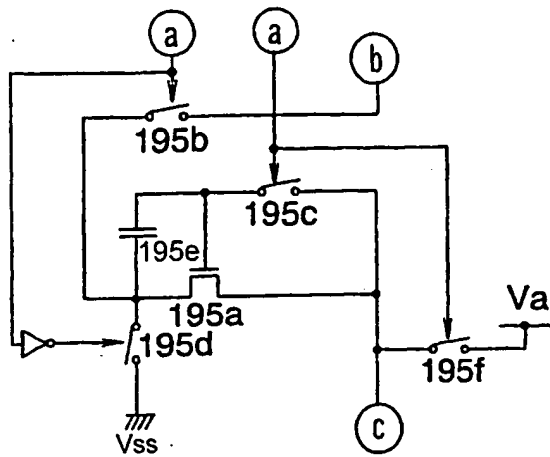


FIG. 32A

FIG. 32B1

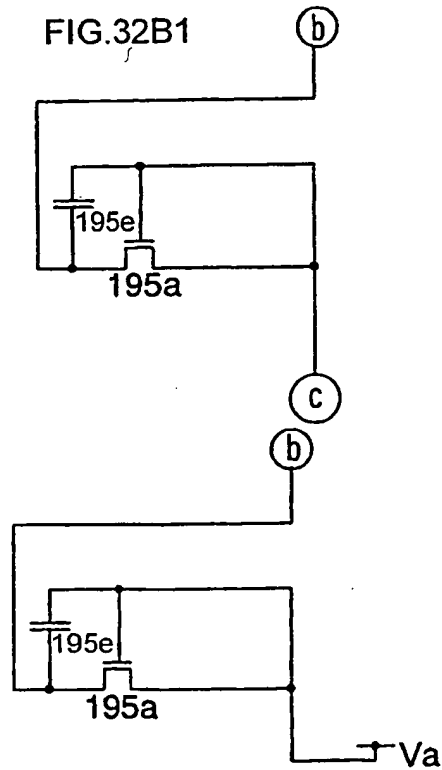


FIG. 32C1

FIG. 32B2

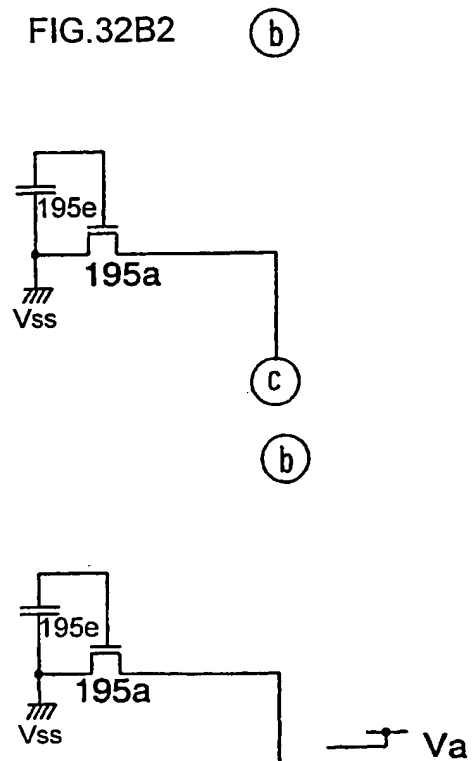


FIG. 32C2

30/55

FIG.33A

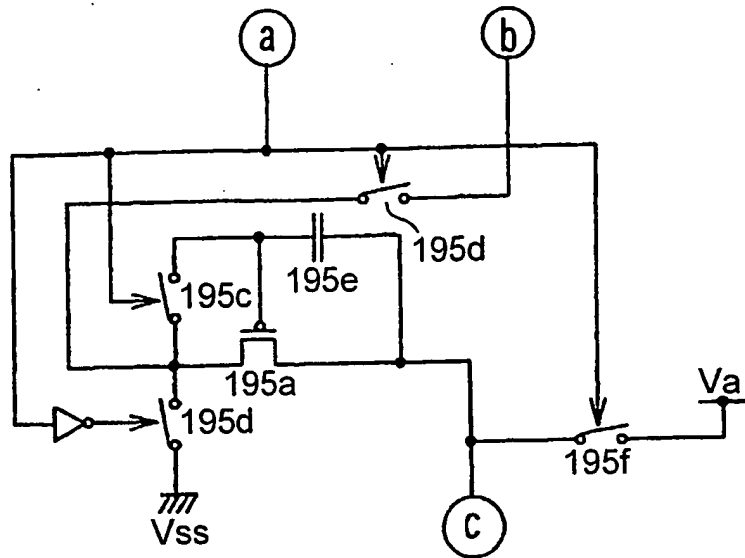
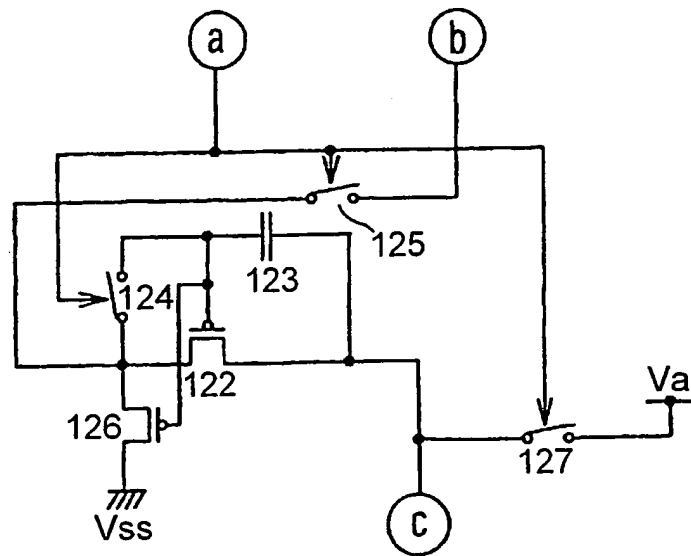
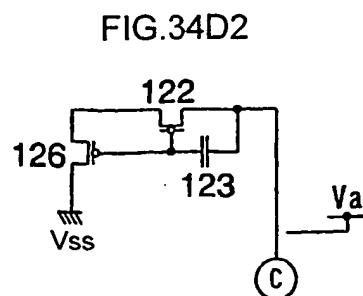
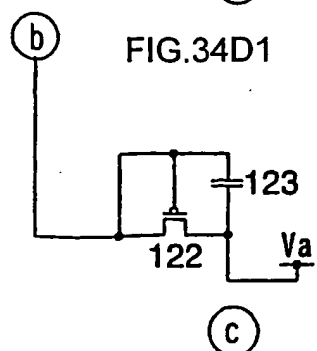
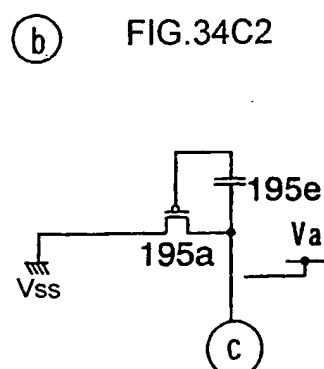
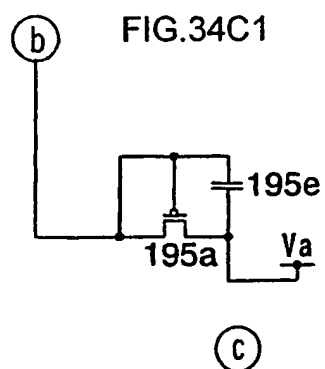
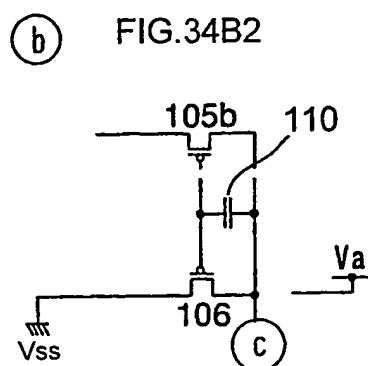
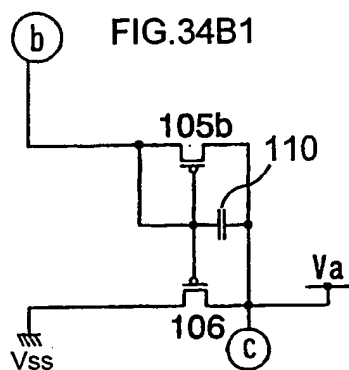
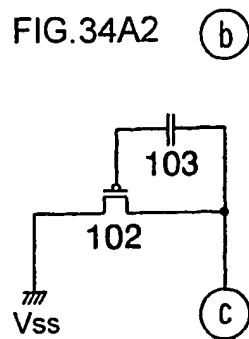
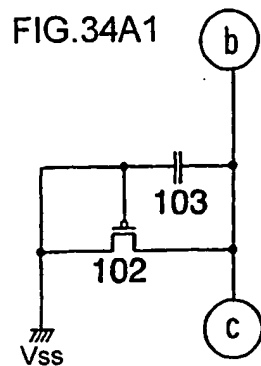
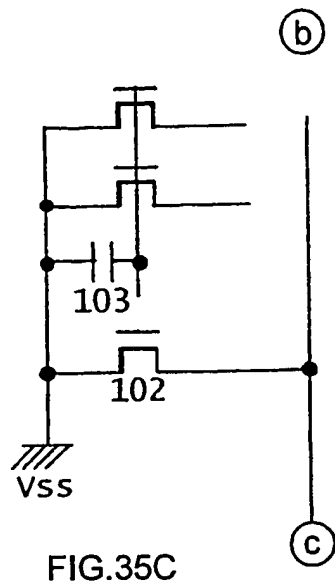
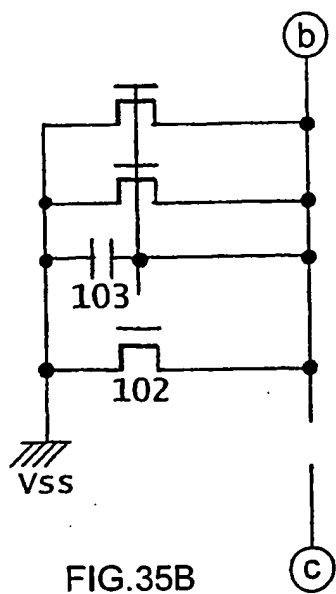
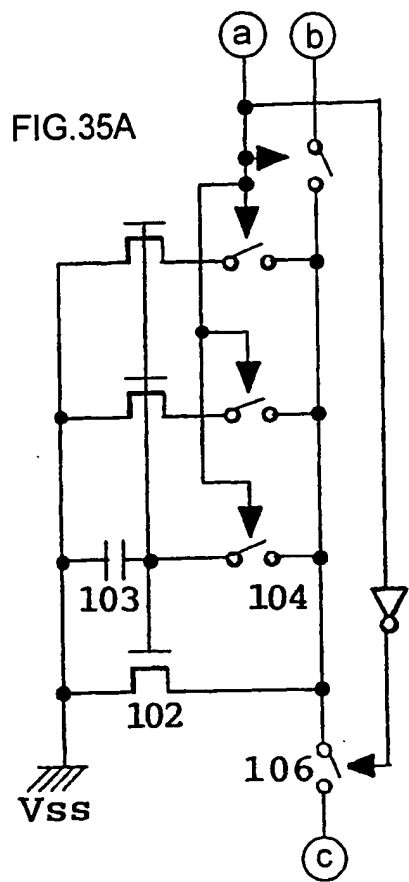


FIG.33B





32/55



33/55

FIG.36

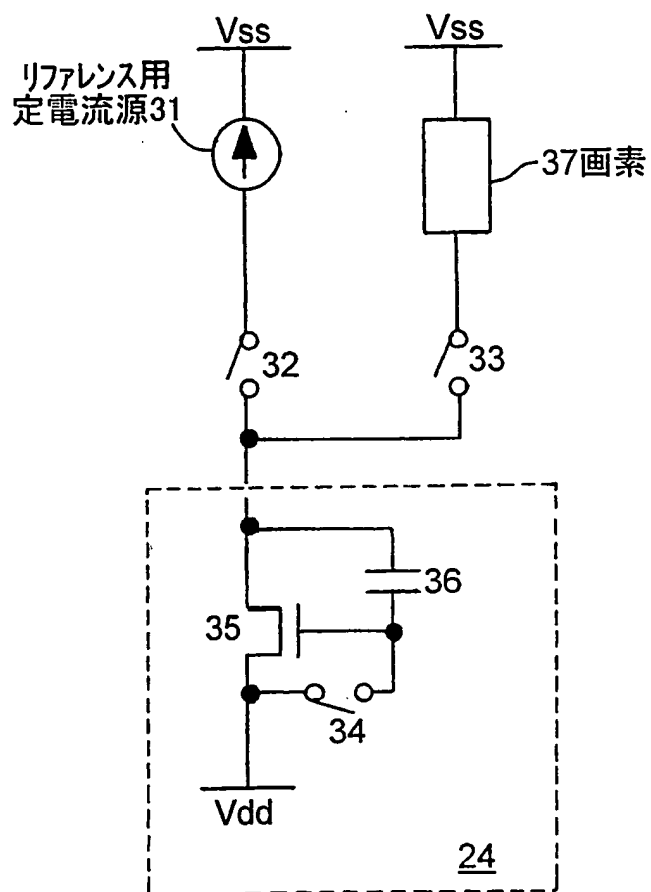
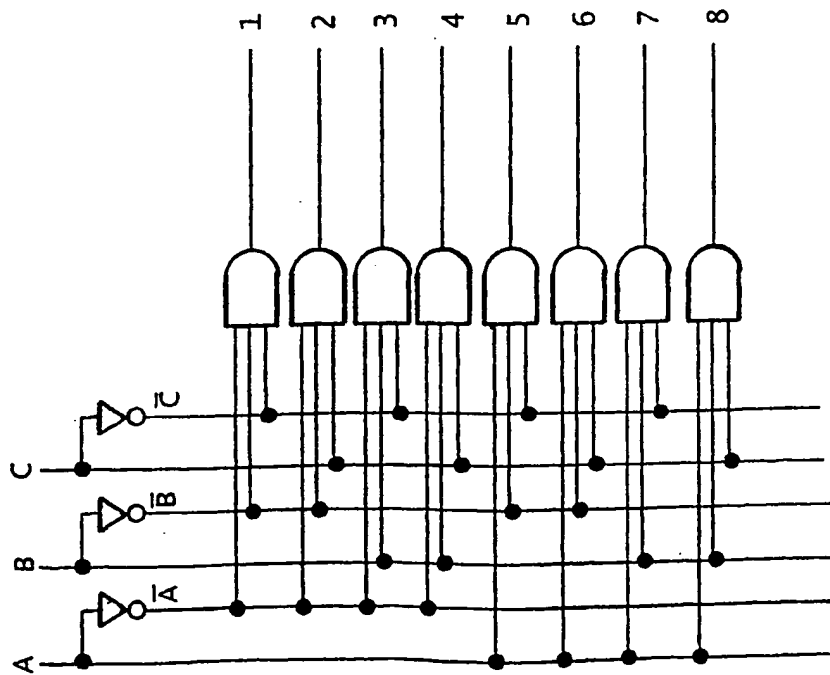


FIG.37



A	B	C	1行目	2行目	3行目	4行目	5行目	6行目	7行目	8行目
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

35/55

FIG.38A

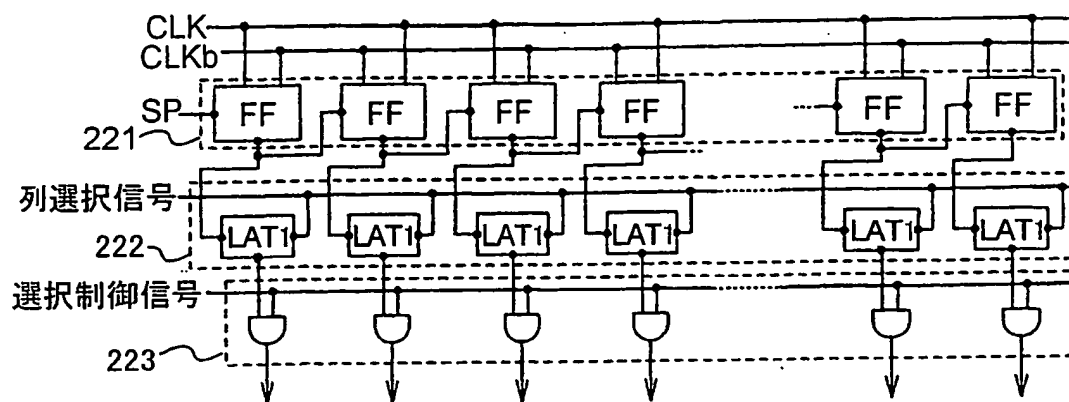
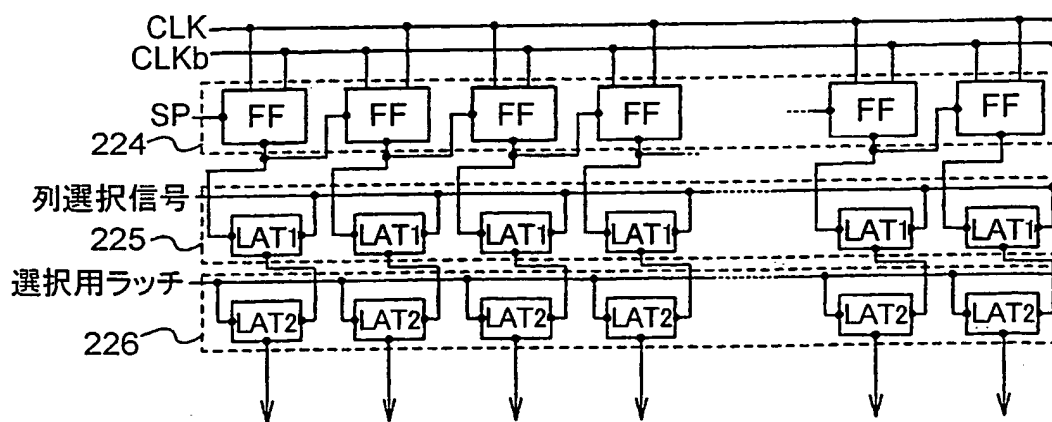


FIG.38B



36/55

FIG.39

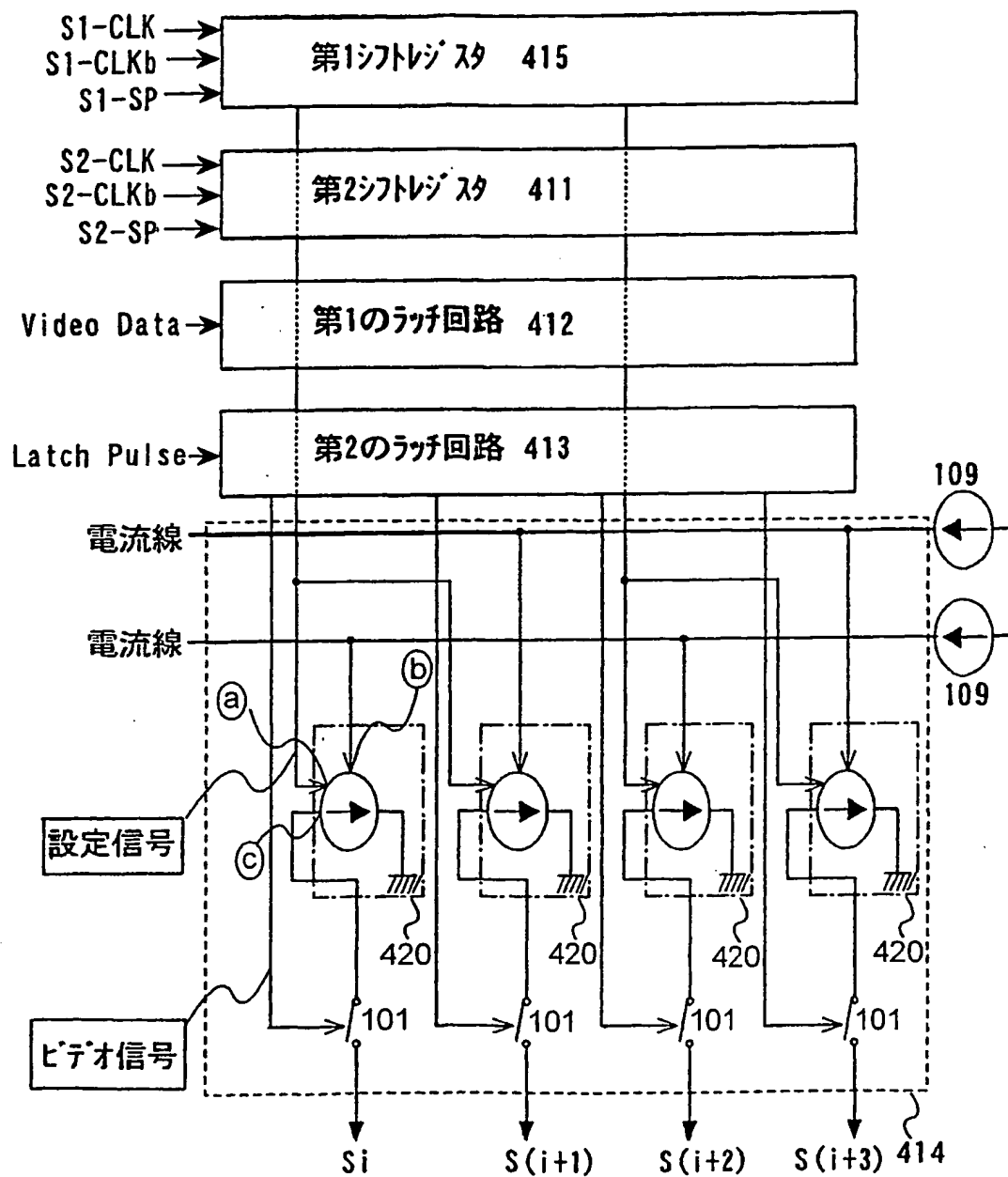
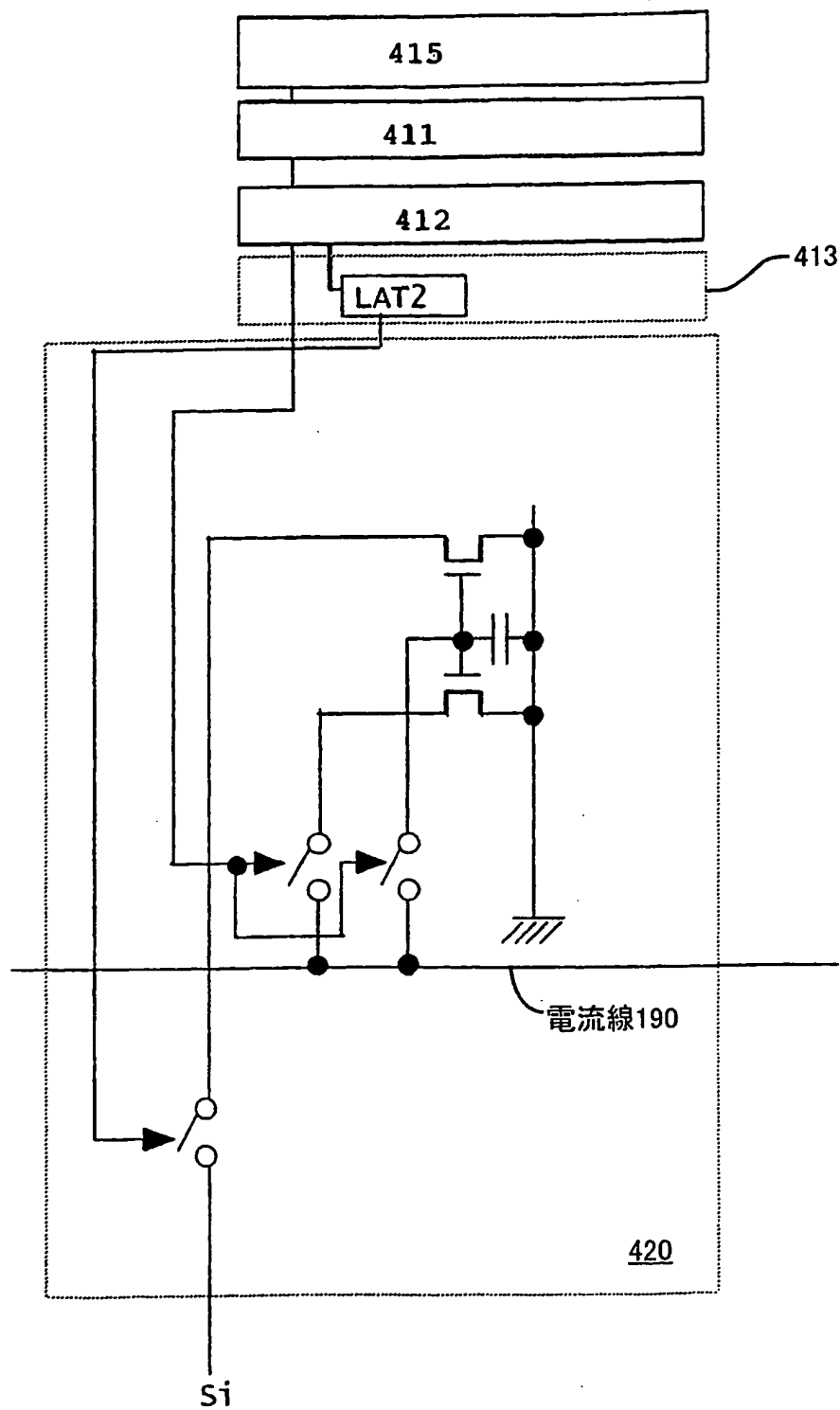


FIG.40



38/55

FIG.41

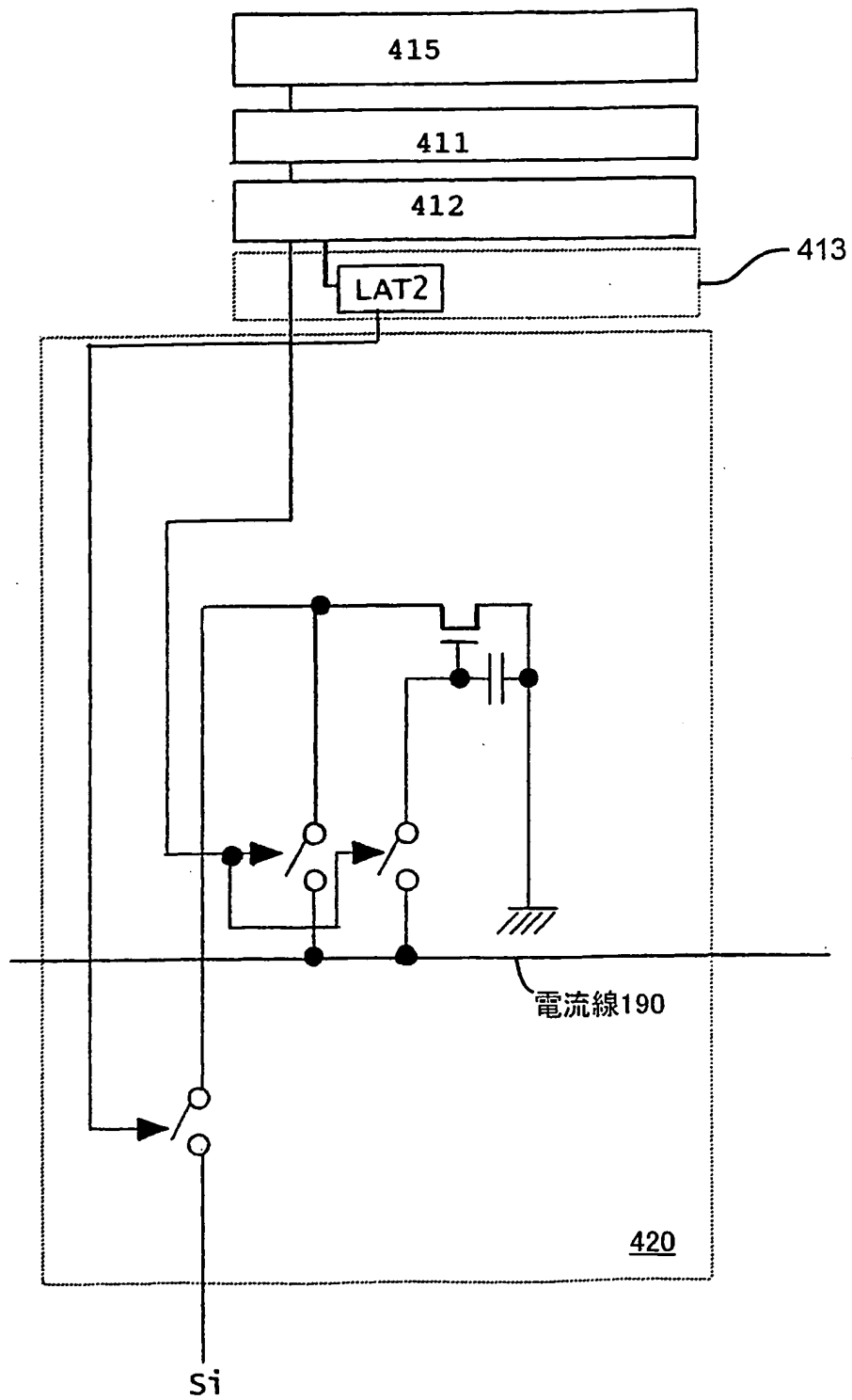


FIG.42A

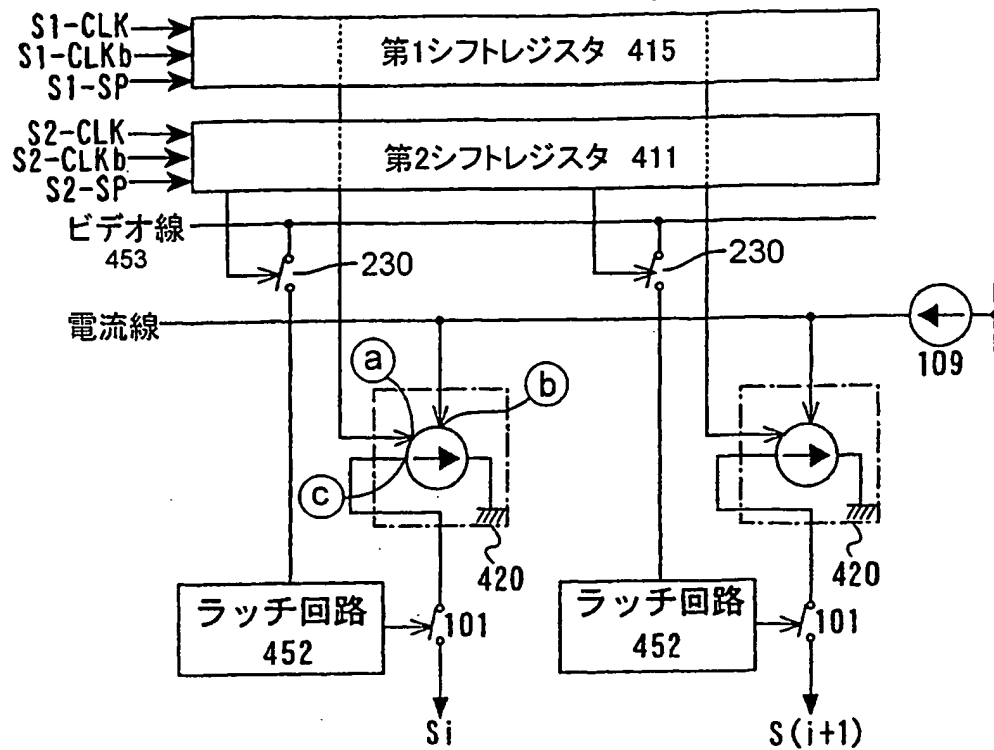


FIG.42B

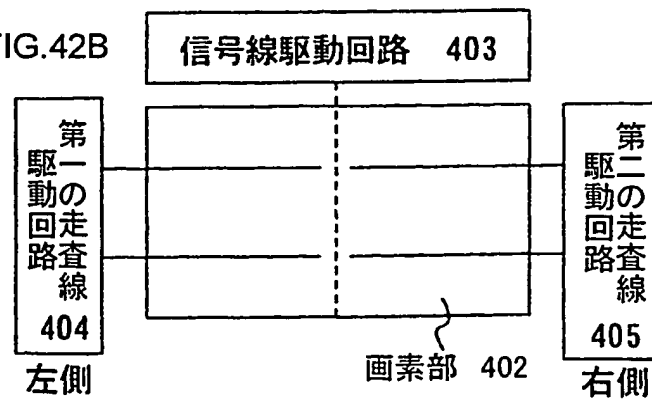
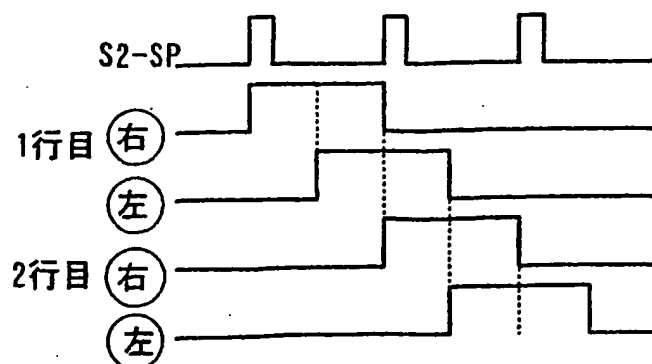
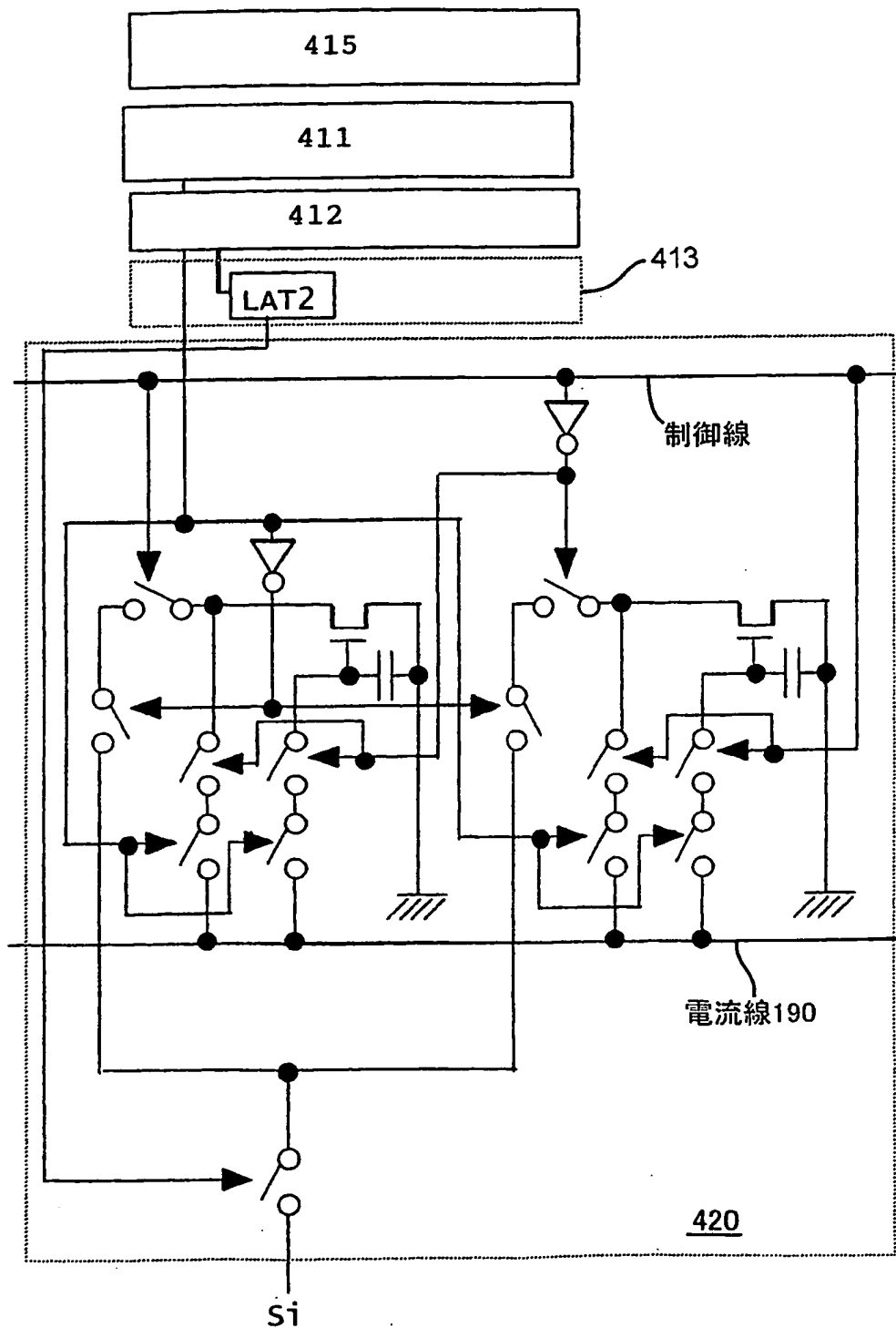


FIG.42C



40/55

FIG.43



41/55

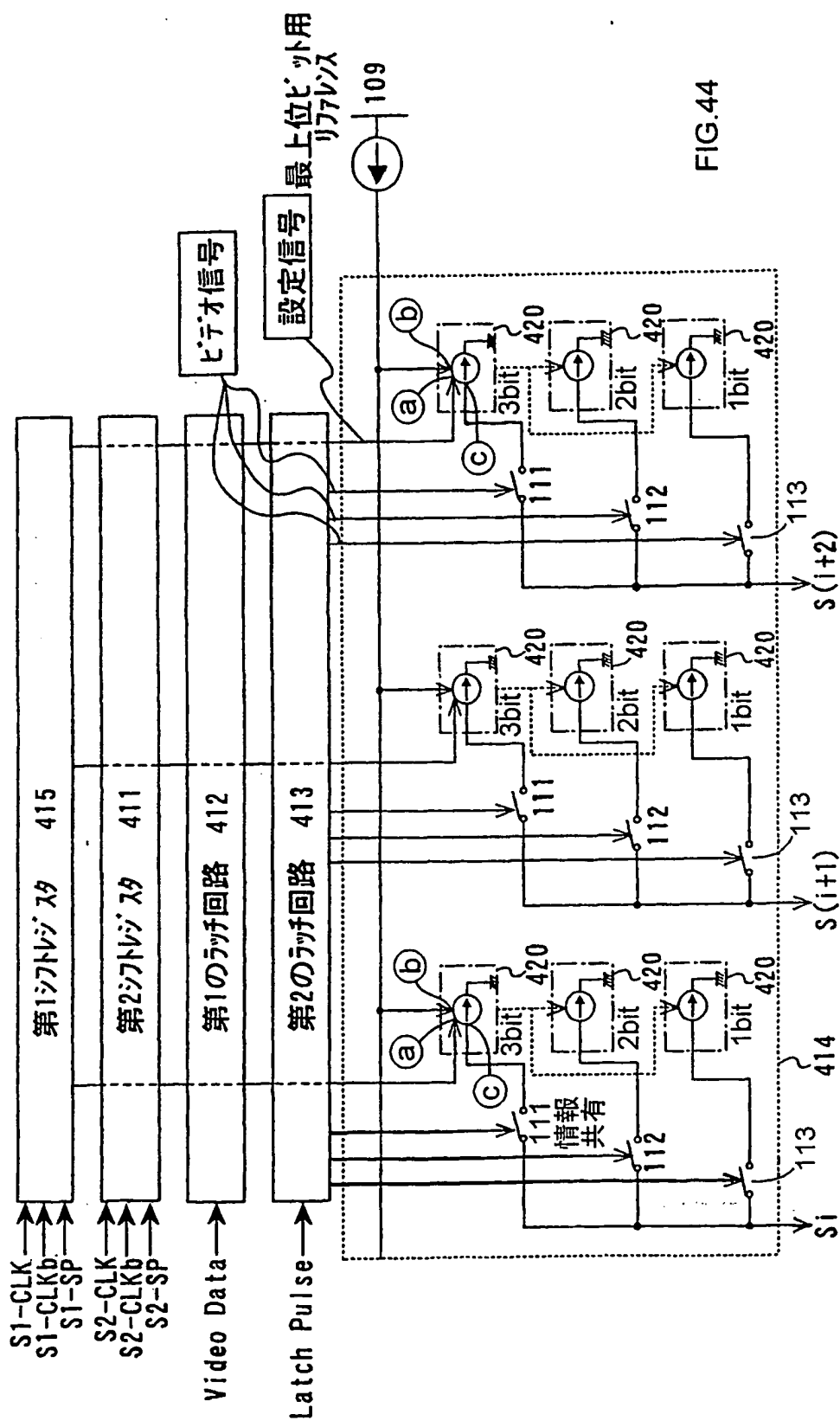
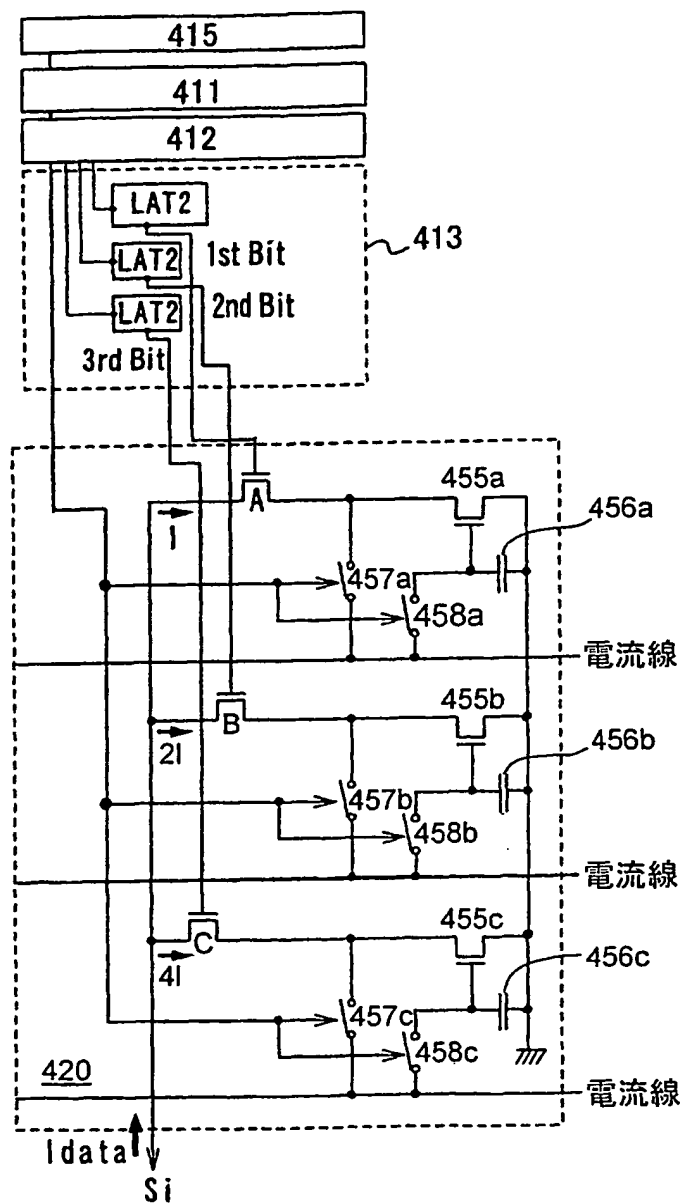


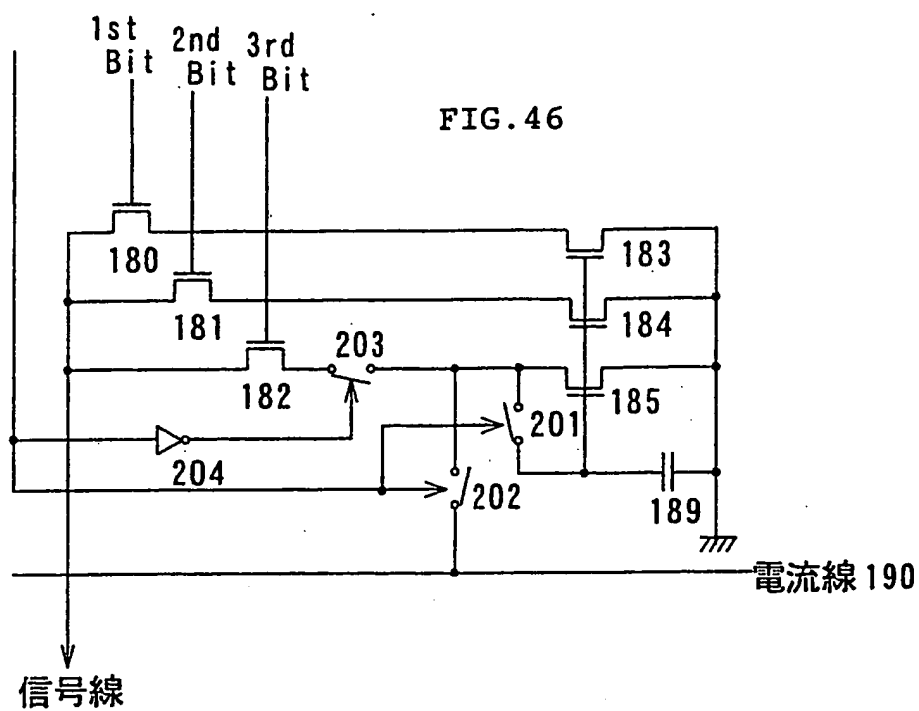
FIG.44

42/55

FIG.45

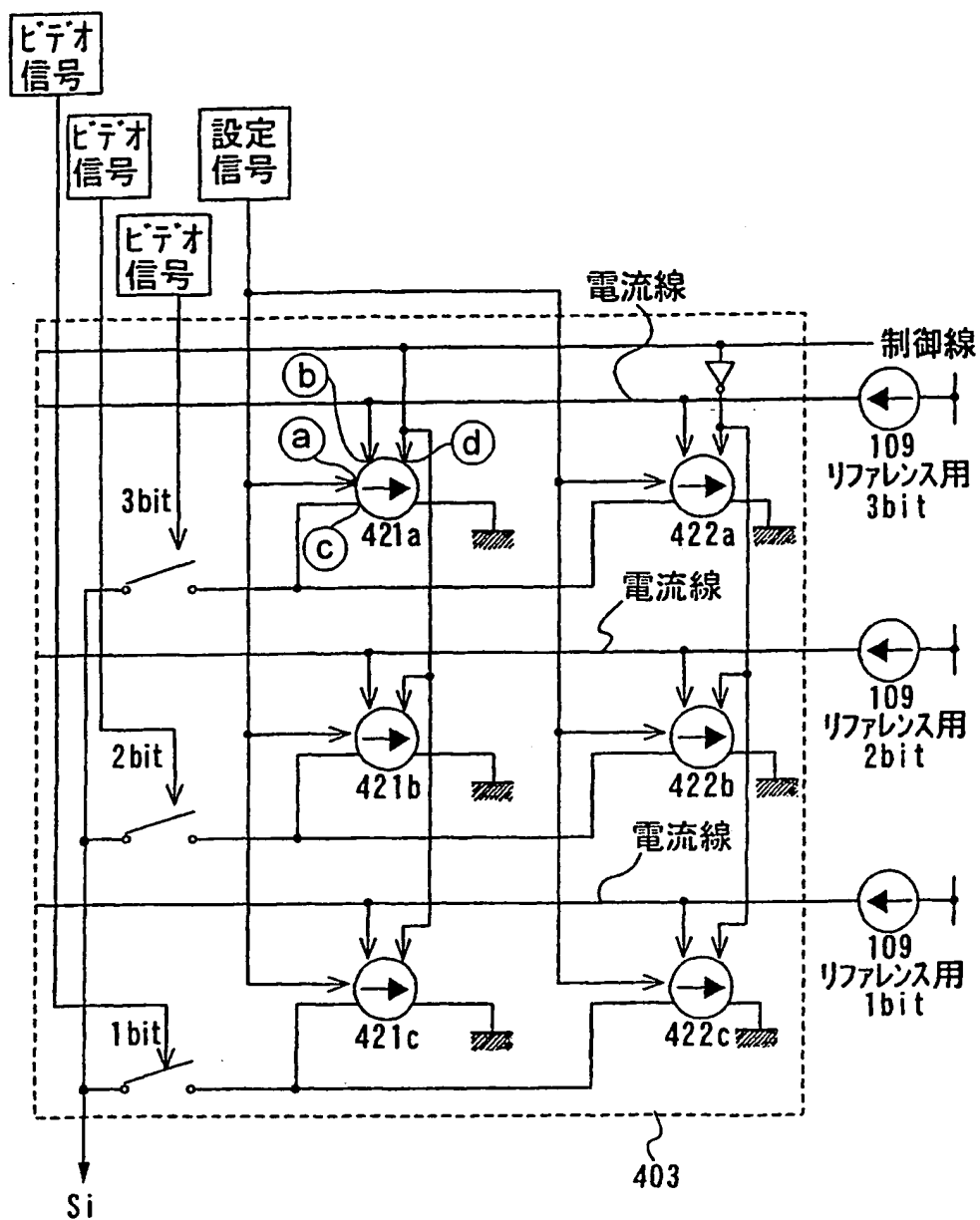


43/55



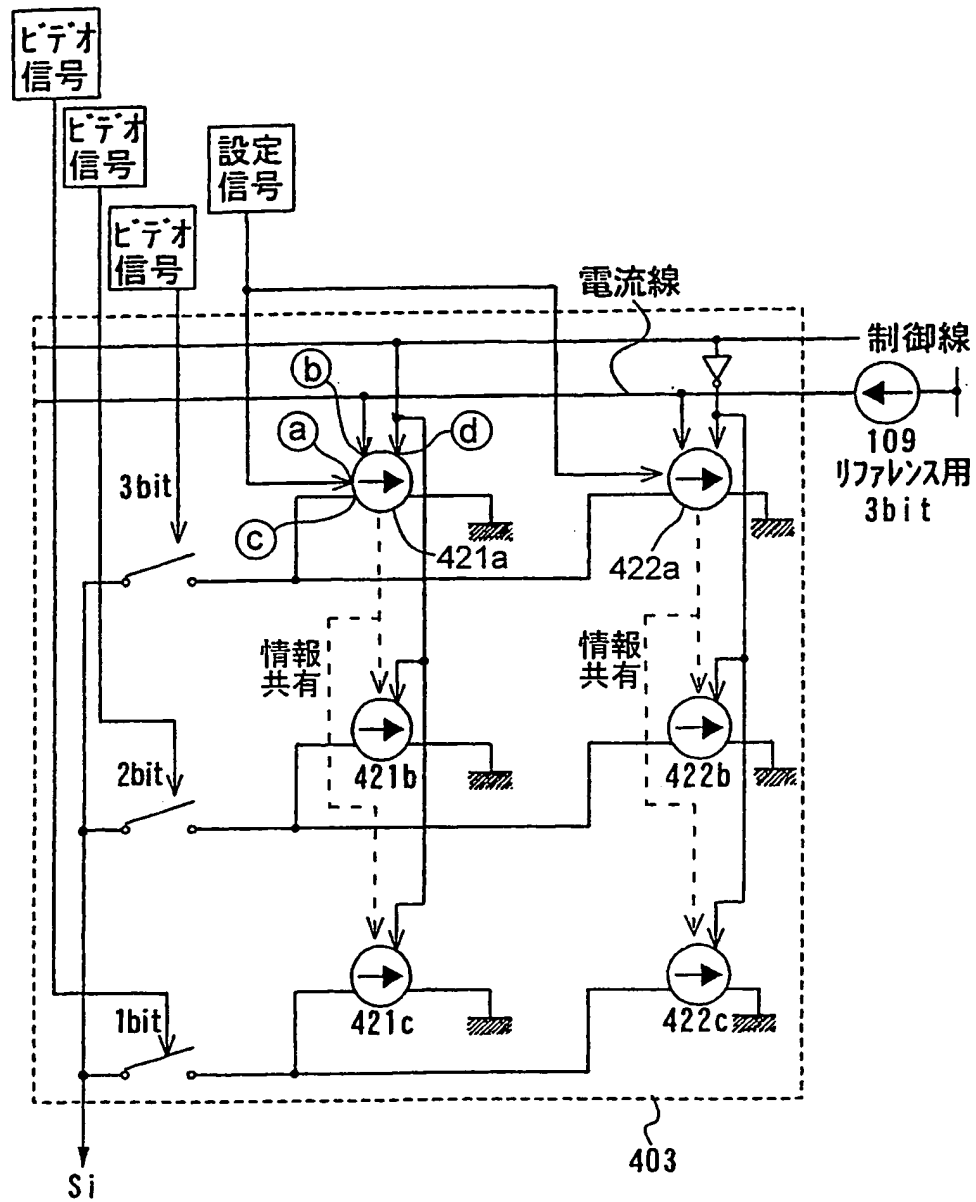
44/55

FIG.47



45/55

FIG.48



46/55

FIG.49A

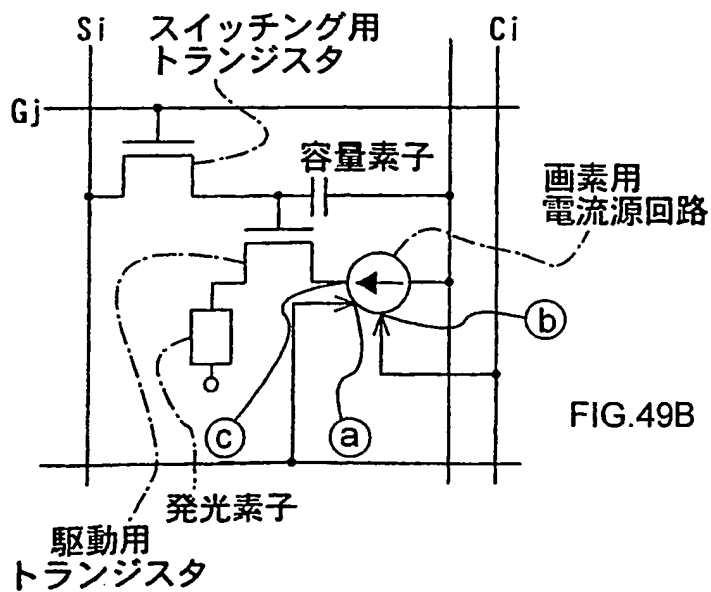
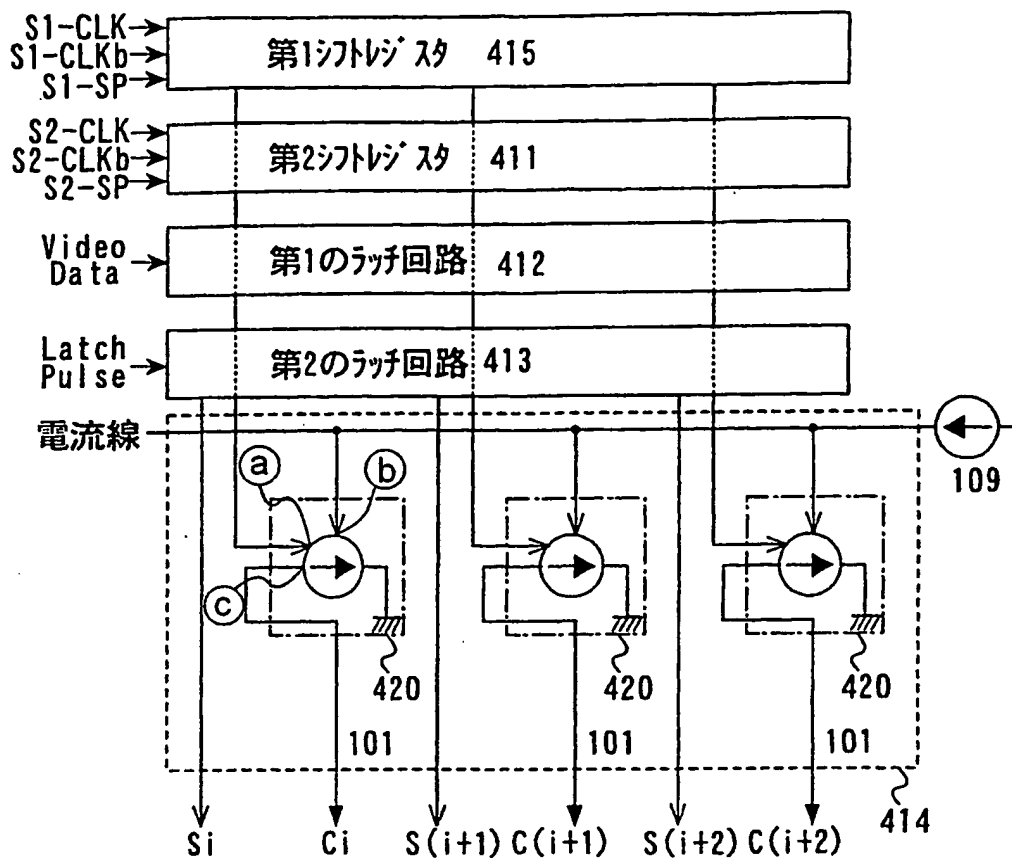


FIG.50

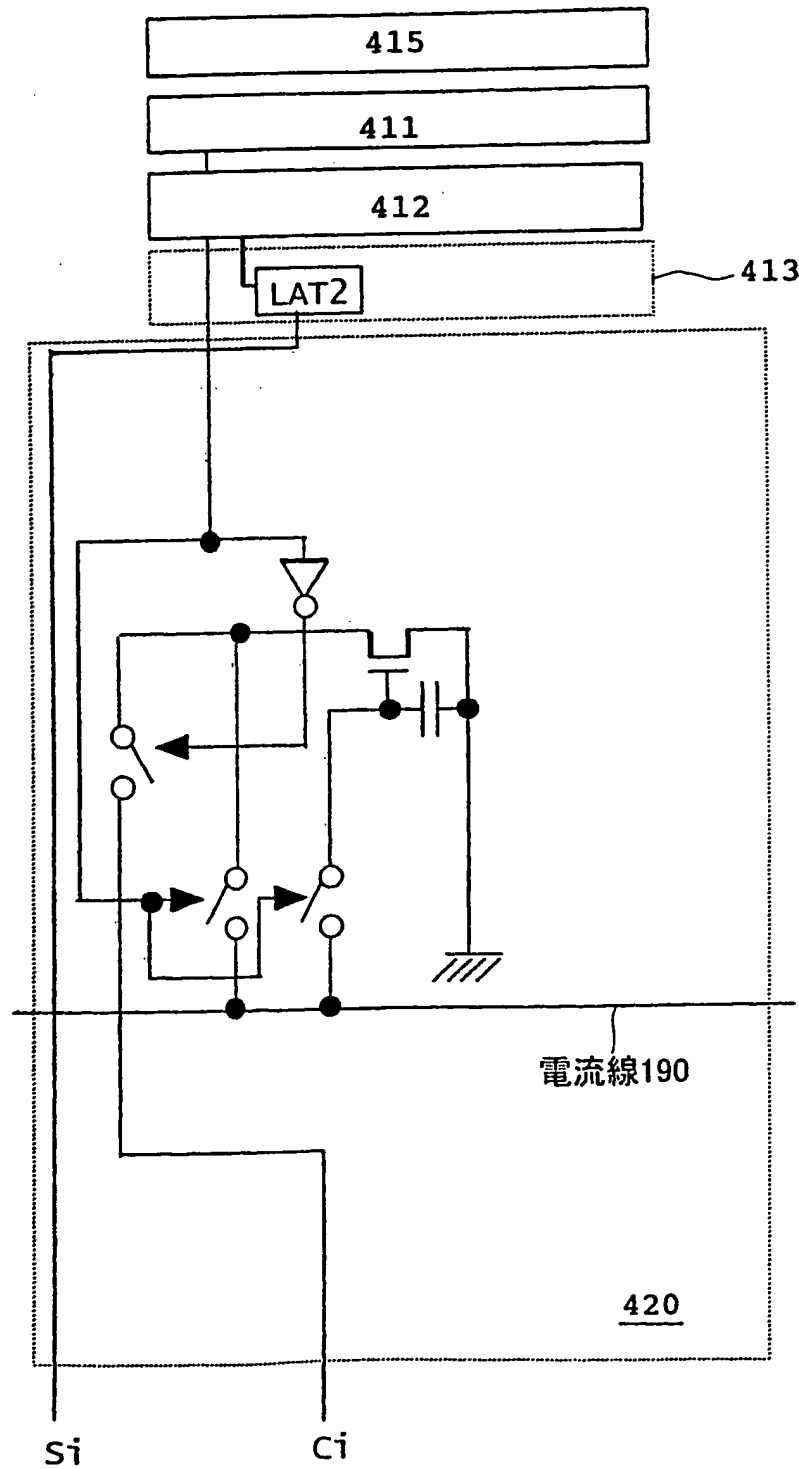


FIG.51

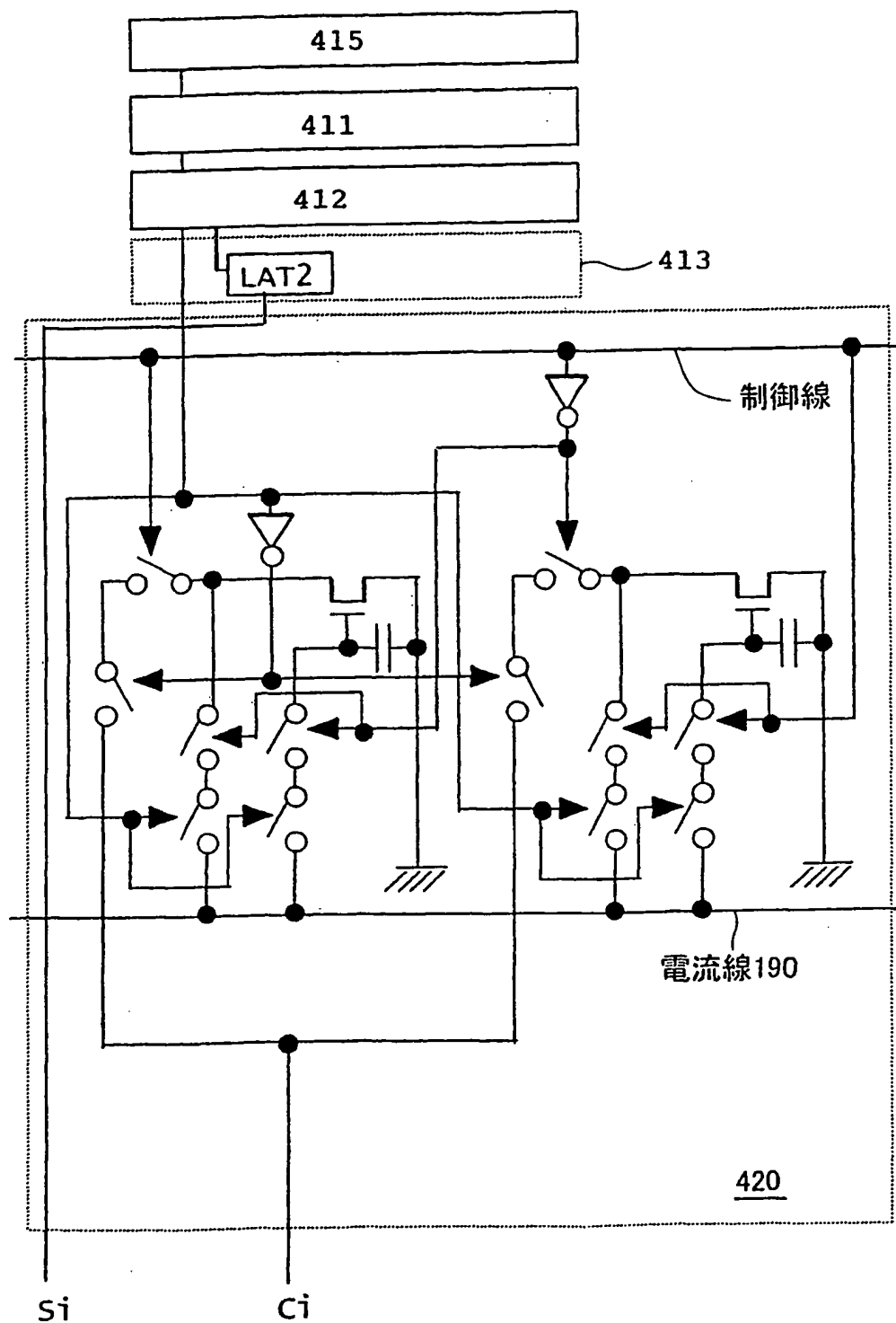


FIG.52A

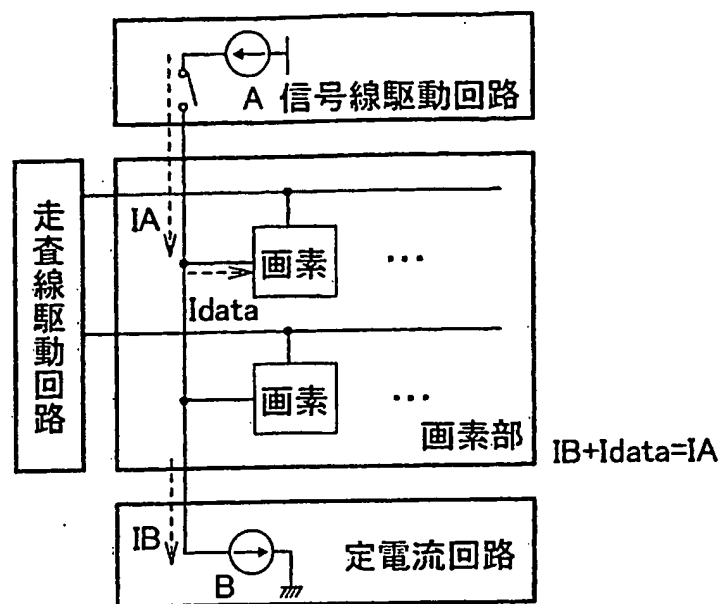
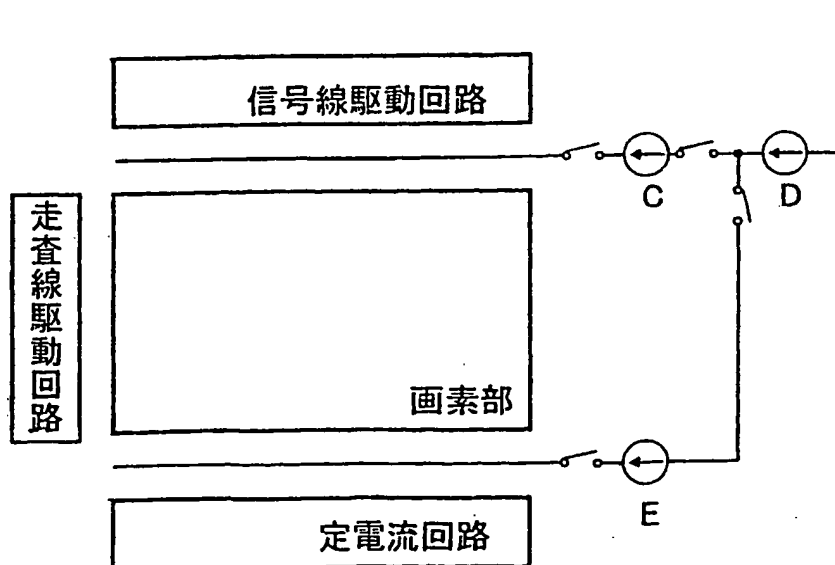
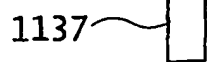


FIG.52B





23 11



FIG. 54

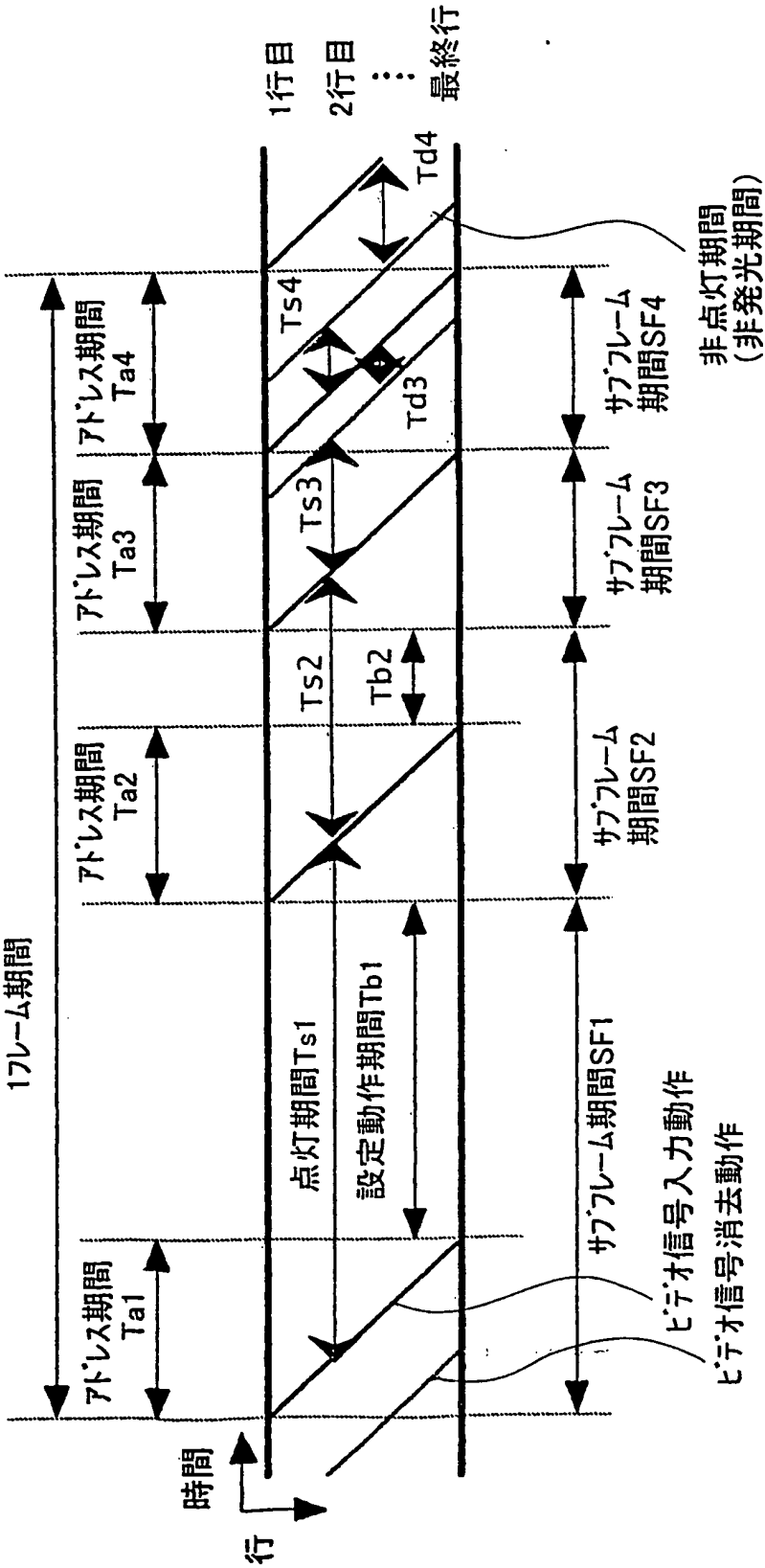
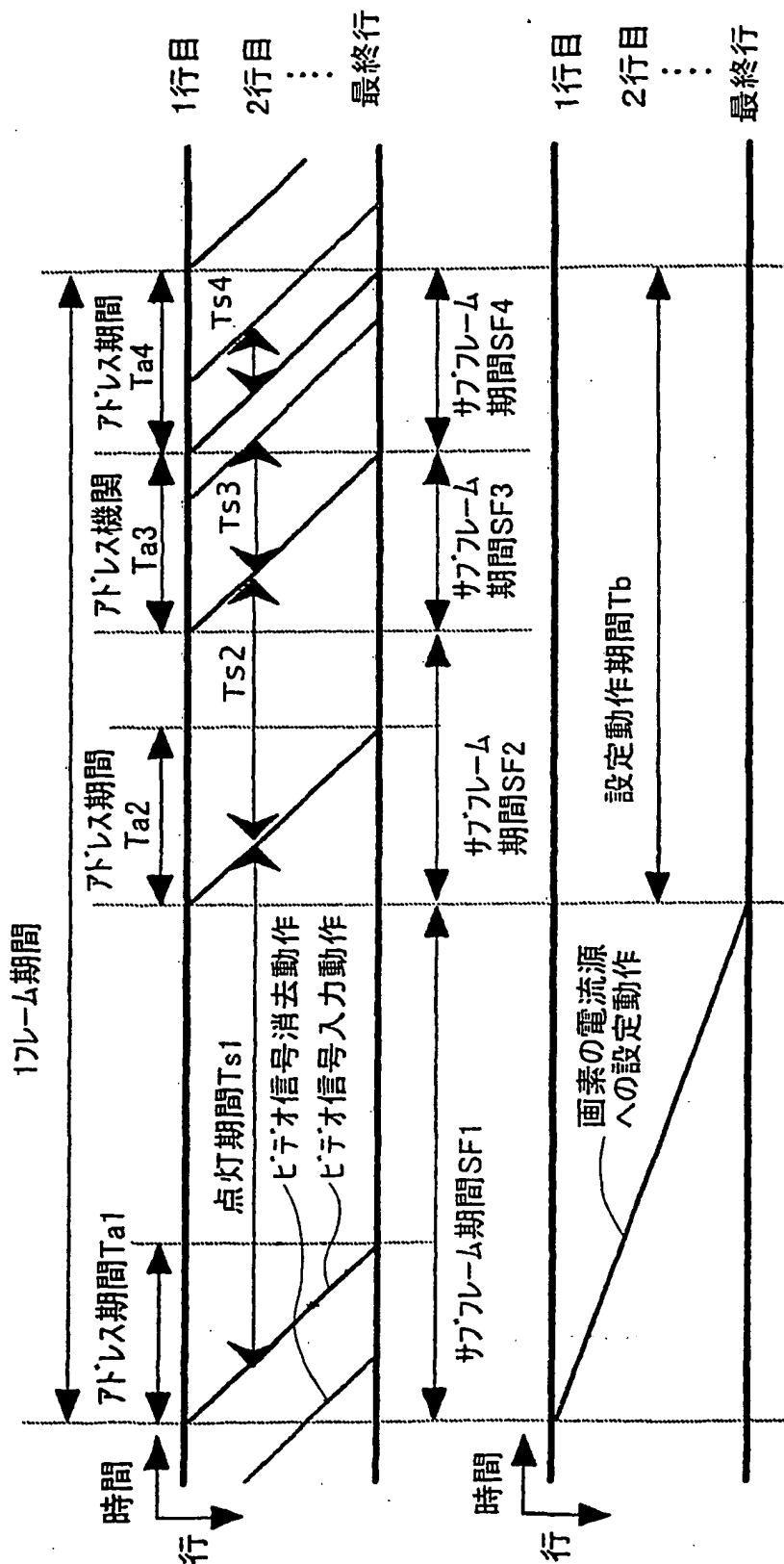
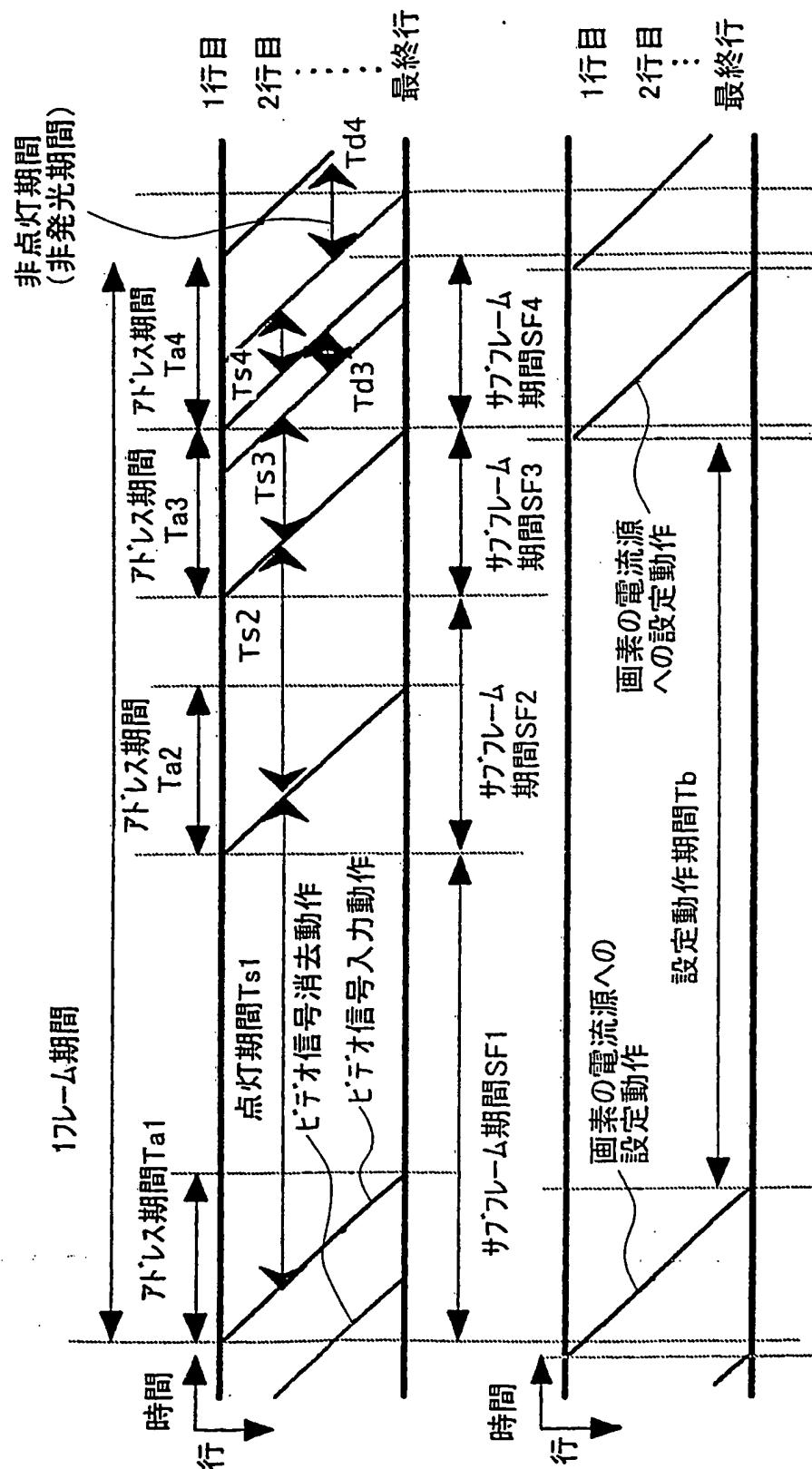


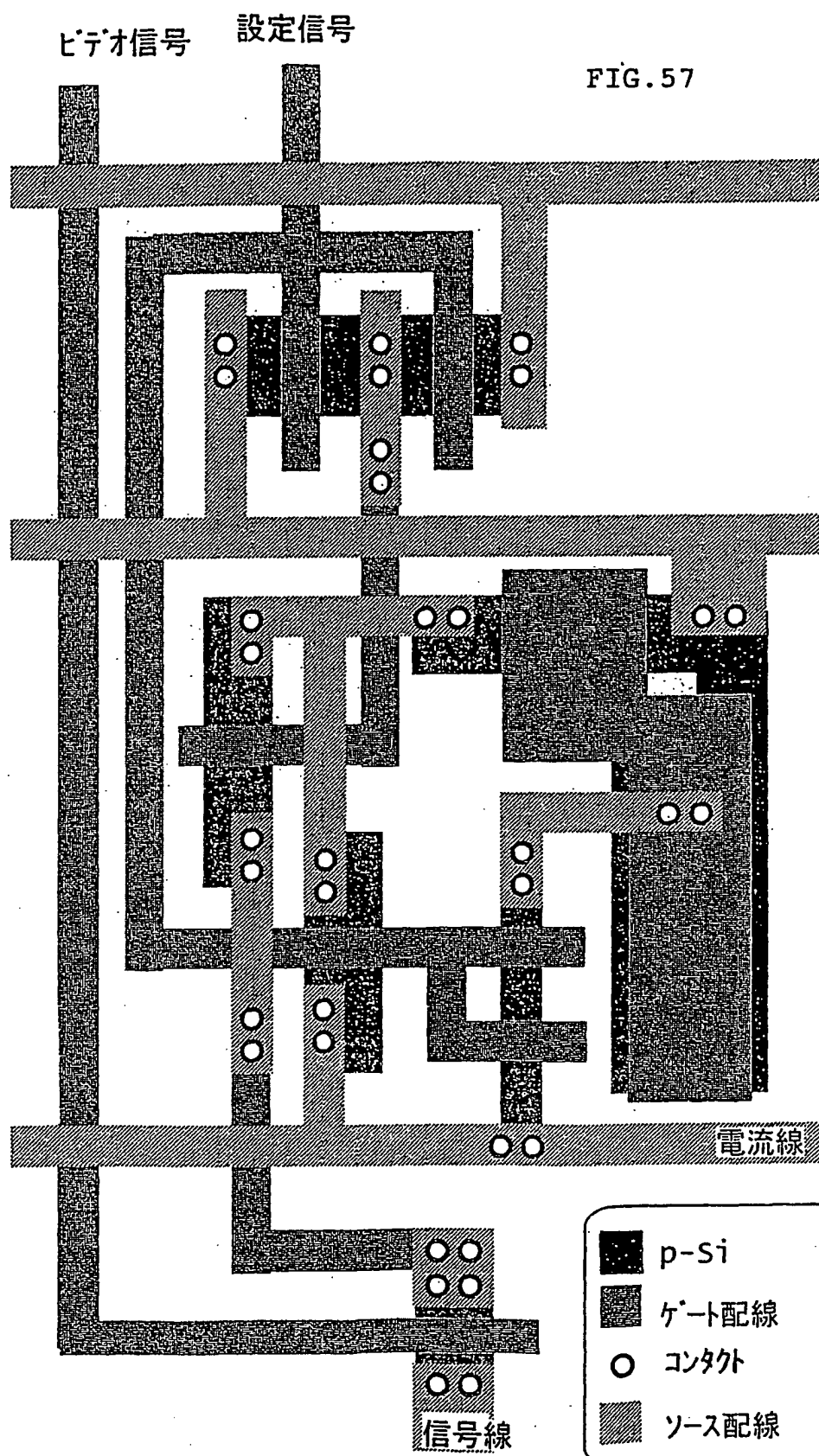
FIG. 55



53/55

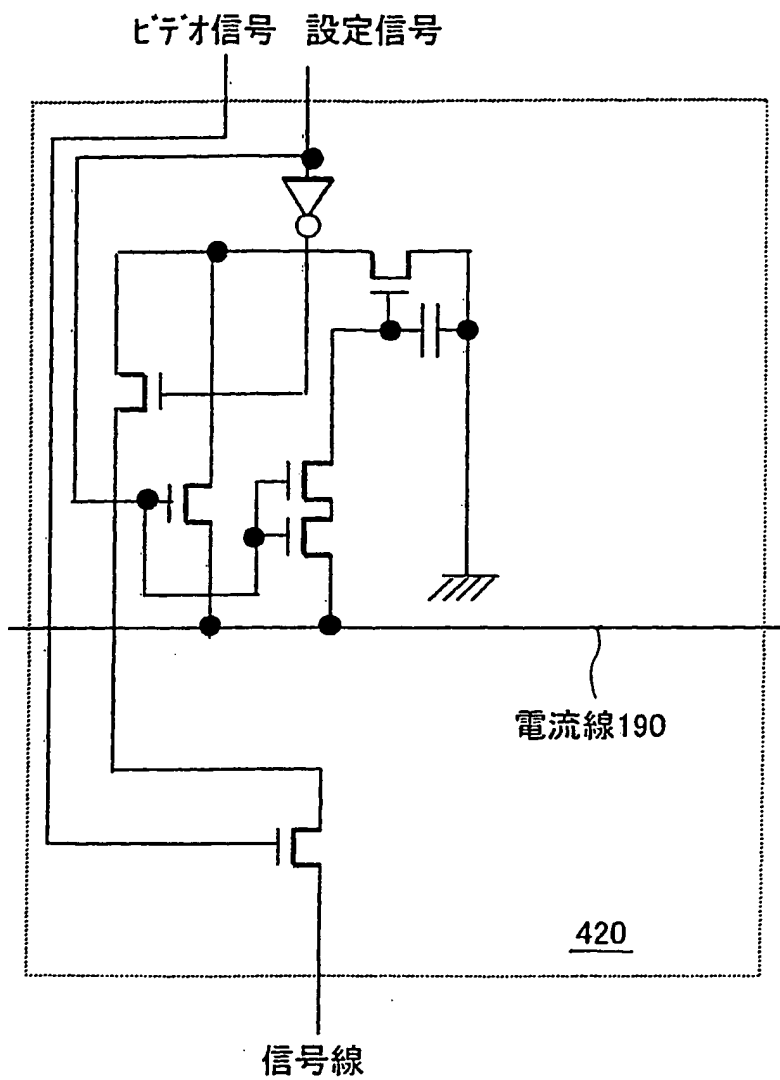
FIG.56





55/55

FIG.58



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2001-56667 A (ティーディーケイ株式会社) 2001. 02. 27	1-5, 30-34, 36 -37
A	段落番号【0022】-【0029】, 第1図 (ファミリーなし)	6-29, 35
A	J P 2001-147659 A (ソニー株式会社) 2001. 05. 29 段落番号【0015】-【0017】, 第1図 & EP 1102234 A2	1-37
A	J P 11-282419 A (日本電気株式会社) 1999. 10. 15 段落番号【0044】-【0054】, 第1図 & US 6091203 A	1-37
A	WO 98/48403 A1 (SARNOFF CORPORATION) 1998. 10. 29 第4頁第18行-第5頁第31行, 第2図 & J P 2002-514320 A & US 6229506 B1	1-37
Y A	J P 9-244590 A (株式会社東芝) 1997. 09. 19 段落番号【0002】-【0005】, 第10-12図 (ファミリーなし)	32 7-8
A	J P 2001-34221 A (日本精機株式会社) 2001. 02. 09 段落番号【0034】, 第4図 (ファミリーなし)	7-10
Y	J P 2001-42822 A (パイオニア株式会社) 2001. 02. 16, 全文, 全図 (ファミリーなし)	31
P. A	J P 2002-215095 A (パイオニア株式会社) 2002. 07. 31, 全文, 全図 (ファミリーなし)	1-37
P. A	J P 2002-278497 A (キャノン株式会社) 2002. 09. 27, 全文, 全図 (ファミリーなし)	1-37

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl ⁷ G09G 3/30, 3/20 H05B33/14		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl ⁷ G09G 3/00-3/38 H05B33/14		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-2003年 日本国実用新案登録公報 1996-2003年 日本国登録実用新案公報 1994-2003年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-45071 A (日本電気株式会社) 1999. 02. 16	1-5, 30-34, 36 -37
A	段落番号【0025】-【0029】、第4図、第13図 & US 6310589 B1 & US 2001/0048410 A1	6-29, 35
Y	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONI- CS N.V.) 1999. 12. 16	1-5, 30-34, 36 -37
A	第8頁第12行-第11頁第8行、第2図 & JP 2002-517806 A	6-29, 35
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 06. 01. 03	国際調査報告の発送日 04. 02. 03	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 西島 篤宏 電話番号 03-3581-1101 内線 3225	2G 9308

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11280

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-147659 A (Sony Corp.), 29 May, 2001 (29.05.01), Par. Nos. [0015] to [0017]; Fig. 1 & EP 1102234 A2	1-37
A	JP 11-282419 A (NEC Corp.), 15 October, 1999 (15.10.99), Par. Nos. [0044] to [0054]; Fig. 1 & US 6091203 A	1-37
A	WO 98/48403 A1 (SARNOFF CORP.), 29 October, 1998 (29.10.98), Page 4, line 18 to page 5, line 31; Fig. 2 & JP 2002-514320 A & US 6229506 B1	1-37
Y A	JP 9-244590 A (Toshiba Corp.), 19 September, 1997 (19.09.97), Par. Nos. [0002] to [0005]; Figs. 10 to 12 (Family: none)	32 7-8
A	JP 2001-34221 A (Nippon Seiki Co., Ltd.), 09 February, 2001 (09.02.01), Par. No. [0034]; Fig. 4 (Family: none)	7-10
Y	JP 2001-42822 A (Pioneer Electronic Corp.), 16 February, 2001 (16.02.01), Full text; all drawings (Family: none)	31
P, A	JP 2002-215095 A (Pioneer Electronic Corp.), 31 July, 2002 (31.07.02), Full text; all drawings (Family: none)	1-37
P, A	JP 2002-278497 A (Canon Inc.), 27 September, 2002 (27.09.02), Full text; all drawings (Family: none)	1-37

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11280

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/30, 3/20, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/00-3/38, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-45071 A (NEC Corp.), 16 February, 1999 (16.02.99), Full text; all drawings & US 6310589 B1 & US 2001/0048410 A1	1-5, 30-34, 36-37 6-29, 35
Y A	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONICS N.V.), 16 December, 1999 (16.12.99), Page 8, line 12 to page 11, line 8; Fig. 2 & JP 2002-517806 A	1-5, 30-34, 36-37 6-29, 35
Y A	JP 2001-56667 A (TDK Corp.), 27 February, 2001 (27.02.01), Par. Nos. [0022] to [0029]; Fig. 1 (Family: none)	1-5, 30-34, 36-37 6-29, 35

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
06 January, 2003 (06.01.03)

Date of mailing of the international search report
04 February, 2003 (04.02.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

SIGNAL LINE DRIVE CIRCUIT AND LIGHT EMITTING DEVICE AND DRIVING METHOD THEREFOR

Technical Field

The present invention relates to a technique of a signal line driver circuit. Further, the present invention relates to a light emitting device including the signal line driver circuit.

Background Art

Recently, display devices for performing image display are being developed. Liquid crystal display apparatus that perform image display by using a liquid crystal device are widely used as display apparatus because of advantages of high image quality, thinness, lightweight, and the like.

In addition, light emitting apparatus using self-light emitting devices as light emitting devices are recently being developed. The light emitting apparatus has characteristics of, for example, a high response speed suitable for motion image display, low voltage, and low power consumption, in addition to advantages of existing liquid crystal display apparatus, and thus, attracts a great deal of attention as the next generation display.

As gradation representation methods used in displaying a multi-gradation image on a light emitting apparatus, an analog gradation method and a digital gradation method are given. The former analog gradation method is a method in which the gradation

is obtained by conducting analog control of the magnitude of a current that flows to a light emitting device. The latter digital gradation method is a method in which the light emitting device is driven only in two states thereof: an ON state (state where the luminance is substantially 100%) and an OFF state (state where the luminance is substantially 0%). In the digital gradation method, since only two gradations can be displayed, a method configured by combining the digital gradation method and a different method to display multi-gradation images has been proposed.

When classification is made based on the type of a signal that is input to pixels, a voltage input method and a current input method are given as pixel-driving methods. The former voltage input method is a method in which: a video signal (voltage) that is input to a pixel is input to a gate electrode of a driving element; and the driving element is used to control the luminance of a light emitting device. The latter current input method is a method in which the set signal current is flown to a light emitting device to control the luminance of the light emitting device.

Hereinafter, referring to Fig. 16(A), a brief description will be made of an example of a circuit of a pixel in a light emitting apparatus employing the voltage input method and a driving method thereof. The pixel shown in Fig. 16(A) includes a signal line 501, a scanning line 502, a switching TFT 503, a driving TFT 504, a capacitor device 505, a light emitting device 506, and power sources 507 and 508.

When the potential of the scanning line 502 varies, and

the switching TFT 503 is turned ON, a video signal that has been input to the signal line 501 is input to a gate electrode of the driving TFT 504. According to the potential of the input video signal, a gate-source voltage of the driving TFT 504 is determined, and a current flowing between the source and the drain of the driving TFT 504 is determined. This current is supplied to the light emitting device 506, and the light emitting device 506 emits light.

As a semiconductor device for driving the light emitting device, a polysilicon transistor is used. However, the polysilicon transistor is prone to variation in electrical characteristics, such as a threshold value and an ON current, due to defects in a grain boundary. In the pixel shown in Fig. 16(A), if characteristics of the driving TFT 504 vary in units of the pixel, even when identical video signals have been input, the magnitudes of the corresponding drain currents of the driving TFTs 504 are different. Thus, the luminance of the light emitting device 506 varies.

To solve the problems described above, a desired current may be input to the light emitting device, regardless of the characteristics of the TFTs for driving the light emitting device. From this viewpoint, the current input method has been proposed which can control the magnitude of a current that is supplied to a light emitting device regardless of the TFT characteristics.

Next, referring to Figs. 16(B) and 17, a brief description will be made of a circuit of a pixel in a light emitting apparatus employing the current input method and a driving method thereof.

The pixel shown in Fig. 16(B) includes a signal line 601, first to third scanning lines 602 to 604, a current line 605, TFTs 606 to 609, a capacitor device 610, and a light emitting device 611. A current source circuit 612 is disposed to each signal line (each column).

Operations of from video signal-writing to light emission will be described by using Fig. 17. In Fig. 17, reference numerals denoting respective portions conform to those shown in Fig. 16. Figs. 17(A) to 17(C) schematically show current paths. Fig. 17(D) shows the relationship between currents flowing through respective paths during a write of a video signal, and Fig. 17(E) shows a voltage accumulated in the capacitor device 610 also during the write of a video signal, that is, a gate-source voltage of the TFT 608.

First, a pulse is input to the first and second scanning lines 602 and 603 to turn the TFTs 606 and 607 ON. A signal current flowing through the signal line 601 at this time will be referred to as I_{data} . As shown in Fig. 17(A), since the signal current I_{data} is flowing through the signal line 601, the current separately flows through current paths I_1 and I_2 in the pixel. Fig. 17(D) shows the relationship between the currents. Needless to say, the relationship is expressed as $I_{data} = I_1 + I_2$.

The moment the TFT 606 is turned ON, no charge is yet accumulated in the capacitor device 610, and thus, the TFT 608 is OFF. Accordingly, $I_2 = 0$ and $I_{data} = I_1$ are established. In the moment, the current flows between electrodes of the capacitor device 610, and charge accumulation is performed in the capacitor

device 610.

Charge is gradually accumulated in the capacitor device 610, and a potential difference begins to develop between both the electrodes (Fig. 17(E)). When the potential difference of both the electrodes has reached V_{th} (point A in Fig. 17(E)), the TFT 608 is turned ON, and I_2 occurs. As described above, since $I_{data} = I_1 + I_2$ is established, while I_1 gradually decreases, the current keeps flowing, and charge accumulation is continuously performed in the capacitor device 610.

In the capacitor device 610, charge accumulation continues until the potential difference between both the electrodes, that is, the gate-source voltage of the TFT 608 reaches a desired voltage. That is, charge accumulation continues until the voltage reaches a level at which the TFT 608 can allow the current I_{data} to flow. When charge accumulation terminates (B point in Fig. 17(E)), the current I_1 stops flowing. Further, since the TFT 608 is fully ON, $I_{data} = I_2$ is established (Fig. 17(B)). According to the operations described above, the operation of writing the signal to the pixel is completed. Finally, selection of the first and second scanning lines 602 and 603 is completed, and the TFTs 606 and 607 are turned OFF.

Subsequently, a pulse is input to the third scanning line 604, and the TFT 609 is turned ON. Since VGS that has been just written is held in the capacitor device 610, the TFT 608 is already turned ON, and a current identical to I_{data} flows thereto from the current line 605. Thus, the light emitting device 611 emits light. At this time, when the TFT 608 is set to operate in a

saturation region, even if the source-drain voltage of the TFT 608 varies, a light emitting current I_{EL} flowing to the light emitting device 611 flows continuously.

As described above, the current input method refers to a method in which the drain current of the TFT 609 is set to have the same current value as that of the signal current I_{data} set in the current source circuit 612, and the light emitting device 611 emits light with the luminance corresponding to the drain current. By using the thus structured pixel, influence of variation in characteristics of the TFTs constituting the pixel is suppressed, and a desired current can be supplied to the light emitting device.

Incidentally, in the light emitting apparatus employing the current input method, a signal current corresponding to a video signal needs to be precisely input to a pixel. However, when a signal line driver circuit (corresponding to the current source circuit 612 in Fig. 16) used to input the signal current to the pixel is constituted by polysilicon transistors, variation in characteristics thereof occurs, thereby also causing variation in characteristics of the signal current.

That is, in the light emitting apparatus employing the current input method, variation in characteristics of TFTs constituting the pixel and the signal line driver circuit need to be suppressed. However, while the influence of variation in characteristics of the TFTs constituting the pixel can be suppressed by using the pixel having the structure of Fig. 16(B), suppression of the influence of variation in characteristics of

the TFTs constituting the signal line driver circuit is difficult.

Hereinafter, using Fig. 18, a brief description will be made of the structure and operation of a current source circuit disposed in the signal line driver circuit that drives the pixel employing the current input method.

The current source circuit 612 shown in Figs. 18(A) and 18(B) corresponds to the current source circuit 612 of Fig. 16(B). The current source circuit 612 includes constant current sources 555 to 558. The constant current sources 555 to 558 are controlled by signals that are input via respective terminals 551 to 554. The magnitudes of currents supplied from the constant current sources 555 to 558 are different from one another, and the ratio thereof is set to 1 : 2 : 4 : 8.

Fig. 18(B) shows a circuit structure of the current source circuit 612, in which the constant current sources 555 to 558 shown therein correspond to transistors. The ratio of ON currents of the transistors 555 to 558 is set to 1 : 2 : 4 : 8 according to the ratio (1:2:4:8) of the value of L (gate length)/W (gate width). The current source circuit 612 then can control the current magnitudes at $2^4 = 16$ levels. Specifically, currents having 16-gradation analog values can be output for 4-bit digital video signals. Note that the current source circuit 612 is constituted by polysilicon transistors, and is integrally formed with the pixel portion on the same substrate.

As described above, conventionally, a signal line driver circuit incorporated with a current source circuit has been proposed (for example, refer to Non-patent Documents 1 and 2).

In addition, digital gradation methods include a method in which a digital gradation method is combined with an area gradation method to represent multi-gradation images (hereinafter, referred to as area gradation method), and a method in which a digital gradation method is combined with a time gradation method to represent multi-gradation images (hereinafter, referred to as time gradation method). The area gradation method is a method in which one pixel is divided into a plurality of sub-pixels, emission or non-emission is selected in each of the sub-pixels, and the gradation is represented according to a difference between a light emitting area and the other area in a single pixel. The time gradation method is a method in which gradation representation is performed by controlling the emission period of a light emitting device. To be more specific, one frame period is divided into a plurality of subframe periods having mutually different lengths, emission or non-emission of a light emitting device is selected in each period, and the gradation is presented according to a difference in length of light emission time in one frame period. In the digital gradation method, the method in which a digital gradation method is combined with a time gradation method (hereinafter, referred to as time gradation method) is proposed. (For example, refer to Patent Document 1).

[Non-patent Document 1]

Reiji Hattori & three others, "Technical Report of Institute of Electronics, Information and Communication Engineers (IEICE)", ED 2001-8, pp. 7-14, "Circuit Simulation of Current Specification

Type Polysilicon TFT Active Matrix-Driven Organic LED Display"

[Non-patent Document 2]

Reiji H et al.; "AM-LCD'01", OLED-4, pp. 223-226

[Patent Document 1]

JP 2001-5426 A

Summary of the Invention

The above-described current source circuit 612 is set so that the ratio of ON-state currents of the transistors becomes 1: 2: 4: 8 by designing L/W value. However, as for the transistors 555-558, the factors of variation such as the gate length, the gate width and the film thickness of a gate insulating film, which are generated by the difference of fabricating steps and substrates to be used are piled up, and the variation is generated in the threshold value and mobility. Therefore, it is difficult to precisely make the ratio of ON-state currents of the transistors 555-558 to be 1: 2: 4: 8 as it has been designed. Specifically, the variation of the values of currents for supplying to the pixels is generated depending upon the column.

In order to precisely make the ratio of ON-state currents of the transistors 555-558 to be 1: 2: 4: 8 as it has been designed, it is necessary to make all the characteristics of the current source circuits existing in the whole columns the same. Specifically, it is necessary to make all the characteristics of the transistors of the current source circuits that signal line drive circuit has the same, however, it is very difficult to realize it.

The present invention has been carried out by considering the above-described problems, the present invention provides a signal line drive circuit capable of suppressing the influence of the characteristic variation of TFTs and supplying the desired signal current to the pixels. Furthermore, the present invention provides a light emitting apparatus capable of suppressing the influence of variation of the characteristics of TFTs which configure both a pixel and a drive circuit and supplying the desired signal current to a light emitting device which configures both of a pixel and a drive circuit by utilizing a pixel having a circuit configuration which has suppressed the influence of variation of the characteristics of TFTs.

The present invention provides a signal line drive circuit having a new configuration in which an electric circuit (in the present specification, referred to as current source circuit) for suppressing the influence of variation of the characteristics of TFTs and passing the desired constant current has been provided. Furthermore, the present invention provides a light emitting apparatus equipped with the foregoing signal line drive circuit.

The present invention provides a signal line drive circuit in which a current source circuit is disposed on each column (each signal line or the like).

A signal line drive circuit of the present invention is set so that the predetermined signal current is supplied to a current source circuit disposed on each signal line (each column) using a constant current source for reference. A current source circuit set so as to supply the signal current has the ability

to pass the current in proportion to that of the constant current source for reference. As a result, the influence of variation of the characteristics of TFTs which configure the signal line drive circuit can be suppressed by utilizing the foregoing current source circuit. Then, in a signal line drive circuit of the present invention, a switch for determining whether or not a signal current set in a current source circuit is supplied to the pixel is controlled by a video signal.

Specifically, in the case where it is necessary to pass a signal current in proportion to a video signal through a signal line, there is a switch for determining whether or not the signal current is supplied from the current source circuit to the signal line drive circuit, which is controlled by the video signal.

It should be noted that in the present specification, the switch for determining whether or not the signal current is supplied from the current source circuit to the signal line drive circuit is defined to be referred to as a signal current control switch.

It should be noted that the constant current source for reference might be integrally formed with the signal line drive circuit on the substrate. Or, as a current for reference, a certain current may be inputted from the exterior of the substrate using IC or the like.

The outline of a signal line drive circuit of the present invention will be described below with reference to Figs. 1 and 2. In Figs. 1 and 2, the signal line drive circuits around the three signal lines from i th column to $(i+2)$ th column are shown.

First, the case where it is necessary to pass the signal

current in proportion to that of the video signal through the signal line will be described below.

In Fig. 1, as for a signal line drive circuit 403, a current source circuit 420 is disposed on each signal line (each column). The current source circuit 420 has a terminal a, a terminal b and a terminal c. A set point signal is inputted into the terminal a. The current (current for reference) is supplied from the constant current source for reference 109, which is connected to the current line, to the terminal b. Moreover, the terminal c outputs a signal kept in the current source circuit 420 via a switch 101 (signal current control switch) outputs. Specifically, the current source circuit 420 is controlled by the set point signal inputted from the terminal a, current (current for reference) is supplied from the terminal b, and the current (signal current) in proportion to the relevant current (current for reference) is outputted from the terminal c. The switch 101 (signal current control switch) is disposed between the current source circuit 420 and the pixel, turning ON or OFF of the foregoing switch 101 (signal current control switch) is controlled by a video signal.

Subsequently, a signal line drive circuit of the present invention having a configuration different from that of Fig. 1 will be described below with reference to Fig. 2. In Fig. 2, in the signal line drive circuit 403, two or more current source circuits are disposed on each signal line (each column). Here, supposing that two current source circuits are disposed on each column, the current source circuit 420 has a first current source circuit 421 and a second current source circuit 422, a first current

source circuit 421 and a second current source circuit 422 have the terminals a-d. A set point signal is inputted into the terminal a. The current (current for reference) is supplied from the constant current source for reference 109 which is connected to the current line, to the terminal b. Moreover, the terminal c outputs a signal (signal current) kept in the first current source circuit 421 and the second current source circuit 422 via the switch 101 (signal current control switch). A control signal is inputted from the terminal d. Specifically, the current source circuit 420 is controlled by a set point signal inputted from the terminal a and by a control signal inputted from the terminal d, the current (current for reference) is supplied from the terminal b, the current (signal current) in proportion to the relevant current (current for reference) is outputted from the terminal c. The switch 101 (signal current control switch) is disposed between the current source circuit 420 and the pixel, and turning ON and OFF of the foregoing switch 101 (signal current control switch) are controlled by a video signal.

It is defined that an operation for terminating writing of a signal current with respect to the current source circuit 420 (an operation defining so that the current source circuit 420 for setting the signal current by the current for reference can output the signal current) is referred to as a setting operation and an operation for inputting the signal current into a pixel (operation that the current source circuit 420 outputs the signal current) is referred to as an input operation. In Fig. 2, since control signals inputted into the first current source circuit

421 and the second current source circuit 422 are different from each other, as for the first current source circuit 421 and the second current source circuit 422, one performs a setting operation and the other performs an input operation, thereby capable of carrying out two operations on each column at the same time.

It should be noted that a setting operation might be carried out during an optional time period at an optional timing, and optional times. That at what kind of timing the setting operation is carried out is capable of being optionally adjusted by a pixel configuration (current source circuit disposed in a pixel) and by configuration such as a current source circuit disposed in the signal line drive circuit. As for the number of times the setting operation is carried out, at least one time may be carried out at the time when the electric source is supplied to the signal line drive circuit and the operation is initiated. However, actually, since there are some cases where the acquired information is leaked by the setting operation, the setting operation may be again carried out when the good timing for acquiring the information comes again.

Concerning with the signal line drive circuit shown in Fig. 1 and 2, the case where the signal current in proportion to a video signal is supplied to the signal line has been described. However, the present invention is not limited to this. For example, the current may be supplied to another wiring different from the signal line. In this case, it is not necessary to dispose the switch 101 (signal current control switch). The case where the switch 101 is not disposed is shown in Fig. 29 concerning with

Fig. 1 and shown in Fig. 30 concerning with Fig. 2. In this case, the current is outputted into a current line for pixel and a video signal is outputted into a signal line.

The present invention provides a signal line drive circuit which provides two shift registers (first and second shift register). The first and second shift registers, one is a current source circuit, and the other is a circuit for controlling a video signal, that is, a circuit operated for displaying an image, it controls, for example, a latch circuit, a sampling switch and the switch 101 (signal current control switch) and the like. Then, an operation of the first and second shift registers is capable of being independently carried out, and necessarily, the setting operation of the current source circuit and the image displaying operation are capable of being independently carried out. Since the setting operation of the current source circuit is precisely carried out when the time is taken much, the configuration of the present invention in which the current source circuit and the latch circuit are capable of being independently operated is very effective.

It should be noted that a shift register is configured with circuits such as a flip-flop circuit and a decoder circuit. In the case where the shift register is configured with a flip-flop circuit, usually a plurality of wirings are in turn selected from the first column to the final column. On the other hand, in the case where the shift register is configured with a decoder circuit or the like, a plurality of wirings are capable of being selected at random. The configuration of the shift register may be

appropriately selected according to the use. If a plurality of wirings can be selected at random, the setting signal is also capable of being outputted. Therefore, the setting operation of the current source circuit is also capable of being carried out not sequentially from the first column but at random. Then, in the case where there is a malfunction accompanying with the setting operation, it can be realized so that the malfunction is overshadowed.

It should be noted that in the present invention, a TFT is capable of being applied by substituting it for a transistor using a usual single crystal, a transistor using SOI, an organic transistor or the like.

Moreover, in the present invention, a light emitting apparatus includes a panel in which a pixel section having a light emitting device and a signal line drive circuit are sealed between the substrate and the cover material, a module in which IC or the like is mounted on the foregoing panel, a display or the like in the category. Specifically, a light emitting apparatus corresponds to the general term including a panel, a module, a display and the like.

The present invention provides a signal line drive circuit having a current source circuit as described above. Furthermore, the present invention provides a light emitting apparatus capable of suppressing the influence of variation of the characteristics of the TFTs configuring both a pixel and a drive circuit and supplying the desired signal current I data to a light emitting device by utilizing a pixel of circuit configuration which is

not influenced by the characteristics of TFTs.

Brief Description of the Drawings

Fig. 1 is a view of a signal line driver circuit.

Fig. 2 is a view of a signal line driver circuit.

Fig. 3 is views of a signal line driver circuit (1-bit).

Fig. 4 is a view of a signal line driver circuit (3-bit).

Fig. 5 is a view of a signal line driver circuit (3-bit).

Fig. 6 is circuit diagrams of current source circuits.

Fig. 7 is circuit diagrams of current source circuits.

Fig. 8 is circuit diagrams of current source circuits.

Fig. 9 is a timing chart.

Fig. 10 is a timing chart.

Fig. 11 is a timing chart.

Fig. 12 is views of the appearance of a light emitting device.

Fig. 13 is circuit diagrams of pixels of a light emitting device.

Fig. 14 is explanatory views of a driving method.

Fig. 15 is views of a light emitting device.

Fig. 16 is circuit diagrams of pixels of a light emitting device.

Fig. 17 is explanatory views of operations of a pixel of the light emitting device.

Fig. 18 is views of a current source circuit.

Fig. 19 is explanatory views of operations of a current source circuit.

Fig. 20 is explanatory views of operations of a current

source circuit.

Fig. 21 is an explanatory view of operations of a current source circuit.

Fig. 22 is views of electronic devices to which the present invention is applied.

Fig. 23 is a view of a signal line driver circuit (3-bit).

Fig. 24 is a view of a signal line driver circuit (3-bit).

Fig. 25 is a circuit diagram of a reference constant current source.

Fig. 26 is a circuit diagram of a reference constant current source.

Fig. 27 is a circuit diagram of a reference constant current source.

Fig. 28 is a circuit diagram of a reference constant current source.

Fig. 29 is a view of a signal line driver circuit.

Fig. 30 is a view of a signal line driver circuit.

Fig. 31 is circuit diagrams of current source circuits.

Fig. 32 is circuit diagrams of current source circuits.

Fig. 33 is circuit diagrams of current source circuits.

Fig. 34 is circuit diagrams of current source circuits.

Fig. 35 is circuit diagrams of current source circuits.

Fig. 36 is circuit diagrams of current source circuits.

Fig. 37 is circuit diagrams of a decoder circuit.

Fig. 38 is a view of a shift register.

Fig. 39 is a view of a signal line driver circuit.

Fig. 40 is a view of a signal line driver circuit.

Fig. 41 is a view of a signal line driver circuit.
Fig. 42 is a view of a signal line driver circuit.
Fig. 43 is a view of a signal line driver circuit.
Fig. 44 is a view of a signal line driver circuit.
Fig. 45 is a view of a signal line driver circuit.
Fig. 46 is a view of a signal line driver circuit.
Fig. 47 is views of a signal line driver circuit.
Fig. 48 is a view of a signal line driver circuit.
Fig. 49 is a view of a signal line driver circuit.
Fig. 50 is a view of a signal line driver circuit.
Fig. 51 is a view of a signal line driver circuit.
Fig. 52 is views of a light emitting device.
Fig. 53 is circuit diagrams of a pixel of a light emitting device.
Fig. 54 is a timing chart.
Fig. 55 is a timing chart.
Fig. 56 is a timing chart.
Fig. 57 is a layout view of a current source circuit.
Fig. 58 is a circuit diagram of a current source circuit.

Best Mode for embodying the Invention

Embodiment 1

In this embodiment, a description will be made of a structure and an operation of a current source circuit 420 shown in Fig. 1 provided to a signal line driver circuit of the present invention.

The signal line driver circuit includes the current control source circuit 420, a shift register, and a latch circuit. Further,

the signal line driver circuit has the first shift register that controls the current source circuit 420 and the second shift register that controls the latch circuit etc.

In the present invention, a setting signal input from a terminal a corresponds to a sampling pulse from a first shift register. That is, the setting signal in Fig. 1 corresponds to the sampling pulse supplied from the first shift register. The present invention performs setting of the current source circuit 420 in accordance with the timing of the sampling pulse supplied from the first shift register.

In the present invention, independent operations of the first shift register and the second shift register can be fully conducted by means of providing the first shift register that controls the current source circuit 420 and the second shift register that controls the latch circuit. That is, the first shift register can be operated at a low speed while the second shift register is operated at a high speed. Accordingly, it is possible that the setting of the current source circuit 420 spend as much as time as it is conducted precisely.

Note that a shift register includes a flip-flop circuit, a decoder circuit, or the like. In the case where the shift register includes the flip-flop circuit, in general, a plurality of wirings are sequentially selected from the first column to the last column. On the other hand, in the case where the shift register includes the decoder circuit or the like, a plurality of wirings are sequentially selected from the first column to the last column or selected at random. The shift register may select properly

according to the usage. In the case of selecting the structure having a function capable of selecting a plurality of wirings at random, setting can be output randomly. Therefore, the setting operation of the current source circuit is not performed sequentially from the first column to the last column, and can be performed randomly. When the setting operation of the current source circuit can be performed at random as described above, in the case where there exists a defect accompanied with the setting operation of the current source circuit, the defect can be made inconspicuous. The shift register may select properly according to the usage.

Note that a shift register has a structure including, for example, flip-flop circuits (FFs) in a plurality of columns. A clock signal (S-CLK), a start pulse (S-SP), and an inverted clock signal (S-CLKb) are input to the shift register, and signals serially output according to the timing of the input signals are referred to as sampling pulses.

In Fig. 6(A), a circuit including switches 104, 105a, and 106, a transistor 102 (n-channel type), and a capacitor device 103 for retaining a gate-source voltage VGS of the transistor 102 corresponds to the current source circuit 420.

In the current source circuit 420, the switch 104 and the switch 105a are turned ON by a sampling pulse input via the terminal a. Then, a current (reference current) is supplied via the terminal b from the reference constant current source 109 (hereinafter referred to as constant current source 109) connected to the current line, and a predetermined charge is retained in

the capacitor device 103. The charge is retained in the capacitor device 103 until the current (reference current) flown from the constant current source 109 becomes identical with a drain current of the transistor 102.

Then, the switches 104 and 105a are turned OFF by the signal input via the terminal a. As a result, since the predetermined charge is retained in the capacitor device 103, the transistor 102 has a capability of flowing a current having a magnitude corresponding to the signal current I_{data} . If the switch 101 (signal current control switch) and the switch 106 are turned into a conductive state, a current flows to a pixel connected to the signal line via the terminal c. At this time, since the gate voltage of the transistor 102 is set to a predetermined gate voltage by the capacitor device 103, a drain current corresponding to the signal current I_{data} flows to the drain region of the transistor 102. Thus, the magnitude of the current input to the pixel can be controlled without being influenced by the variation in characteristics of the transistors constituting the signal line driver circuit.

Note that, in the case where the switch 101 (signal current control switch) is not arranged, when the switch 116 is turned into a conductive state, a current is supplied to the pixel connected to the signal line via the terminal c.

The connection structure of the switches 104 and 105a is not limited to the structure shown in Fig. 6(A). For example, the structure may be such that: one of terminals of the switch 104 is connected to the terminal b, and the other terminal is

connected to the gate electrode of the transistor 102; and one of terminals of the switch 105a is connected to the terminal b via the switch 104, and the other terminal is connected to the switch 106. The switch 104 and the switch 105a are controlled by the signal inputted from the terminal a.

Alternatively, the switch 104 may be arranged between the terminal b and the gate electrode of the transistor 102, and the switch 105a may be arranged between the terminal b and the switch 116. Incidentally, referring to Fig. 31(A), switches may be arranged such that the connection is structured as shown in Fig. 31(A1) in the setting operation, and the connection is structured as shown in Fig. 31(A2) in the input operation. The number of switches and the number of wirings, which are arranged in the current source circuit and the connection are not particularly limited.

In the current source circuit 420 of Fig. 6(A), the operation for setting the signal (setting operation) cannot be performed simultaneously with the operation for inputting the signal (input operation) to the pixel.

Referring to Fig. 6(B), a circuit including a switch 124, a switch 125, a transistor 122 (n-channel type), a capacitor device 123 for retaining a gate-source voltage VGS of the transistor 122, and a transistor 126 (n-channel type) corresponds to the current source circuit 420.

The transistor 126 functions as either a switch or a part of a current source transistor.

In the current source circuit 420, the switch 124 and the

switch 125 are turned ON by a sampling pulse input via the terminal a. Then, a current (reference current) is supplied via the terminal b from the constant current source 109 connected to the current line, and a predetermined charge is retained in the capacitor device 123. The charge is retained until the current (reference current) flown from the constant current source 109 becomes identical with a drain current of the transistor 122. Note that, when the switch 124 is turned ON, since a gate-source voltage V_{GS} of the transistor 126 is set to 0 V, the transistor 126 is turned OFF.

Subsequently, the switches 124 and 125 are turned OFF. As a result, since the predetermined charge is retained in the capacitor device 123, the transistor 122 has a capability of flowing a current having a magnitude corresponding to that of the signal current I_{data} . If the switch 101 (signal current control switch) is turned into the conductive state, a current flows to a pixel connected to the signal line via the terminal c. This is because the gate voltage of the transistor 122 is set at a predetermined gate voltage by the capacitor device 123, and thus, a drain current corresponding to the signal current I_{data} flows to the drain region of the transistor 122. Therefore, the magnitude of the current that is input to the pixel can be controlled without being influenced by the variation in characteristics of the transistors constituting the signal line driver circuit.

Note that, when the switches 124 and 125 have been turned OFF, a gate and a source of the transistor 126 do not have the same potential. As a result, since the charge retained in the

capacitor device 123 is distributed also to the transistor 126, and the transistor 126 is automatically turned ON. Here, the transistors 122 and 126 are connected in series, and the gates thereof are connected to each other. Accordingly, the transistors 122 and 126 each serve as a multi-gate transistor. That is, a gate length L of the transistor varies between the setting operation and the input operation. Therefore, the value of the current supplied from the terminal b at the time of the setting operation can be made larger than the value of the current supplied from the terminal c at the time of the input operation. Thus, various loads (such as wiring resistances and cross capacitances) disposed between the terminal b and the reference constant current source can be charged even faster. Consequently, the setting operation can be completed quickly. In the case where the switch 101 (signal current control switch) is not arranged, when the switch 126 is turned into the conductive state, a current flows via the terminal c to the pixel connected to the signal line.

Further, the number of switches and the number of wirings, which are arranged in the current source circuit, and the connection are not particularly limited. Specifically, referring to Fig. 31(B), wirings and switches may be arranged such that the connection is structured as shown in Fig. 31(B1) in the setting operation, and the connection is structured as shown in Fig. 31(B2) in the input operation. In particular, in Fig. 31(C2), it is sufficient that the charge accumulated in a capacitor device 107 does not leak.

In the current source circuit 420 of Fig. 6(A), the operation

for setting the signal (setting operation) cannot be performed simultaneously with the operation for inputting the signal (input operation) to the pixel.

Referring to Fig. 6 (C), a circuit including a switch 108, a switch 110, transistors 105b and 106 (n-channel type), and a capacitor device 107 for retaining gate-source voltages VGS of the transistors 105b and 106 corresponds to the current source circuit 420.

In the current source circuit 420, the switch 108 and the switch 110 are turned ON by a sampling pulse input via the terminal a. Then, a current (reference current) is supplied via the terminal b from the constant current source 109 connected to the current line, and a predetermined charge is retained in the capacitor device 107. The charge is retained until the current (reference current) flown from the constant current source 109 becomes identical with a drain current of the transistor 105b. At this time, since the gate electrodes of the transistor 105b and of the transistor 106 are connected to each other, the gate voltages of the transistor 105b and the transistor 106 are retained by the capacitor device 107.

Then, the switches 108 and 110 are turned OFF by a signal input via the terminal a. At this time, since the predetermined charge is retained in the capacitor device 107, the transistor 106 has a capability of flowing a current having a magnitude corresponding to that of the current (reference current). If the switch 101 (signal current control switch) is turned to the conductive state, a current flows to a pixel connected to the

signal line via the terminal c. This is because the gate voltage of the transistor 106 is set to a predetermined gate voltage by the capacitor device 107, and thus, a drain current corresponding to the current (reference current) flows to the drain region of the transistor 106. Thus, the magnitude of the current input to the pixel can be controlled without being influenced by the variation in characteristics of the transistors constituting the signal line driver circuit.

Note that, in the case where the switch 101 (signal current control switch) is not arranged, a current flows to the pixel connected to the signal line via the terminal c.

At this time, characteristics of the transistor 105b and the transistor 106 need to be the same to cause the drain current corresponding to the signal current I_{data} to flow precisely to the drain region of the transistor 106. To be more specific, values such as mobility and thresholds of the transistors 105b and 106 need to be the same. In addition, in Fig. 6(C), the value of W/L of each of the transistors 105b and 106 may be arbitrarily set, and a current proportional to the current supplied from the constant current source 109 may be supplied to the pixel.

Further, the value of W/L of the transistor 105b or the transistor 106 that is connected to the constant current source 109 is set high, whereby the write speed can be increased by supplying a large current from the constant current source 109.

Note that, with the current source circuit 420 shown in Fig. 6(C), the setting operation for conducting setting to make the current source circuit have a capability of flowing a signal

current can be performed simultaneously with the input operation for inputting the signal current to the pixel.

The current source circuit 420 shown in each of Figs. 6(D) and 6(E) has the same structure as that of the current source circuit of Fig. 6(C), except for the connection of the switch 110. In addition, since the operation of the current source circuit 420 of each of Figs. 6(D) and 6(E) conforms to the operation of the current source circuit 420 of Fig. 6(C), a description thereof will be omitted here.

Note that, the number of switches and the connection structure are not particularly limited. Specifically, referring to Fig. 31(C), wirings and switches may be arranged such that the connection is structured as shown in Fig. 31(C1) in the setting operation, and the connection is structured as shown in Fig. 31(C2) in the input operation. In particular, in Fig. 31(C2), it is sufficient that the charge held in the capacitor device 107 does not leak. The number of wirings, the number of switches, and the connection structures are not particularly limited.

Referring to Fig. 32(A), a circuit including switches 195b, 195c, 195d, and 195f, a transistor 195a, and a capacitor device 195e corresponds to the current source circuit. In the current source circuit shown in Fig. 32(A), the switches 195b, 195c, 195d, and 195f are turned ON by a signal input via the terminal a. Then, a current is supplied via the terminal b from the constant current source 109 connected to the current line. A predetermined charge is retained in the capacitor device 195e until the signal current supplied from the constant current source 109 becomes identical

with a drain current of the transistor 195a.

Then, the switches 195b, 195c, 195d, and 195f are turned OFF by the signal input via the terminal a. At this time, since the predetermined charge is retained in the capacitor device 195e, the transistor 195a has a capability of flowing a current having a magnitude corresponding to that of the signal current. This is because the gate voltage of the transistor 195a is set to a predetermined gate voltage by the capacitor device 195e, and thus, a drain current corresponding to a current (reference current) flows to the drain region of the transistor 195a. In this state, a current is supplied to the outside via the terminal c. Note that, in the current source circuit shown in Fig. 32(A), the operation for setting the current source circuit to have a capability of flowing a signal current cannot be performed simultaneously with the input operation for inputting the signal current to the pixel. Incidentally, when a switch controlled by the signal input via the terminal a is ON, and also, when a current is controlled not to flow from the terminal c, the terminal c needs to be connected to another wiring of the other potential. Assuming that the wiring potential is represented by V_a , V_a may have any value as long as V_a is a potential sufficient to flow a current flowing from the terminal b as it is. A power supply voltage V_{dd} may be adopted as an example.

Note that, the number of switches, and the connection are not particularly limited. Specifically, referring to Figs. 32(B) and 32(C), wirings and switches may be arranged such that the connection is structured as shown in either Fig. 32(B1) or 32(C1)

in the setting operation, and the connection is structured as shown in either Fig. 32(B2) or 32(C2) in the input operation. The number of wirings, the number of switches, and the connection structures are not particularly limited.

Further, in the current source circuits 420 of Figs. 6(A) and 6(C) to 6(E), the current-flow directions (directions from the pixel to the signal line driver circuit) are the same. The conductivity type of each of the transistors 102, 105b, and 106 may be of p-channel type.

Fig. 7(A) shows a circuit diagram in which the current-flow direction (direction from the pixel to the signal line driver circuit) is the same, and the transistor 102 shown in Fig. 6(A) is set to be of p-channel type. In Fig. 6(A), with the capacitor device arranged between the gate and the source, even when the source potential varies, the gate-source voltage can be maintained. Further, Figs. 7(B) to 7(D) show circuit diagrams in which the current-flow directions (directions from the pixel to the signal line driver circuit) are the same, and the transistors 105b and 106 shown in Figs. 6(C) to 6(D) are set to be of p-channel type.

Fig. 33(A) shows a case where the transistor 195a is set to be of p-channel type in the structure of Fig. 32. Fig. 33(B) shows a case where the transistors 122 and 126 are set to be of p-channel type in the structure of Fig. 6(B).

Referring to Fig. 35, a circuit including switches 104 and 116, a transistor 102, a capacitor device 103, and the like corresponds to the current source circuit.

Fig. 35(A) corresponds to the circuit of Fig. 6(A) which

is partly modified. In the current source circuit of Fig. 35(A), the transistor gate width W varies between the setting operation of the current source and the input operation. Specifically, the connection is structured as shown in Fig. 35(B) in the setting operation while the connection is structured as shown in Fig. 35(C) in the input operation. Thus, the gate width W differs. Therefore, the value of the current supplied from the terminal b at the time of the setting operation can be made larger than the value of the current supplied from the terminal c at the time of the input operation. Thus, various loads (such as wiring resistances and cross capacitances) disposed between the terminal b and the reference constant current source can be charged even faster. Consequently, the setting operation can be completed quickly.

Note that, Fig. 35 shows the circuit of Fig. 6(A) which is partly modified. In addition, the circuit can be easily applied to, for example, other circuits shown in Fig. 6 and to the circuits shown in Fig. 7, Fig. 32, Fig. 33, Fig. 34, and the like.

Note that, in each of the current source circuits shown in Figs. 6, 7, and 32, a current flows from the pixel to the signal line driver circuit. However, the current not only flows from the pixel to the signal line driver circuit, but also may flow from the signal line driver circuit to the pixel. The direction of the current flow depends on the pixel structure. In the case where the current flows from the signal line driver circuit to the pixel, V_{ss} (low potential power source) may be changed to V_{dd} (high potential power source), and the transistors 102, 105b,

106, 122, and 126 may be set to be of p-channel type in Fig. 6. Also in Fig. 7, Vss may be changed to Vdd, and the transistors 102, 105b, and 106 may be of n-channel type.

Note that, in all the current source circuits described above, the arranged capacitor device may not be arranged by being substituted by, for example, a gate capacitance of a transistor.

In the circuits of Figs. 7(A) to 7(D) and 33(A) and 33(B), wirings and switches may be arranged such that the connection is structured as shown in Figs. 34(A1) to 34(D1) in the setting operation, and the connection is structured as shown in Figs. 34(A2) to 34(D2) in the input operation. The number of switches and the number of wirings are not particularly limited.

Hereinafter, a description will be made in detail regarding the operations of the current source circuits of Figs. 6(A), 7(A), 6(C) to 6(E), and 7(B) to 7(D). To begin with, the operations of the current source circuits of Figs. 6(A) and 7(A) will be described with reference to Fig. 19.

Figs. 19(A) to 19(C) schematically show paths of a current flowing among circuit elements. Fig. 19(D) shows the relationship between the current flowing through each path and the time in writing the signal current to the current source circuit. Fig. 19(E) shows the relationship between the voltage accumulated in a capacitor device 16, that is, the gate-source voltage of a transistor 15, and the time in writing the signal current to the current source circuit. In the circuit diagrams of Figs. 19(A) to 19(C), numeral 11 denotes a reference constant current source (hereinafter referred to as constant current source), switches

12 to 14 each are a semiconductor device having a switching function, numeral 15 denotes a transistor, numeral 16 denotes a capacitor device, and numeral 17 denotes a pixel. Further, the circuit including the switch 14, the transistor 15, and the capacitor device 16 corresponds to a current source circuit 20. In Fig. 19A, outgoing lines and symbols are illustrated. In Fig. 19B, 19C, the outgoing lines and symbols conform to Fig. 19A so that the description thereof will be omitted.

A source region of the transistor 15 is connected to Vss, and a drain region thereof is connected to the constant current source 11. One of electrodes of the capacitor device 16 is connected to Vss (the source of the transistor 15), and the other electrode is connected to the switch 14 (the gate of the transistor 15). The capacitor device 16 plays a role of holding the gate-source voltage of the transistor 15.

The pixel 17 is formed of a light emitting device, a transistor, or the like. The light emitting device includes an anode, a cathode, and a light emitting layer sandwiched between the anode and the cathode. In this specification, the cathode is referred to as the opposite electrode when the anode is used as a pixel electrode, and the anode is referred to as the opposite electrode when the cathode is used to as a pixel electrode. The light emitting layer can be formed of a known light emitting material. Further, the light emitting layer has two structures: a single layer structure and a laminate structure, and any one of the structures may be used. Luminescence in the light emitting layer includes light emission (fluorescence) in returning from a singlet excited state

to a normal state and light emission (phosphorescence) in returning from a triplet excited state to a normal state. Either one or both of the two types of light emission may be used. Further, the light emitting layer is formed of a known material such as an organic material or an inorganic material.

In practice, the current source circuit 20 is provided in the signal line driver circuit. A current corresponding to the signal current flows via, for example, a circuit element included in the signal line or the pixel, from the current source circuit 20 provided in the signal line driver circuit. However, since Fig. 19 is a diagram for briefly explaining the outline of the relationship among the constant current source 11, the current source circuit 20, and the pixel 17, a detailed illustration of the structure is omitted.

First, an operation (setting operation) of the current source circuit 20 for retaining the signal current I_{data} will be described by using Figs. 19(A) and 19(B). Referring to Fig. 19(A), the switches 12 and 14 are turned ON, and the switch 13 is turned OFF. The signal current is supplied from the constant current source 11, and flows to the current source circuit 20 from the constant current source 11. At this time, the current flows separately through current paths I_1 and I_2 in the current source circuit 20, as shown in Fig. 19(A). Fig. 19(D) shows the relationship. Needless to say, the relationship is expressed as $I_{\text{data}} = I_1 + I_2$.

The moment the current starts to flow from the constant current source 11, since no charge is held in the capacitor device

16, the transistor 15 is OFF. Accordingly, $I_2 = 0$ and $I_{data} = I_1$ are established.

Charge is gradually accumulated into the capacitor device 16, and a potential difference begins to occur between both electrodes of the capacitor device 16 (Fig. 19(E)). When the potential difference between both the electrodes has reached V_{th} (point A in Fig. 19(E)), the transistor 15 is turned ON, and $I_2 > 0$ is established. As described above, since $I_{data} = I_1 + I_2$, while I_1 gradually decreases, the current keeps flowing. Charge accumulation is continuously performed in the capacitor device 16.

The potential difference between both the electrodes of the capacitor device 16 serves as the gate-source voltage of the transistor 15. Thus, charge accumulation in the capacitor device 16 continues until the gate-source voltage of the transistor 15 reaches a desired voltage, that is, a gate-source voltage that allows the transistor 15 to be flown with the current I_{data} . When charge accumulation terminates (B point in Fig. 19(E)), the current I_2 stops flowing. Further, since the TFT 15 is fully ON, $I_{data} = I_2$ is established (Fig. 19(B)).

Next, an operation (input operation) for inputting the signal current I_{data} to the pixel will be described by using Fig. 19(C). In Fig. 19(C), the switch 13 is turned ON, and the switches 12 and 14 are turned OFF. Since a predetermined charge is held in the capacitor device 16, the transistor 15 is ON. A current corresponding to the signal current flows to Vss via the switch 13 and transistor 15, and a predetermined signal current I_{data}

is supplied to the pixel. At this time, when the transistor 15 is set to operate in a saturation region, even if the source-drain voltage of the transistor 15 varies, a constant current is supplied to the light emitting device.

In the current source circuit 20 shown in Fig. 19, as shown in Figs. 19(A) to 19(C), the operation is divided into an operation (setting operation; corresponding to Figs. 19(A) and 19(B)) for completing a write of the signal current I_{data} to the current source circuit 20, and an operation (input operation; corresponding to Fig. 19(C)) for inputting the signal current I_{data} to the pixel). Then, in the pixel, a current is supplied to the light emitting device in accordance with the input signal current I_{data} .

The current source circuit 20 of Fig. 19 is not capable of performing the setting operation and the input operation simultaneously. In the case where the setting operation and the input operation need to be performed simultaneously, at least two current source circuits are preferably provided to each of a plurality of signal lines each of which is connected with a plurality of pixels and which are provided in a pixel portion. However, if the setting operation can be performed within a period during which the signal current I_{data} is not input to the pixel, only one current source circuit may be provided for each signal line (each column).

Although the transistor 15 shown in each of Figs. 19(A) to 19(C) is of n-channel type, the transistor 15 may be of p-channel type, of course. A circuit diagram for the case where the transistor 15 is of p-channel type is shown in Fig. 19(F).

Referring to Fig. 19(F), numeral 31 denotes a reference constant current source, switches 32 to 34 each are a semiconductor device having a switching function, numeral 35 denotes a transistor, numeral 36 denotes a capacitor device, and numeral 37 denotes a pixel. The circuit including the switch 34, the transistor 35, and the capacitor device 36 corresponds to a current source circuit 24.

The transistor 35 is of p-channel type. One of a source region and a drain region of the transistor 35 is connected to Vdd, and the other is connected to the constant current source 31. One of electrodes of the capacitor device 36 is connected to Vdd, and the other electrode is connected to the switch 36. The capacitor device 36 plays a role of holding the gate-source voltage of the transistor 35.

Operation of the current source circuit 24 of Fig. 19(F) is similar to the operation of the current source circuit 20 described above, except for the current-flow direction, and thus, a description thereof will be omitted here. In the case of designing the current source circuit in which the polarity of the transistor 15 is changed without changing the current-flow direction, the circuit diagram of Fig. 7(A) may be referenced.

Note that in Fig. 36, the current-flow direction is the same as in Fig. 19(F), in which the transistor 35 is of n-channel type. The capacitor device 36 is connected between the gate and the source of the transistor 35. The source potential of the transistor 35 varies between the setting operation and the input operation. However, even when the source potential of the

transistor 35 varies, since the gate-source voltage is retained, the operation is normally implemented.

Next, operations of the current source circuits shown in Figs. 6(C) to 6(E) and Figs. 7(B) to 7(D) will be described by using Figs. 20 and 21. Figs. 20(A) to 20(C) schematically show paths through which a current flows among circuit elements. Fig. 20(D) shows the relationship between the current flowing through each path and the time in writing the signal current I_{data} to the current source circuit. Fig. 20(E) shows the relationship between the voltage accumulated in a capacitor device 46, that is, the gate-source voltages of transistors 43 and 44, and the time in writing the signal current I_{data} to the current source circuit. Further, in the circuit diagrams of Figs. 20(A) to 20(C), numeral 41 denotes a reference constant current source (hereinafter referred to as constant current source 41), a switch 42 is a semiconductor device having a switching function, numerals 43 and 44 denote transistors, numeral 46 denotes a capacitor device, and numeral 47 denotes a pixel. The circuit including the switch 42, the transistors 43 and 44, and the capacitor device 46 corresponds to a current source circuit 25. In Fig. 20A, outgoing lines and symbols are illustrated. In Fig. 20B, 20C, the outgoing lines and symbols conform to Fig. 20A so that the description thereof will be omitted.

A source region of the n-channel transistor 43 is connected to Vss, and a drain region thereof is connected to the constant current source 41. A source region of the n-channel transistor 44 is connected to Vss, and a drain region thereof is connected

to a terminal 48 of the pixel 47. One of electrodes of the capacitor device 46 is connected to Vss (the sources of the transistors 43 and 44), and the other electrode is connected to the gate electrodes of the transistors 43 and 44. The capacitor device 46 plays a role of holding gate-source voltages of the transistor 43 and the transistor 44.

Note that, in practice, the current source circuit 25 is provided in the signal line driver circuit. A current corresponding to the signal current I_{data} flows via, for example, a circuit element included in the signal line or the pixel, to the light emitting device from the current source circuit 25 provided in the signal line driver circuit. However, since Fig. 20 is a diagram for briefly explaining the outline of the relationship among the constant current source 41, the current source circuit 25, and the pixel 47, a detailed illustration of the structure is omitted.

In the current source circuit 25 of Fig. 20, the sizes of the transistor 43 and the transistor 44 are important. Hereinafter, using different reference symbols, a case where the sizes of the transistors 43 and 44 are identical and a case where the sizes are mutually different will be described. Referring to Figs. 20(A) to 20(C), the case where the sizes of the transistors 43 and 44 are mutually identical will be described by using the signal current I_{data} . The case where the sizes of the transistors 43 and 44 are mutually different will be described by using a signal current I_{data1} and a signal current I_{data2} . Note that the sizes of the transistors 43 and 44 are determined using the value

of W (gate width)/ L (gate length) of each transistor.

First, the case where the sizes of the transistors 43 and 44 are mutually identical will be described. To begin with, operation for retaining the signal current I_{data} in the current source circuit 20 will be described by using Figs. 20(A) and 20(B). Referring to Fig. 20(A), when the switch 42 is turned ON, the signal current I_{data} is set in the reference constant current source 41, and flows from the constant current source 41 to the current source circuit 25. At this time, since the signal current I_{data} is flowing from the reference constant current source 41, the current flows separately through current paths I_1 and I_2 in the current source circuit 25, as shown in Fig. 20(A). Fig. 20(D) shows the relationship at this time. Needless to say, the relationship is expressed as $I_{data} = I_1 + I_2$.

The moment the current starts to flow from the constant current source 41, since no charge is yet accumulated in the capacitor device 46, the transistors 43 and 44 are OFF. Accordingly, $I_2 = 0$ and $I_{data} = I_1$ are established.

Then, charge is gradually accumulated into the capacitor device 46, and a potential difference begins to occur between both electrodes of the capacitor device 46 (Fig. 20(E)). When the potential difference of both the electrodes has reached V_{th} (point A in Fig. 20(E)), the transistors 43 and 44 are turned ON, and $I_2 > 0$ is established. As described above, since $I_{data} = I_1 + I_2$, while I_1 gradually decreases, the current keeps flowing. Charge accumulation is continuously performed in the capacitor device 46.

The potential difference between both the electrodes of the capacitor device 46 serves as the gate-source voltage of each of the transistors 43 and 44. Thus, charge accumulation in the capacitor device 46 continues until the gate-source voltages of the transistors 43 and 44 each reach a desired voltage, that is, a gate-source voltage that allows the transistor 44 to be flown with the current I_{data} (VGS). When charge accumulation terminates (B point in Fig. 20(E)), the current I_2 stops flowing. Further, since the transistors 43 and 44 are fully ON, $I_{data} = I_2$ is established (Fig. 20(B)).

Next, an operation for inputting the signal current I_{data} to the pixel will be described by using Fig. 20(C). First, the switch 42 is turned OFF. Since predetermined charge is retained in the capacitor device 46, the transistors 43 and 44 are ON. A current identical with the signal current I_{data} flows from the pixel 47. Thus, the signal current I_{data} is input to the pixel. At this time, when the transistor 44 is set to operate in a saturation region, even if the source-drain voltage of the transistor 44 varies, the current flowing in the pixel can be flown without variation.

In the case of a current mirror circuit shown in Fig. 6(C), even when the switch 42 is not turned OFF, a current can be flown to the pixel 47 by using the current supplied from the constant current source 41. That is, the setting operation for setting a signal for the current source circuit 20 can be implemented simultaneously with the operation (input operation) for inputting a signal to the pixel.

Next, a case where the sizes of the transistors 43 and 44 are mutually different will be described. An operation of the current source circuit 25 is similar to the above-described operation, therefore, a description thereof will be omitted here. When the sizes of the transistors 43 and 44 are mutually different, the signal current I_{data1} set in the reference constant current source 41 is inevitably different from the signal current I_{data2} that flows to the pixel 47. The difference therebetween depends on the difference between the values of W (gate width)/ L (gate length) of the transistors 43 and 44.

In general, the W/L value of the transistor 43 is preferably set larger than the W/L value of the transistor 44. This is because the signal current I_{data1} can be increased when the W/L value of the transistor 43 is set large. In this case, when the current source circuit is set with the signal current I_{data1} , loads (cross capacitances, wiring resistances) can be charged. Thus, the setting operation can be completed quickly.

The transistors 43 and 44 of the current source circuit 25 in each of Figs. 20(A) to 20(C) are of n-channel type, but the transistors 43 and 44 of the current source circuit 25 may be of p-channel type. Here, Fig. 21 shows a circuit diagram in which the transistors 43 and 44 are of p-channel type.

Referring to Fig. 21, numeral 41 denotes a constant current source, a switch 42 is a semiconductor device having a switching function, numerals 43 and 44 denote transistors (p-channel type), numeral 46 denotes a capacitor device, and numeral 47 denotes a pixel. In this embodiment, the switch 42, the transistors 43

and 44, and the capacitor device 46 form an electric circuit corresponding to a current source circuit 26.

A source region of the p-channel transistor 43 is connected to Vdd, and a drain region thereof is connected to the constant current source 41. A source region of the p-channel transistor 44 is connected to Vdd, and a drain region thereof is connected to a terminal 48 of the pixel 47. One of electrodes of the capacitor device 46 is connected to Vdd (source), and the other electrode is connected to the gate electrodes of the transistors 43 and 44. The capacitor device 46 plays a role of holding gate-source voltages of the transistors 43 and 44.

Operation of the current source circuit 24 of Fig. 21 is similar to that shown in each of Figs. 20(A) to 20(C) except for the current-flow direction, and thus, a description thereof will be omitted here. In the case of designing the current source circuit in which the polarities of the transistors 43 and 44 are changed without changing the current-flow direction, the circuit diagram of Fig. 7(B) may be referenced.

In addition, the transistor polarity can be changed without changing the current-flow direction. This conforms to the operation illustrated in Fig. 36, so that a description thereof will be omitted here.

In summary, in the current source circuit of Fig. 19, the current having the same magnitude as that of the signal current I_{data} set in the current source flows to the pixel. In other words, the signal current I_{data} set in the constant current source is identical in value with the current flowing to the pixel. The

current is not influenced by variation in characteristics of the transistors provided in the current source circuit.

In each of the current source circuits of Fig. 19 and Fig. 6(B), the signal current I_{data} cannot be output to the pixel from the current source circuit in a period during which the setting operation is performed. Thus, two current source circuits are preferably provided for each signal line, in which an operation (setting operation) for setting a signal is performed to one of the current source circuits, and an operation (input operation) for inputting I_{data} to the pixel is performed using the other current source circuit.

Incidentally, in the case where the setting operation and the input operation are not performed at the same time, only one current source circuit may be provided for each column. The current source circuit of each of Figs. 32(A) and 33(A) is similar to the current source circuit of Fig. 19, except for the connection and current-flow paths. The current source circuit of Fig. 35(A) is similar to the current source circuit of Fig. 19, except for the difference in magnitude between the current supplied from the constant current source and the current flowing from the current source circuit. The current source circuits of Figs. 6(B) and 33(B) are similar to the current source circuit of Fig. 19, except for the difference in magnitude between the current supplied from the constant current source and the current flowing from the current source circuit. Specifically, in the structure of Fig. 35(A), only the gate width W of the transistor is different between the setting operation and the input operation; in the structure of

each of Figs. 6(B) and 33(B), only the gate length L is different between the setting operation and the input operation; and others are similar to those of the structure of the current source circuit in Fig. 19.

On the other hand, in each of the current source circuits of Figs. 20 and 21, the signal current I_{data} set in the constant current source and the value of the current flowing to the pixel are dependent on the sizes of the two transistors provided in the current source circuit. In other words, the signal current I_{data} set in the constant current source and the current flowing to the pixel can be arbitrarily changed by arbitrarily designing the sizes (W (gate width)/ L (gate length)) of the two transistors provided in the current source circuit. However, output of precise signal current I_{data} to the pixel is difficult in the case where variation is caused in the characteristics of the two transistors, such as threshold values and mobility.

Further, in each of the current source circuits of Figs. 20 and 21, the signal can be input to the pixel in the period during which the setting operation is performed. That is, the operation (setting operation) for setting the signal can be performed simultaneously with the operation (input operation) for inputting the signal to the pixel. Thus, unlike the current source circuit of Fig. 19, two current source circuits do not need to be provided in a single signal line.

There are three general classifications for providing the current source circuit in the signal line driver circuit. First, the current source circuit of Fig. 19 is provided in each signal

line. Second, two current source circuits of Fig. 19 are provided in each signal line. And third, the current source lines of Figs. 20 and 21 are formed in each signal lines.

In one case among above three for providing one current source circuit of Fig. 19 in each signal line, the operation of the first shift register needs to be performed during the period that the second shift register is not operating. During other periods, the first shift register and the second shift register may be operated at same frequencies, and also operated at different frequencies. It results from the fact that the setting operation and the input operation can not be performed simultaneously in the case of providing the current source circuit of Fig. 19 in each signal line. When the second shift register is used when the input operation is performed, and the first shift register is used when the setting operation is performed. Namely, the first shift register can not perform during the period that the second shift register is operated, since the input operation is performed through that period.

The present invention with the above structure can suppress the influence of variation in the TFT characteristics and supply a desired current to the outside.

Embodiment 2

The above has described that, for the current source circuit shown in Fig. 19 (or, Fig. 6(B), 33(B), 35(A), or the like), preferably, two current source circuits are provided for each signal line (each column), in which one of the current source

circuits is used to perform the setting operation, and the other current source circuit is used to perform the setting operation. This is because the setting operation and the input operation cannot be performed simultaneously. In this embodiment, the structure and operation of either the first current source circuit 421 or the second current source circuit 422 shown in Fig. 2 will be described with reference to Fig. 8.

Note that the signal line driver circuit includes the current source circuit 420, the shift register, the latch circuits, and the like. The signal line driver circuit of the present invention includes the first shift register that controls the current source circuit 420 and the second shift register that controls the latch circuit.

In the present invention, a setting signal input from a terminal a corresponds to a sampling pulse supplied from a first shift register. That is, the setting signal in Fig. 2 corresponds to the sampling pulse supplied from the first shift register. The present invention performs setting of the current source circuit 420 in accordance with the timing of the sampling pulse supplied from the first shift register and the control line.

In the present invention, independent operations of the first shift register and the second shift register can be fully conducted by means of providing the first shift register that controls the current source circuit 420 and the second shift register that controls the latch circuit. That is, the first shift register can be operated at a low speed while the second shift register is operated at a high speed. Accordingly, it is

possible that the setting of the current source circuit 420 spend as much as time as it is conducted precisely.

Note that a shift register has a structure including, for example, flip-flop circuits (FFs) in a plurality of columns. A clock signal (S-CLK), a start pulse (S-SP), and an inverted clock signal (S-CLKb) are input to the shift register, and signals serially output according to the timing of the input signals are referred to as sampling pulses.

Note that a shift register includes a flip-flop circuit, a decoder circuit, or the like. In the case where the shift register includes the flip-flop circuit, in general, a plurality of wirings are sequentially selected from the first column to the last column. On the other hand, in the case where the shift register includes the decoder circuit or the like, a plurality of wirings are sequentially selected from the first column to the last column or selected at random. The shift register may select properly according to the usage. In the case of selecting the structure having a function capable of selecting a plurality of wirings at random, setting can be output randomly. Therefore, the setting operation of the current source circuit is not performed sequentially from the first column to the last column, and can be performed randomly. When the setting operation of the current source circuit can be performed at random as described above, in the case where there exists a defect accompanied with the setting operation of the current source circuit, the defect can be made inconspicuous. The shift register may select properly according to the usage.

The current source circuit 420 is controlled by a setting signal input via the terminal a and a signal input via the terminal d, is supplied with a current (reference current) from the terminal b, and outputs a current proportional to the current (reference current) from the terminal c.

Referring to Fig. 8(A), a circuit including switches 134 to 139, a transistor 132 (n-channel type), and a capacitor device 133 for retaining a gate-source voltage V_{GS} of the transistor 132 corresponds to the first current source circuit 421 or the second current source circuit 422.

In the first current source circuit 421 or the second current source circuit 422, the switch 134 and the switch 136 are turned ON by the signal input via the terminal a. Further, the switch 135 and the switch 137 are turned ON by the signal input from the control line via the terminal d. Then, a current (reference current) is supplied via the terminal b from the reference constant current source 109 connected to the current line, and a predetermined charge is retained in the capacitor device 133. The charge is retained in the capacitor device 133 until the current (reference current) that flows from the constant current source 109 becomes identical with a drain current of the transistor 132.

Subsequently, the switches 134 to 137 are turned OFF by the signals input through the terminals a and d. As a result, since the predetermined charge is retained in the capacitor device 133, the transistor 132 has a capability of flowing a current having a magnitude corresponding to that of the signal current I_{data} . If the switch 101 (signal current control switch), the switch

138, and the switch 139 are turned to the conductive state, current flows to a pixel connected to the signal line via a terminal c. At this time, since the gate voltage of the transistor 132 is maintained at a predetermined gate voltage by the capacitor device 133, a drain current corresponding to the signal current I_{data} flows to the drain region of the transistor 132. Thus, the magnitude of the current flown through the pixel can be controlled without being influenced by the variation in characteristics of the transistors constituting the signal line driver circuit.

In the case where the switch 101 (signal current control switch) is not disposed, when the switches 138 and 139 are turned to the conductive state, current flows to the pixel connected to the signal line via the terminal c.

Referring to Fig. 8(B), a circuit including switches 144 to 147, a transistor 142 (n-channel type), a capacitor device 143 for retaining a gate-source voltage VGS of the transistor 142, and a transistor 148 (n-channel type) corresponds to the first current source circuit 421 or the second current source circuit 422.

In the first current source circuit 421 or the second current source circuit 422, the switch 144 and the switch 146 are turned ON by the signal input via the terminal a. Further, the switch 145 and the switch 147 are turned ON by the signal input from the control line via the terminal d. Then, a current (reference current) is supplied via the terminal b from the constant current source 109 connected to the current line, and a charge is retained in the capacitor device 143. The charge is retained in the

capacitor device 143 until the current (reference current) that is flown from the constant current source 109 becomes identical with a drain current of the transistor 142. When the switch 144 and the switch 145 are turned ON, since a gate-source voltage VGS of the transistor 148 is set to 0 V, the transistor 148 is automatically turned OFF.

Subsequently, the switches 144 to 147 are turned OFF by the signals input via the terminals a and d. As a result, since the predetermined charge is retained in the capacitor device 143, the transistor 142 has a capability of flowing a current having a magnitude corresponding to that of the signal current. If the switch 101 (signal current control switch) is turned to the conductive state, current is supplied to a pixel connected to the signal line via the terminal c. At this time, the gate voltage of the transistor 142 is previously set to a predetermined gate voltage by the capacitor device 143, and a drain current corresponding to the signal current I_{data} flows to the drain region of the transistor 142. Thus, the magnitude of the current flown through the pixel can be controlled without being influenced by the variation in characteristics of the transistors constituting the signal line driver circuit.

When the switches 144 and 145 are turned OFF, a gate and a source of the transistor 142 do not have the same potential. As a result, since the charge retained in the capacitor device 143 is distributed also to the transistor 148, and the transistor 148 is automatically turned ON. Here, the transistors 142 and 148 are coupled in series, and the gates thereof are connected

to each other. Therefore, the transistors 142 and 148 each operate as a multi-gate transistor. That is, a gate length L of the transistor differs between the setting operation and the input operation. Thus, the value of current supplied from the terminal b in the setting operation can be made larger than the value of current supplied from the terminal c in the input operation. Thus, various loads (such as wiring resistance and cross capacitance) disposed between the terminal b and the reference constant current source can be charged even faster. Consequently, the setting operation can be completed quickly. In the case where the switch 101 (signal current control switch) is not disposed, when the switches 144 and 145 are turned OFF, current flows to the pixel connected to the signal line via the terminal c .

Note that Fig. 8(A) corresponds to a structure in which the terminal d is added to the structure of Fig. 6(A). Fig. 8(B) corresponds to a structure in which the terminal d is added to the structure of Fig. 6(B). Thus, the structures of Figs. 6(A) and 6(B) are added with switches arranged in series, thereby being modified to those of Figs. 8(A) and 8(B) each of which is added with the terminal d . The structure of the current source circuit shown in, for example, Fig. 6, 7, 33, 32, or 35 can be arbitrarily used by arranging two switches in series in the first current source circuit 421 or the second current source circuit 422.

The structure in which the current source circuit 420 including for each signal line the two current source circuits, namely, the first and second current source circuits 421 and 422, is shown in Fig. 2. However, the present invention is not limited

to this. The number of current source circuits per one signal line is not particularly limited, and can be set arbitrarily. A plurality of current source circuits may be set such that constant current sources are provided corresponding thereto, and that signal currents are set to the current source circuits by the constant current sources. For example, three current source circuits 420 may be provided for each signal line. Then, a signal current may be set by different reference constant current sources 109 for the respective current source circuits 420. For example, it may be such that a 1-bit reference constant current source is used to set a signal current for one of the current source circuits 420, a 2-bit reference constant current source is used to set a signal current for one of the current source circuits 420, and a 3-bit reference constant current source is used to set a signal current for one of the current source circuits 420. Thus, 3-bit display can be performed.

The present invention with the above structure can suppress the influence of variation in TFT characteristics and supply a desired current to the outside.

This embodiment may be arbitrarily combined with Embodiment 1.

Embodiment 3

In this embodiment, the structure of a light emitting device including the signal line driver circuit of the present invention will be described using Fig. 15.

Referring to Fig. 15(A), the light emitting device includes

a pixel portion 402 including a plurality of pixels arranged in matrix on a substrate 401, and includes a signal line driver circuit 403 and first and second scanning line driver circuits 404 and 405 in the periphery of the pixel portion 402. While the signal line driver circuit 403 and the two scanning line driver circuits 404 and 405 are provided in Fig. 15(A), the present invention is not limited to this. The number of driver circuits may be arbitrarily designed depending on the pixel structure. Signals are supplied from the outside to the signal line driver circuit 403 and the first and second scanning line driver circuits 404 and 405 via FPCs 406.

The structures and operations of the first and second scanning line driver circuits 404 and 405 will be described using Fig. 15(B). The first and second scanning line driver circuits 404 and 405 each include a shift register 407 and a buffer 408. The shift register 407 sequentially outputs sampling pulses in accordance with a clock signal (G-CLK), a start pulse (S-SP), and an inverted clock signal (G-CLKb). Thereafter, the sampling pulses amplified in the buffer 408 are input to scanning lines, and the scanning lines are set to be in a selected state for each line. Signals are sequentially written to pixels controlled by the selected signal lines.

Note that the structure may be such that a level shifter circuit is disposed between the shift register 407 and the buffer 408. Disposition of the level shifter circuit enables the voltage amplitude to be increased.

This embodiment may be arbitrarily combined with Embodiments 1 and

2.

Embodiment 4

In the present invention, the configuration of the signal line drive circuit 403 and its operation shown in Fig. 15A will be described below. In the present Embodiment, the signal line drive circuit 403 which is used in the case where the digital tone display of one bit is conducted will be described below with reference to Fig. 3.

First, the case corresponding to Fig. 1 will be described below. Moreover, here, the case of line sequential drive will be described below.

In Fig. 3A, the schematic diagram of the signal line drive circuit 403 in the case where the digital tone display of one bit is carried out is shown. The signal line drive circuit 403 has a first shift register 415, a second shift register 411, first latch circuit 412, a second latch circuit 413, and a constant current circuit 414.

As briefly describing the operation, the first shift register 415 and the second shift register 411 are configured with a plurality of columns such as flip-flop circuit (FF) or the like, according to the timing of clock signal (S-CLK, (S1-CLK, S2-CLK)), start pulse (S-SP (S1-SP, S2-SP)), and clock reverse signal (S-CLKb (S1-CLKb, S2-CLKb)), in turn outputs sampling pulses.

The sampling pulse outputted from the first register 415 is inputted into the constant current circuit 414. The sampling

pulse outputted from the second shift register 411 is inputted into the first latch circuit 412. In the first latch circuit 412, a digital video signal is inputted, according to the timing of the sampling pulse being inputted, the video signal is kept on each column.

In the first latch circuit 412, when keeping of the video signals is completed up to the final column, a latch pulse is inputted in the second latch circuit 413 during the horizontal retrace, the video signals kept in the first latch circuit 412 are transferred to the second latch circuit 413 at the same time. Then, the video signals kept in the second latch circuit 413 are inputted to the constant current circuit 414 by one line at the same time.

While the video signals kept in the second latch circuit 413 are inputted into the constant current circuit 414, in the shift register 411, again, the sampling pulse is outputted. Hereinafter, this operation is repeated, the processing of the video signal is carried out by one frame. It should be noted that the constant current circuit 414 might have the role of converting a digital signal into an analog signal.

Then, in the present invention, the sampling pulse outputted from the first shift register 415 is inputted into the constant current circuit 414.

Moreover, a plurality of the current source circuits 420 are provided in the constant current circuit 414. In Fig. 3(B), the outline signal line drive circuits around three signal lines from the i th column to the $(i+2)$ th column is shown.

The current source circuit 420 is controlled by a signal inputted via the terminal a. Moreover, via the terminal b, the current is supplied from the constant current source for reference 109 which has been connected to the current line. The switch 101 (signal current control switch) is provided between the current source circuit 420 and the pixel connected to the signal line Sn, the foregoing switch 101 (signal current control switch) is controlled by a video signal. In the case where the video signal is bright signal, the signal current is supplied from the current source circuit 420 to the pixel. In the case where the video signal is dark signal, the switch 101 (signal current control switch) is controlled and the current is not supplied to the pixel. Specifically, the current source circuit 420 has the ability to pass the predetermined current, and whether or not the relevant current is supplied to the pixel is controlled by the switch 101 (signal current control switch).

Then, for the configuration of the current source circuit 420, the configuration of the current source circuit 420 shown in Fig. 6, Fig. 7, Fig. 32, Fig. 33, Fig. 35 or the like is capable of being optionally employed. In the foregoing current source circuit 420, not only one configuration may be employed but also a plurality of configurations may be employed.

It should be noted that in the present invention, a setting signal inputted from the terminal a corresponds to a sampling pulse supplied from the first shift register 415. Specifically, the setting of the current source circuit 420 is carried out in accordance with the sampling pulse supplied from the first shift

register 415.

It should be noted that in the case where the configuration shown in Fig. 6A, 7A is employed in the current source circuit 420, during the input operation is carried out, the setting operation is not capable of being carried out. Therefore, during the input operation is not carried out, it is necessary to carry out the setting operation. However, since during the input operation is not carried out, there are some cases where these do not exist in series during one frame, but these may be interspersed, in these cases, the respective columns are not in turn selected, it is preferable that an optional column is capable of being selected. Therefore, it is preferable that a decoder circuit or the like capable of being selected at random is employed. As an example, in Fig. 37, a decoder circuit is shown. Moreover, in Fig. 38A, a shift register configured with a flip-flop circuit 221, a latch 222 in which a column selection signal is inputted and a logic operator 223 in which a selection control signal is inputted is shown, and in Fig. 38B, a shift register configured with a flip-flop circuit 224, a first latch 225 in which a column selection signal is inputted, and a second latch 226 in which a latch signal for selection is inputted is shown. The configuration of either Fig. 38A or B can select a plurality of signal lines at random. It should be noted that in the configurations shown in Fig. 38A and B, the number of wirings to be wired are capable of being reduced comparing to that of the decoder of Fig. 37.

Operations of the circuit shown in Fig. 38A will be briefly described below. The flip-flop circuit (FF) 221 in turn outputs

the sampling pulse according to the timing of a clock signal (CLK), a start pulse (SP) and a clock reverse signal (CLKb). The sampling pulse outputted from the flip-flop circuit 221 is inputted into the latch (LAT1) 222. A column selection signal is inputted into the latch 222, the selection signal is kept only in the latch 222 of the columns which are desired to select according to the timing of the sampling pulse inputted.

During the time when the sampling pulse is outputted from the flip-flop circuit 221, the selection control signal is made L signal. Then, the selection signal is not outputted regardless of the state of the latch 222. Because the output of the latch (LAT1) 222 has been inputted into an AND circuit. In another input terminal of the AND circuit, a selection control signal has been inputted. Therefore, when a L signal is inputted for the selection control signal, L signal is always outputted from the AND circuit. Specifically, the selection signal is not outputted regardless of the state of the latch 222. Then, the sampling pulses are outputted to all the columns from the flip-flop circuit 221, after the selection signal is kept in the latch 222 of the rows which are desired to select by the row section signal, the selection control signal is made a H signal. Then, a signal of the latch 222 is outputted from the AND circuit. In the case where the signal of the latch 222 is a H signal, a H signal is outputted from the AND circuit, and in the case where the signal of the latch 222 is a L signal, a L signal is outputted from the AND circuit. As a result, the selection signal is outputted only in the columns which are desired to select. Because only the signals of the latch

222 of the columns which are desired to select have been H signals. Then, when the output of the selection signal is desired to stop, the selection control signal is made L signal. Then, the selection signal is not outputted. Therefore, the period during the wires are selected is capable of being freely controled.

Then, again, a start pulse (SP) is inputted, the sampling pulse is outputted from the flip-flop circuit (FF), and a similar operation is repeated. In this way, by controlling the timing of the row selection signal, an optional row is capable of being selected at random, and the row is capable of being also optionally changed even during the time when the row is selected. Specifically, the setting operation is capable of being carried out with respect to the current source circuit of an optional row, the period during the time when the setting operation is carried out is capable of being optionally changed. However, in the case of this circuit, during the time when the sampling pulse is outputted from the flip-flop circuit 221, it is not desirable that the selection signal is outputted. Since there is a possibility that the information inputted immediately before this information being inputted is not still kept in the latch 222.

Then, a circuit which has been made so as to be capable of outputting the selection signal during the time when the sampling pulse is outputted from the flip-flop circuit 221 is the circuit shown in Fig. 38B. In Fig. 38B, the sampling pulse is outputted from the flip-flop circuit 224, and a column selection signal is inputted into the first latch 225. Then, the output of the sampling pulse is terminated, and after the column selection signal

was inputted into all the first latch 225, signals of the first latch 225 are transferred to the second latch 226 using the latch for selection at the same time. Then, the selection signal is outputted from the second latch 226. Then, again, the sampling pulse is outputted from the flip-flop circuit 224, and the row selection signal is inputted into the first latch 225. However, at that time and at the same time, the selection signal continues to be outputted from the second latch 226. Therefore, each one is capable of being operated at the same time.

Using the circuit indicated in the above-described Fig. 37, 38, the setting operation of the current source circuit is also capable of being not in turn carried out, but carried out at random. Moreover, the time period during which the setting operation is carried out is also capable of being freely taken for a long time. When the setting operation of the current source circuit is capable of being carried out at random, a variety of advantages will occur. For example, in the case where the time periods during which the setting operation is capable of being carried out are interspersed in one frame, if an optional column is capable of being selected, the degree of freedom is raised, and the time period of the setting operation is capable of being taken for a long time. For example, in the time periods during which the setting operation is capable of being carried out and which are interspersed in one frame, the setting operation of the current source circuit is capable of being carried out by one column fully using the time period.

If the current source circuit of an optional column is not

capable of being specified, and if the rows from the first row to the final row must be in turn specified, the time period of the setting operation per one column is shortened. This is the reason why the time period of the setting operation is shortened since in a certain determined time period, the setting operation must be carried out with respect to the current source circuit from the first column to the final column. As a result, the setting operation is not capable of being sufficiently carried out.

As the other advantages, the influence of the leak of the charge in a capacity element disposed within the current source circuit 420 (for example, in Fig. 6A, corresponding to a capacity element 103, in Fig. 6B, corresponding to a capacity element 123, in Fig. 6B, corresponding to a capacity element 107 or the like) is capable of being overshadowed. In the case where the leak of the charge in turn occurs column by column, the influence is easily seen, but in the case where it occurs at random, it is not easily seen to human eyes.

It should be noted that a capacity element is disposed in the current source circuit 420. However, a capacity element may be substituted with a gate capacity of a transistor. In the foregoing capacity element, the charge is accumulated by the setting operation of the current source circuit. Ideally, the setting operation of the current source circuit may be carried out only once at the time when the electric source is inputted. Specifically, when the signal line drive circuit is operated, during the first time period of the operation, it may be carried out once. Because the charge amount accumulated in a capacity

element is not required to change by the operation state, the time and the like, and it is not changed. However, in reality, a variety of noises are entered into a capacity element or the leak current of the transistor connected to the capacity element flows. As a result, the charge amount accumulated in the capacity element may be changed accompanying with the time elapse. When the charge amount is changed, the current outputted from the current source circuit, that is, the current inputted into the pixel is also changed. As a result, the brightness of the pixel is also changed. Then, for the purpose that the charge accumulated in the capacity element does not vary, the setting operation of the current source circuit is carried out periodically in a certain cycle, the charge is refreshed, and the changed charge is again restored to the original, the necessity occurs that the correct amount of the charge must be again stored.

Supposing the case where the variation amount of the charge accumulated in a capacity element is large, the relevant charge is refreshed by carrying out the setting operation of the current source circuit, the changed charge is again restored to the original, and the correct amount of the charge is again stored, accompanying with this, the variation of the current amount that the current source circuit outputs becomes also large. Therefore, when the setting operation is in turn carried out from the first row, the variation of the current amount that the current source circuit outputs may cause the display disturbance to the extent that it is capable of being visibly recognized. Specifically, the change of the brightness of the pixel which in turn occurs from the first

row may cause the display disturbance to the extent that it is capable of being visibly recognized. In this case, if the setting operation is not in turn carried out from the first row, but carried out at random, the variation of the current amount that the current source circuit outputs is capable of being overshadowed. In this way, by selecting a plurality of wirings at random, a variety of advantages will occur.

On the other hand, in the case where the configuration shown in Fig. 6C-E is employed for the current source circuit 420, since the setting operation and the input operation are capable of being carried out at the same time, it is sufficient if the usual shift register capable of in turn selecting from the first column to the final column is disposed.

Moreover, in Fig. 3B, although the setting operation is carried out column by column, it is not limited by this. As shown in Fig. 39, the setting operation may be carried out on a plurality of columns at the same time. Here, that the setting operation is carried out on a plurality of columns at the same time is referred to as polyphasing. It should be noted that in Fig. 39, although two pieces of the constant current source for reference 109 are disposed, the setting operation might be carried out from the constant current source for reference separately disposed with respect to these two pieces of the constant current source for reference.

Now, the detailed configuration of the constant current circuit 414 shown in Fig. 3B is shown in Fig. 40, Fig. 41. Fig. 40 shows a circuit for applying that of Fig. 6C to the portion

of the current source circuit. Fig. 41 shows a circuit for applying that of Fig. 6A to the portion of the current source circuit.

So far, the case of line sequential drive has been described. Subsequently, hereinafter, the case of dot sequential drive will be described.

In Fig. 42A, the sampling of a video signal supplied to the video line is carried out according to the timing of the sampling pulse supplied from the second shift register 411. Moreover, the setting of the current source circuit 420 is carried out according to the timing of the sampling pulse supplied from the first shift register 415. In this way, in the case where it has the configuration of Fig. 42A, the dot sequential drive is carried out.

It should be noted that in the case where only during the time when the sampling pulse is outputted and the video signal is supplied from the video line, the switch 101 (signal current control switch) is turned to be ON-state, and when the sampling pulse is not outputted and the video signal is not supplied from the video line, the switch 101 (signal current control switch) is turned to be OFF-state, it is not correctly operated. Because in the pixel, the switch for inputting the current remains to be ON-state. In this state, when the switch 101 (signal current control switch) is turned to be OFF-state, since the current is not inputted into the pixel, the signal is not correctly capable of being inputted.

Hence, in order to be capable of keeping the video signal supplied from the video line and maintaining the state of the switch 101 (signal current control switch), the latch circuit

452 is disposed. The latch circuit 452 may be configured only with a simple capacity element and a switch, or may be configured with a SRAM circuit. In this way, the sampling pulse is outputted, a video signal is in turn supplied column by column from the video line, the switch 101 (signal current control switch) is turned to be ON-state or to be OFF-state based on its video signal, and the dot sequential drive is capable of being realized by controlling the supply of the current to the pixel.

However, in the case where the columns from the first column to the final column are in turn selected, on the columns nearby the first column, the time period for inputting the signal to the pixel is long. On the other hand, on the columns nearby the final column, even when the video signal has been inputted, soon, the pixel of the next line is selected. As a result, the time period during which the signal is inputted into the pixel is shortened. In such a case, as shown in Fig. 42B, the time period during which the signal is inputted into the pixel is capable of being lengthened by dividing the scan line disposed in the pixel 402 at the center. In this case, one piece of scan line drive circuit is disposed on the left side and right side of the pixel section 402, respectively, and the pixel is driven using the relevant scan line drive circuit. If doing in such a way, even the pixels disposed on the same column, the pixel on the right side and the pixel on the left side are capable of shifting the time period that the signal is inputted. In Fig. 42C, the output waveform of the scan line drive circuits disposed on the right side and left side of the first line and second line and

a start pulse (S2-SP) of the second shift register 411 is shown. By operating as the waveform described in Fig. 42C, even the pixel on the left side is capable of lengthening the time period during which the signal is inputted into the pixel, the dot sequential drive is facilitated to carry out.

It should be noted that the setting operation of the current source circuit 420 may be carried out by an optional times with an optional timing to a current source circuit disposed on an optional column regardless of whether it is the line sequential drive or the dot sequential drive. However, ideally, as far as the predetermined charge is kept in a capacity element connected between gate/source of the transistor disposed in the current source circuit 420, it may be carried out only once when the setting operation is carried out. Or, it may be carried out in the case where the predetermined charge kept in a capacity element has been discharged (varied). Moreover, as for the setting operation of the current source circuit 420, the setting operation of the current source circuit 420 of all the columns may be carried out even if it takes for any long time period. Specifically, the setting operation of the current source circuit 420 of all the columns may be carried out within one frame time period. Or, within one frame time period, the setting operation is carried out to the several columns of the current source circuits 420, as a result of this, taking for over several frame time period, the setting operation of all the columns of the current source circuits 420 may be carried out.

Moreover, in the present embodiment, the case where one

current source circuit is disposed on each column has been described above, but the present invention is not limited to this, and a plurality of current source circuit may be disposed.

Then, as an example, the case where that of Fig. 2 is applied to the portion of the current source circuit of Fig. 3B is considered. The detailed configuration of the constant current circuit 414 in that case is shown in Fig. 43. Here, Fig. 43 shows a circuit for applying that of Fig. 6A to the portion of the current source circuit. In the configuration shown in Fig. 43, the setting operation can be carried out to one of the current source, and at the same time, the other current source can carry out the input operation, by controlling the control line.

Moreover, the present invention provides a signal line drive circuit in which two shift registers (first and second shift registers) are provided. As for these first and second shift registers, one is a current source circuit, the other is a circuit for controlling the video signal, that is, a circuit for making an image display, controlling, for example, a latch circuit, a sampling switch and the switch 101 (signal current control switch) and the like. Then, it is possible that the operation of the first and second shift registers are independently carried out, necessarily it is possible that the setting operation of the current source circuit and the operation of the image display are independently carried out. Since the setting operation of the current source circuit is capable of being precisely carried out when it is carried out by taking an enough time, a configuration of the present invention in which the current source circuit and

the latch circuit are capable of being independently operated is very effective.

Moreover, as for a current source circuit in a signal line drive circuit of the present invention, the layout diagram is shown in Fig. 57, and corresponding circuit diagram is shown in Fig. 58.

It should be noted that the present embodiment is capable of being optionally combined with Embodiments 1-3.

Embodiment 5

In this embodiment, the detailed structure and operation of the signal line driver circuit 403 shown in Fig. 15(A) will be described. In this embodiment, a description is made of the signal line driver circuit 403 used in the case of performing 3-bit digital gradation display.

Fig. 4 is a schematic view of the signal line driver circuit 403 in the case of performing the 3-bit digital gradation display. The signal line driver circuit 403 includes a first shift register 415, a second shift register 411, a first latch circuit 412, a second latch circuit 413, and a constant current circuit 414.

The operation will be briefly described below. The first shift register 415 and the second shift register 411 are formed using a plurality of flip-flop circuits (FF), and is input with a clock signal (S-CLK, (S1-CLK, S2-CLK)), a start pulse (S-SP (S1-SP, S2-SP)), and an inverted clock signal (S-CLKb (S1-CLKb, S2-CLKb)). In accordance with the timing of these signals, sampling pulses are sequentially output therefrom.

()

The sampling pulses, which have been output from the first shift register 415, are input to the constant current circuit 414. The sampling pulses, which have been output from the shift register 411, are input to the first latch circuit 412. 3-bit digital video signals (Digital Data 1 to Digital Data 3) have been input to the first latch circuit 412, and a video signal is retained in each column in accordance with the timing at which the sampling pulse is input.

In the first latch circuit 412, upon completion of video-signal retaining in columns to the last column, during a horizontal return period, a latch pulse is input to the second latch circuit 413, and the 3-bit digital video signals (Digital Data 1 to Digital Data 3) retained in the first latch circuit 412 are transferred in batch to the second latch circuit 413. Then, the 3-bit digital video signals (Digital Data 1 to Digital Data 3) for one line, which are retained in the second latch circuit 413, are input to the constant current circuit 414 at a time.

While the 3-bit digital video signals (Digital Data 1 to Digital Data 3) retained in the second latch circuit 413 are input to the constant current circuit 414, sampling pulses are again output in the shift register 411. Thereafter, the operation is iterated, and video signals for one frame are thus processed.

There is a case where the constant current circuit 414 plays a role of converting a digital signal into an analog signal. In the constant current circuit 414, a plurality of current source circuits 420 are provided. Fig. 5 is a schematic view of the signal line driver circuit related to the three signal lines in

1-th to (i+2)-th columns.

Note that Fig. 5 shows the case where a reference constant current source 109 corresponding to each bit is arranged.

Each current source circuit 420 has a terminal a, a terminal b, and a terminal c. The current source circuit 420 is controlled by a signal input from the terminal a. Further, current is supplied via a terminal b from a reference constant current source 109 connected to a current line. Switches (signal current control switches) 111 to 113 are provided between the current source circuit 420 and a pixel connected to a signal line S_n , and the switches (signal current control switches) 111 to 113 are controlled by 1-bit to 3-bit video signals. In the case where the video signal is a bright signal, a current is supplied from the current source circuit to the pixel. On the contrary, in the case where the video signal is a dark signal, the switches (signal current control switches) 111 to 113 are controlled not to supply current to the pixel. That is, the current source circuit 420 has a capability of flowing a predetermined current, and the switches (signal current control switches) 111 to 113 control whether the current is supplied to the pixel or not.

Referring to Fig. 5, the current lines and the reference constant current sources are disposed in correspondence with respective bits. The sum of the values of currents supplied from the current sources of the respective bits is supplied to the signal lines. That is, the constant current circuit 414 also has a function of digital-analog conversion.

Note that the setting signal input from the terminal a

corresponds to the sampling pulse supplied from the first shift register 415. In the present invention, setting of the current source circuit 420 is performed in accordance with the sampling pulse supplied from the first shift register. In this embodiment, because of a description with reference to an example of the case of performing 3-bit digital gradation display, three current source circuits 420 are provided for each column. When signal currents supplied from the three current source circuits 420 connected to one signal line are set to a ratio of 1 : 2 : 4, the current magnitude can be controlled at $2^3 = 8$ levels.

In the signal line driver circuit shown in Fig. 5, although dedicated reference constant current sources 109 are respectively disposed for the 1-bit to 3-bit, the present invention is not limited to this. As shown in Fig. 44, reference constant current sources 109 the number of which is smaller than the number of bits may be disposed. For example, it may be such that only the reference constant current source 109 for the most significant bit (3-bit in this case) is disposed; one current source circuit selected from a plurality of current source circuits disposed in one column is set; and using the current source circuit for which the setting operation has already been performed, the operation is performed for other current source circuits. In other words, the current source circuit for which the setting operation has already been performed may be used to share setting information.

For example, a setting operation is performed only for a 3-bit current source circuit 420. Then, using the current source

circuit 420 for which the setting operation has been performed, information is shared among other 1-bit and 2-bit current source circuits 420. More specifically, among current source circuits 420, the gate terminal of each current-supplying transistor (corresponding to a transistor 102 in Fig. 6(A)) is connected, and also the source terminal is connected. As a result, gate-source voltages of information-sharing transistors (current-supplying transistors) become identical.

Referring to Fig. 44, the setting operation is performed not for the current source circuits of the least significant bit (1-bit in this case), but for the current source circuits of the most significant bit (3-bit in this case). Thus, when the setting operation is performed for the current source circuits of a greater-value bit, the influence of variation in characteristics of inter-bit current source circuits can be reduced. Suppose the setting operation is performed for the current source circuits of the least significant bit (1-bit in this case), information related to the setting operation performed for the current source circuits of the least significant bit is shared among the current source circuits of the upper bits. In this case, when the characteristics of the respective current source circuits vary, the values of currents of the upper bits lack precision. This is because since upper-bit current source circuits produce outputs having great current values, even when a small variation has occurred in their characteristics, the influence of the variation is magnified, and also output current values are also varied great. In contrast, in the case where the setting operation is performed

for the current source circuits of the most significant bit (3-bit in this case), information related thereto is shared among the current source circuits of the lower bits. Even when the characteristics of the respective current source circuits have varied, since output current values are small, differences in the current value due to variation are small, and the influence is small.

The structure of the current source circuit 420 may be arbitrarily adopted among structures shown in Figs. 6, 7, 32, 33, and 35. The current source circuit 420 can be adopted not only single structure but also plural structures.

Meanwhile, as shown in Fig. 6(C), when the current source circuit 420 includes the structure having a current mirror circuit, the structure may be alternatively such that the gate electrodes of transistors in the current source circuit 420 are commonly connected, as shown in Figs. 23 and 24.

Hereinafter, the structure of the constant current circuit 414 shown in Figs. 4, 5, and 44 are illustrated in Fig. 23, 24, and 45 in detail.

In a current source circuit 420 provided in each column shown in Figs 23, 24, and 45, whether or not a predetermined signal current I_{data} is output to the signal line S_i ($1 \leq i \leq n$) is controlled according to High or Low information contained in a 3-bit digital video signal (Digital Data 1 to Digital Data 3) input from a second latch circuit 413.

Fig. 45 is a circuit diagram in the case where the current source circuit of Fig. 6(A) is disposed in the signal line driver

circuit shown in Fig. 5. In Fig. 45, the setting operation is performed with transistors A to C being turned OFF. This is for preventing a current leakage. Alternatively, switches may be disposed in series with the transistors A to C, in which the switches are turned OFF in the setting operation.

Illustrated in Figs. 23 and 24 are cases where the reference constant current sources 109 the number of which is fewer than the number of bits are disposed. Fig. 23 is a circuit diagram in the case where the current source circuit of Fig. 6(C) is disposed in the signal line driver circuit shown in Fig. 44. Fig. 24 is a circuit diagram in the case where the current source circuit of Fig. 6(A) is disposed in the signal line driver circuit of Fig. 44.

In Fig. 23, the current source circuit 420 includes transistors 180 to 188 and a capacitor device 189. In this embodiment, the transistors 180 to 188 are all of n-channel type.

A 1-bit digital video signal is input to a gate electrode of the transistor 180 from the second latch circuit 413. One of a source region and a drain region of the transistor 180 is connected to the source signal line (Si), and the other is connected to one of a source region and a drain region of the transistor 183.

A 2-bit digital video signal is input to a gate electrode of the transistor 181 from the second latch circuit 413. One of a source region and a drain region of the transistor 181 is connected to the source signal line (Si), and the other is connected to one of a source region and a drain region of the transistor

184.

A 3-bit digital video signal is input to a gate electrode of the transistor 182 from the second latch circuit 413. One of a source region and a drain region of the transistor 182 is connected to the source signal line (Si), and the other is connected to one of a source region and a drain region of the transistor 185.

One of the source region and the drain region of each of the transistors 183 to 185 is connected to Vss, and the other is connected to one of the source region and the drain region of each of the transistors 180 to 182. One of a source region and a drain region of the transistor 186 is connected to Vss, and the other is connected to one of a source region and a drain region of the transistor 188.

A sampling pulse is input from the first shift register 415 to the gate electrodes of the transistors 187 and 188. One of the source region and the drain region of the transistor 187 is connected to one of the source region and the drain region of the transistor 186, and the other is connected to one of electrodes of a capacitor device 189. One of the source region and the drain region of the transistor 188 is connected to a current line 190, and the other is connected to one of the source region and the drain region of the transistor 186.

One of the electrodes of the capacitor device 189 is connected to the gate electrodes of the transistors 183 to 186, and the other electrode is connected to Vss. The capacitor device 189 plays a role of retaining the gate-source voltages of the

transistors 183 to 186.

In the current source circuit 420, when the transistor 187 and the transistor 188 are turned ON, a current flows to the capacitor device 189 from a reference constant current source (not shown) connected to the current line 190. At this time, the transistors 180 to 182 are OFF.

Charge is then gradually accumulated in the capacitor device 189, and a potential difference begins to occur between both the electrodes. When the potential difference between both the electrodes has reached V_{th} , the transistors 183 to 186 are turned ON.

The charge accumulation continues until the potential difference between both the electrodes, that is, each gate-source voltage of the transistors 183 to 186 increases up to a desired voltage. In other words, the charge accumulation continues until the transistors 183 and 186 each reach a voltage that allows the signal current to flow.

Upon completion of the charge accumulation, the transistors 183 and 186 are fully turned ON.

Subsequently, in the current source circuit 420, conductivity/non-conductivity of the transistors 180 to 182 is selected according to the 3-bit digital video signal. For example, when all the transistors 180 to 182 are turned to the conductive state, the current supplied to the signal line (Si) corresponds to the sum of the drain current of the transistor 183, the drain current of the transistor 184, and the drain current of the transistor 185. When only the transistor 180 has been turned

to the conductive state, only the drain current of the transistor 183 flows to the signal line (Si).

As described above, the gate terminals of the transistors 183 to 185 are connected, whereby setting-operation information can be shared. Here, the setting-operation information is shared among the transistors disposed in the same column, but the present invention is not limited to this. For example, the setting-operation information may be shared also with transistors in a different column. That is, the transistor gate terminals may be connected to the different column transistors. Thus, the number of current source circuits to be set can be reduced. Consequently, time required for the setting operation can be reduced. In addition, since the number of circuits can be reduced, the layout area can be made small.

In Fig. 24, the setting operation is performed for the current source circuit with the transistors 182 being turned OFF. This is for preventing a current leakage. Further, Fig. 46 is a circuit diagram of a current source circuit in the case where a switch 203 is disposed in series with the transistor 182 in the structure of Fig. 24. Referring to Fig. 46, the switch 203 is turned OFF in the setting operation, and is turned ON in other time.

At this event, in Figs. 23, 24, and 46, when the drain current of the transistor 183, the drain current of the transistor 184, and the drain current of the transistor 185 are set to a ratio of 1 : 2 : 4, the current magnitude can be controlled at $2^3 = 8$ levels. Thus, when design is performed with the values of W (channel width)/ L (channel length) of the transistors 183 to 185

set to 1 : 2 : 4, the respective ON currents are set to 1 : 2 : 4.

Fig. 24 shows the current source circuit 420 having a circuit structure different from that of Fig. 23. The current source circuit 420 in Fig. 24 is structured such that a switch 191 and a switch 192 are disposed to replace the transistors 186 to 188.

The current source circuit 420 shown in Fig. 24 is similar in operation to the current source circuit 420 shown in Fig. 23 except the point in that when the switches 191 and 192 are turned ON, a current flows to the capacitor device 189 via the transistor 185 from the reference constant current source (not shown) connected to the current line 190. Thus, a description thereof will be omitted in this embodiment.

Meanwhile, in this embodiment, while all the transistors contained in the current source circuit 420 shown in Fig. 23, 24, or 46 are of n-channel type, the present invention is not limited to this. P-channel transistors may also be used. Operation of the current source circuit 420 in the case of using the p-channel transistors is similar to the operation described above except the point in that the direction in which a current flows is changed and the point in that the capacitor device is connected to not Vss but Vdd. Thus, a description thereof will be omitted.

When using the p-channel transistors, the case where Vss is not replaced with Vdd, that is, the case where the current-flow direction is not changed can be easily applied with the comparison between Fig. 6 and Fig. 7.

One current source circuit for each bit is disposed for each signal line in Fig. 5. However, as shown in Fig. 2, a plurality of current source circuits may be disposed for each signal line. The diagram at this time is shown in Fig. 47. Similarly, although one constant current source 109 is disposed for each bit in the structure of Fig. 44, the constant current source 109 may be shared by the plurality of bits, as shown in Fig. 48.

Note that, in this embodiment, the description has been made of the structures and operations of the signal line driver circuits in the case where the 3-bit digital gradation display is carried out. However, the present invention is not limited to the 3-bit. It is possible that signal line driver circuits corresponding to arbitrary number of bits are designed with reference to this embodiment, thereby performing display with an arbitrary number of bits. In addition, this embodiment may be arbitrarily combined with Embodiments 1 to 4.

Further, with reference to this embodiment, for example, multi phases and dot-sequential drive can be easily realized when performing display with an arbitrary number of bits. The setting operation is not necessary sequentially performed for the current source circuits in the columns from the first column, and the setting operation can be performed at random for the current source circuit. In that case, the decoder circuit shown in Fig. 37 and circuits shown in Figs. 38(A), 38(B) can be used.

Embodiment 6

The constant current source for reference 109 for supplying

the current to the current source circuit may be integrally formed with a signal line drive circuit on the substrate, or is disposed to the exterior of the substrate using IC or the like. In the case where these are integrally formed on the substrate, it may be formed with any one of the current source circuits shown in Fig. 6-Fig 8 and Fig. 31-Fig. 35. Or, simply one piece of transistor is disposed, which may control the current value corresponding to the voltage applied to the gate. In the present Embodiment, an example of the current source for reference 109 will be described below.

In Fig. 25, as an example, the simplest case is shown. Specifically, this is a method in which the voltage of the gate is adjusted by applying the voltage to the gate of the transistor, and the case where 3 pieces of current line are required is shown. If only one piece of the current line is required, the current lines corresponding to the transistors 1840, 1850 may be simply deleted from the configurations shown in Fig. 25. In Fig. 25, the largeness of the current is controlled by adjusting the gate voltage applied to the transistors 1830, 1840 and 1850 from the exterior via the terminal f. It should be noted that at this time, when it is designed by making W/L values of the transistors 1830, 1840 and 1850 into the ratio of 1: 2:4, the ratio of the ON-state current becomes 1: 2: 4.

Next, in Fig. 26A, the case where the current is supplied from the terminal f is illustrated. As shown in Fig. 25, in the case where it is adjusted by applying the voltage to the gate, the current value of the transistor may vary by the temperature

characteristics or the like. However, as in Fig. 26A, when it is inputted by means of the current, its influence is capable of being suppressed.

It should be noted that in the case of the configurations shown in Fig. 25, Fig. 26A, during the time when the current is passed through the current line, it is necessary to continue to input the voltage or current from the terminal f. However, in the case where it is not necessary to pass the current through the current line, it is not necessary to input the voltage or current from the terminal f.

Moreover, as shown in Fig. 26B, switches 1870, 1880, and a capacity element 1890 may be added to the configuration of Fig. 26A. Then, even when the current is supplied to the current line, it is possible to stop the supply (supply of the current or voltage inputted from the terminal f) from the IC for reference, the consuming power becomes smaller. It should be noted that in Fig. 25, Fig. 26, it has shared the information with the other transistor for current source disposed at the constant current source for reference. Specifically, the gates of transistors 1830, 1840 and 1850 were connected to each other.

Hence, in Fig. 27, the case where the setting operation is carried out to the respective current source circuits is shown. In Fig. 27, the current is inputted from the terminal f, and the timing is controlled by the signal supplied from the terminal e. It should be noted that the circuit shown in Fig. 27 is an example to which the circuit of Fig. 6A is applied. Therefore, the setting operation and the input operation are not carried

out at the same time. Therefore, in the case of this circuit, it is necessary that the setting operation with respect to the constant current source for reference is carried out at the timing when the current is not required to pass the current through the current line.

In Fig. 28, an example of the constant current source for reference 109 which has been polyphased is shown. Specifically, it corresponds to the current source for reference 109 to which the configuration shown in Fig. 39 is applied. In the case of being polyphased, the circuits of Fig. 25, Fig. 26 and Fig. 27 may be applied. However, since the current values supplied to the current lines are the same, as shown in Fig. 28, when the setting operation is carried out with respect to the respective current source circuits using one current, the number of currents inputted from the exterior can be reduced.

It should be noted that the present Embodiment is capable of being optionally combined with Embodiments 1-5.

Embodiment 7

In the above embodiments, primarily, the case where the signal current control switch exist has been described. In this embodiment, a description will be made of a case where the signal current control switch is not provided, that is, a case where a current (constant current) disproportional to a video signal is supplied to a wiring different from a signal line. In this case, the switch 101 (signal current control switch) does not need to be disposed.

Note that the case where the signal current control switch does not exist is similar to the case where the signal current control switch exists, except for the absence of the signal current control switch. Thus, the case will be briefly described, and descriptions of the similar portions will be omitted here.

For comparison with the case where the signal current control switch is disposed, Fig. 29 shows a structure corresponding to Fig. 1, and Fig. 30 shows a structure corresponding to Fig. 2. Fig. 49(A) shows a structure corresponding to Fig. 3(B). According to the structures shown in Figs. 1, 2, and 3B, the signal current control switch is controlled by the video signal to output the current to the signal line. In the structure shown in Figs. 29, 30, and 49A, however, the current is output to a pixel current line, and the video signal is output to the signal line.

A schematic view of the pixel structure in the above case is shown in Fig. 49(B). Next, a pixel operating method will be briefly described. First, when a switching transistor is ON, a video signal is passed through a signal line, is input to a pixel, and is then stored into a capacitor device. A driving transistor is turned ON or OFF depending on the value of the video signal. On the other hand, a current source circuit has a capability of flowing a constant current. Hence, when the driving transistor is ON, the constant current flows to a light emitting device, and the light emitting device emits light. When the driving transistor is OFF, since no current flows to the light emitting device, the light emitting device does not emit light. In this manner, an image is displayed. In this case, however,

only two states, namely, emission or non-emission, can be displayed. For this reason, multi-gradation is implemented using, for example, a time gradation method and area gradation method.

Note that, for the portion of the current source circuit, any one of circuits of, for example, Figs. 6 to 8, and 31 to 35 is used. The setting operation may be performed to enable the current source circuit to be flown with a constant current. When performing the setting operation for the current source circuit of the pixel, the operation is performed by inputting the current through a pixel current line. The setting operation for the current source circuit of the pixel may be performed an arbitrary number of times at arbitrary time and an arbitrary timing. The setting operation for the current source circuit of the pixel can be performed completely independent of an operation for displaying an image. Preferably, the setting operation is performed when charge stored in the capacitor device provided in the current source circuit leaks.

Next, the detailed structure of a constant current circuit 414 of Fig. 49(A) is shown in Fig. 50. Shown in Fig. 50 is the circuit in the case where Fig. 6(A) is applied to the portion of a current source circuit. In addition, a case is considered in which Fig. 30 is applied to the portion of the current source circuit of Fig. 49(A). The detailed structure of the constant current circuit 414 in the above case is shown in Fig. 51. Here, Fig. 51 shows a circuit in the case where Fig. 6(A) is applied to the portion of the current source circuit. In the structure shown in Fig. 51, the setting operation is performed for one of

the current sources by controlling a control line, and the input operation can be simultaneously performed with the other current source.

Note that the case where the signal current control switch does not exist is similar to the case where the signal current control switch exists, except for the absence of the signal current control switch. Thus, a detailed description thereof will be omitted.

This embodiment may be arbitrarily combined with Embodiments 1 to 6.

Embodiment 8

The present Embodiment of the present invention will be described below with reference to Fig. 52. In Fig. 52A, the signal line drive circuit is disposed above the pixel section, the constant current circuit is disposed below the pixel section, the current source A is disposed in the foregoing signal line drive circuit, and the current source B is disposed in the constant current circuit. Supposing that the currents supplied from the current sources A, B are I_A , I_B , and the signal current supplied to the pixel is I data, the equation $I_A = I_B + I$ data is held. Then, when the signal current is written into the pixel, it is set so that the current is supplied from both the current sources A and B. At this time, when I_A and I_B are enlarged, thereby capable of accelerating the writing speed of the signal current with respect to the pixel.

At this time, the setting operation of the current source

B is carried out using the current source A. The current that the current of the current source B has subtracted from the current of the current source A flows through the pixel. Therefore, a variety of influences such as noise or the like can be reduced by carrying out the setting operation of the current source B using the current source A.

In Fig. 52B, the constant current source for reference (hereinafter, referred to as constant current source) C, E is disposed above and below the pixel section. Then, the setting operation of the current source circuit disposed in the signal line drive circuit and constant current circuit is carried out using the current sources C, E. The current source D corresponds to the current source setting the current sources C, E, and the current for reference is supplied from the exterior.

It should be noted that in Fig. 52B, the constant current circuit disposed below the pixel section may be made a signal line drive circuit, thereby capable of disposing the signal line drive circuits at both above and below. Then, each of them takes charge of control of the upper portion and lower portion of the screen (the whole of the pixel section) in half. By doing it in this way, the pixels can be controlled by two lines simultaneously. Therefore, it is possible that it takes a long time to carry out the setting operation (signal input operation) to the current source of the signal line drive circuit, the pixel, the current source of the pixel and the like. Therefore, the setting is capable of being more precisely carried out.

The present Embodiment is capable of being optionally

combined with Embodiments 1-7.

Example 1

In this example, the time gradation method will be described in detail by using Fig. 14. In display devices such as liquid crystal display devices and light emitting devices, a frame frequency is normally about 60 Hz. That is, as shown in Fig. 14(A), screen rendering is performed about 60 times per second. This enables flickers (flickering of a screen) not to be recognized by the human eye. At this time, a period during which screen rendering is performed once is called one frame period.

As an example, in this example, a description will be made of a time gradation method disclosed in the publication as Patent Document 1. In the time gradation method, one frame period is divided into a plurality of subframe periods. In many cases, the number of divisions at this time is identical to the number of gradation bits. For the sake of a simple description, a case where the number of divisions is identical to the number of gradation bits is shown. Specifically, since the 3-bit gradation is employed in this example, an example is shown in which one frame period is divided into three subframe periods SF1 to SF3 (Fig. 14(B)).

Each of the subframe periods includes an address (writing) period T_a and a sustain (light emission) period (T_s). The address period is a period during which a video signal is written to a pixel, and the length thereof is the same among respective subframe periods. The sustain period is a period during which the light

emitting device emits light or does not emit light in response to the video signal written in the address period. At this time, the sustain periods Ts1 to Ts3 are set at a length ratio of Ts1 : Ts2 : Ts3 = 4 : 2 : 1. More specifically, the length ratio of n sustain periods is set to $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$. Depending on which one of the sustain periods a light emitting device performs emission or non-emission in, the length of the period during which each pixel emits light in one frame period is determined, and the gradation representation is thus performed.

Next, a specific operation of a pixel employing the time gradation method will be described. In this example, a description thereof will be made referring to the pixel shown in Fig. 16(B). A current input method is applied to the pixel shown in Fig. 16(B).

First, the following operation is performed during the address period Ta. A first scanning line 602 and a second scanning line 603 are selected, and TFTs 606 and 607 are turned ON. A current flowing through a signal line 601 at this time is used as a signal current I_{data} . Then, when a predetermined charge has been accumulated in a capacitor device 610, selection of the first scanning line 602 and the second scanning line 603 is terminated, and the TFTs 606 and 607 are turned OFF.

Subsequently, the following operation is performed in the sustain period Ts. A third scanning line 604 is selected, and a TFT 609 is turned ON. Since the predetermined charge that has been written is stored in the capacitor device 610, the TFT 608 is already turned ON, and a current identical with the signal

current I_{data} flows thereto from a current line 605. Thus, a light emitting device 611 emits light.

The operations described above are performed in each subframe period, thereby forming one frame period. According to this method, the number of divisions for subframe periods may be increased to increase the number of display gradations. Also, the order of the subframe periods does not necessarily need to be the order from an upper bit to a lower bit as shown in Figs. 14(B) and 14(C), and the subframe periods may be disposed at random within one frame period. In addition, the order may be variable within each frame period.

Further, a subframe period SF2 of an m-th scanning line is shown in Fig. 14(D). As shown in Fig. 14(D), in the pixel, upon termination of an address period $Ta2$, a sustain period $Ts2$ is immediately started.

Next, the portion related to the current source circuit of the signal driver circuit, especially a driving method of the portion related to the setting operation will be described.

Note that it is described in the above embodiments that the current source circuit has the method in which a setting operation and an input operation can be simultaneously performed and the method in which these operations cannot be simultaneously performed.

In the former current source circuit capable of simultaneously performing the setting operation and the input operation, the timing of conducting each operation is not particularly limited. This is also the same in the case where

a plurality of current source circuits are arranged in one column as shown in Fig. 2, Fig. 44, or the like. However, in the latter current source circuit not capable of simultaneously performing the setting operation and the input operation, the timing of conducting the setting operation needs to be devised. In the case of adopting the time gradation method, the setting operation needs to be performed while the output operation is not performed. For example, in the case of the structure of the driver portion of Fig. 1 and the pixel with the structure of Fig. 16(B), the setting operation needs to be conducted in the period except the address period T_a in any scanning line in a pixel portion. Further, in the case of the structure of the driver portion of Fig. 30 and the pixel with the structure of Fig. 49(B), the setting operation of the current source circuit arranged in the driver portion needs to be conducted in the period during which the setting operation is not conducted for the current source circuit arranged in the pixel.

Note that, at this time, a frequency of a shift register that controls the current source circuit may be set at a low speed in some cases. Thus, the setting operation of the current source circuit can be performed for an enough time with accuracy.

Alternatively, the setting operation of the current source circuit may be performed at random by using the circuit shown in Figs. 37 to 39 or the like as the circuit (the first shift register) for controlling the current source circuit. Then, even if the periods during which the setting operation can be performed are dotted about one frame, the periods are effectively utilized,

thereby being capable of performing the setting operation. Further, it may be such that the setting operation for all the current source circuits is not conducted in one frame period but conducted in several frame periods or more. From the above, the setting operation of the current source circuit can be performed for an enough time with accuracy.

In the present invention, independent operations of the first shift register and the second shift register can be fully conducted by means of providing the first shift register that controls the current source circuit 420 and the second shift register that controls the image display circuit. The second shift register is used when the input operation is performed, and the first shift register is used when the setting operation is performed. Then, the first shift register can be operated at a low speed while the second shift register is operated at a high speed. Accordingly, it is possible that the setting of the current source circuit 420 spend as much as time as it is conducted precisely. Note that in the case of the structure of the driver portion of Fig. 1 and the pixel with the structure of Fig. 16(B), the input operation may be conducted in the period during which the scanning line in the pixel portion is selected (address period T_a). Further, in the case of the structure of the driver portion of Fig. 1 and the pixel with the structure of Fig. 49(B), the setting operation of the current source circuit arranged in the driver portion may be conducted in the period during which the setting operation is not conducted for the current source circuit arranged in the pixel.

This example can be arbitrarily combined with Examples 1 to 8.

Example 2

In the present Example, an example of the configuration of the circuit of the pixel provided in the pixel section will be described below with respect to Fig. 13 and Fig. 53.

It should be noted that if the pixel has the configuration including the portion into which the current is inputted, it can be applied to any kind of pixel configurations.

The pixel of Fig. 13A has a signal line 1101, a first and second scan lines 1102, 1103, a current line (electric source line) 1104, a TFT for switching 1105, a TFT for maintaining 1106, a TFT for driving 1107, a TFT for converting and driving 1108, a capacity element 1109 and a light emitting device 1110. The signal line 1101 is connected to the current source circuit 1111.

It should be noted that the current source circuit 1111 corresponds to the current source circuit 420 disposed in the signal line drive circuit 403.

As for the pixel of Fig. 13A, the gate electrode of the TFT for switching 1105 is connected to the first scan line 1102, the first electrode is connected to the signal line 1101, the second electrode is connected to the first electrode of the TFT for driving 1107, and the first electrode of the TFT for converting and driving 1108. The gate electrode of the TFT for maintaining 1106 is connected to the second scan line 1103, the first electrode is connected to the signal line 1102, and the second electrode

is connected to the gate electrode of the TFT for driving 1107 and the gate electrode of the TFT for converting and driving 1108. The second electrode of the TFT for driving 1107 is connected to the current line (electric source line) 1104, the second electrode of the TFT for converting and driving 1108 is connected to one of the electrodes of the light emitting device 1110. The capacity element 1109 is connected between the gate electrode and the second electrode of the TFT for converting and driving 1108, and maintains the voltage between the gate/source of the TFT for converting and driving 1108. The predetermined potentials are inputted to the current line (electric source line) 1104 and the other electrode of the light emitting device 1110, respectively, and each has a potential different from each other.

It should be noted that the case of the pixel of Fig. 13A corresponds to the case where the circuit of Fig. 33B is applied to the pixel. However, since the directions that the currents flow are different, the polarities of the transistor are contrary. The TFT for driving 1107 of Fig. 13A corresponds to the TFT 126 of Fig. 33B, the TFT for converting and driving 1108 of Fig. 13A corresponds to the TFT 122 of Fig. 33B and the TFT for maintaining 1106 of Fig. 13A corresponds to the TFT 124 of Fig. 33B.

The pixel of Fig. 13B has a signal line 1151, a first and second scan lines 1142, 1143, a current line (electric source line) 1144, a TFT for switching 1145, a TFT for maintaining 1146, a TFT for converting and driving 1147 a TFT for driving 1148, a capacity element 1149 and a light emitting device 1140. The signal line 1151 is connected to the current source circuit 1141.

It should be noted that the current source circuit 1141 corresponds to the current source circuit 420 disposed in the signal line drive circuit 403.

As for the pixel of Fig. 13B, the gate electrode of the TFT for switching 1145 is connected to the first scan line 1142, the first electrode is connected to the signal line 1151, the second electrode is connected to the first electrode of the TFT for driving 1148, and the first electrode of the TFT for converting and driving 1148. The gate electrode of the TFT for maintaining 1146 is connected to the second scan line 1143, the first electrode is connected to the first electrode of the TFT for driving 1148, and the second electrode is connected to the gate electrode of the TFT for driving 1148 and the gate electrode of the TFT for converting and driving 1147. The second electrode of the TFT for converting and driving 1147 is connected to the current line (electric source line) 1144, the second electrode of the TFT for converting and driving 1147 is connected to one of the electrodes of the light emitting device 1140. The capacity element 1149 is connected between the gate electrode and the second electrode of the TFT for converting and driving 1147, and maintains the voltage between the gate/source of the TFT for converting and driving 1147. The predetermined potentials are inputted to the current line (electric source line) 1144 and the other electrode of the light emitting device 1140, respectively, and each has a potential different from each other.

It should be noted that the case of the pixel of Fig. 13B corresponds to the case where the circuit of Fig. 6B is applied

to the pixel. However, since the directions that the currents flow are different, the polarities of the transistor are contrary. The TFT for converting and driving 1147 of Fig. 13B corresponds to the TFT 122 of Fig. 6B, the TFT for driving 1148 of Fig. 13B corresponds to the TFT 126 of Fig. 6B and the TFT for maintaining 1146 of Fig. 13B corresponds to the TFT 124 of Fig. 6B.

The pixel of Fig. 13C has a signal line 1121, a first scan line 1122, a second scan line 1123, a third scan line 1135, a current line (electric source line) 1124, a TFT for switching 1125, a current line for pixel 1138, a TFT for deleting 1126, a TFT for driving 1127, a capacity element 1128, a TFT for current source 1129, a TFT for mirror 1130, capacity element 1131, a TFT for current input 1132, a TFT for maintaining 1133, and a light emitting device 1136. The current line for pixel 1138 is connected to the current source circuit 1137.

As for the pixel of Fig. 13C, the gate electrode of the TFT for switching 1125 is connected to the first scan line 1122, the first electrode of the TFT for switching 1125 is connected to the signal line 1121, the second electrode of the TFT for switching 1125 is connected to the gate electrode of the TFT for driving 1127, and the first electrode of the TFT for deleting 1126. The gate electrode of the TFT for deleting 1126 is connected to the second scan line 1123, the second electrode of the TFT for deleting 1126 is connected to the current line (electric source line) 1124. The first electrode of the TFT for driving 1127 is connected to one of the electrode of the light emitting device 1136, and the second electrode of the TFT for driving 1127 is

connected to the first electrode of the TFT for current source 1129. The second electrode of the TFT for current source 1129 is connected to the current line 1124. One of the electrodes of the capacity element 1131 is connected to the gate electrode of the current source TFT 1129 and the gate electrode of the mirror TFT 1130, and the other electrode is connected to the current line (electric source line) 1124. The first electrode of the mirror TFT 1130 is connected to the current line 1124, and the second electrode of the mirror TFT 1130 is connected to the first electrode of the current input TFT 1132. The second electrode of the current input TFT 1132 is connected to the current line (electric source line) 1124, and the gate electrode of the current input TFT 1132 is connected to the third scan line 1135. The gate electrode of the current maintaining TFT 1133 is connected to the third scan line 1135, and the first electrode of the current maintaining TFT 1133 is connected to the current line for pixel 1138, and the second electrode of the current maintaining TFT 1133 is connected to the gate electrode of the current source TFT 1129 and the gate electrode of the mirror TFT 1130. The predetermined potentials are inputted into the current line (electric source line) 1124 and the other electrode of the light emitting device 1136, respectively, and each has a potential different from each other.

It should be noted that the current source circuit 1137 corresponds to the current source circuit 420 disposed in the signal line drive circuit 403.

It should be noted that the case of the pixel of Fig. 13C

corresponds to the case where the circuit of Fig. 6E is applied to the pixel of Fig. 49B. However, since the directions that the currents flow are different, the polarities of the transistors are contrary. It should be noted that the TFT for deleting 1126 has been added to the pixel of Fig. 13C. The length of the lighting time period is capable of being controlled by the TFT for deleting 1126.

The TFT for switching 1125 is in charge of controlling the supply of the video signal to the pixel. The TFT for deleting 1126 is in charge of discharging the charge maintained in the capacity element 1131. As for the TFT for driving 1127, the conduction or non-conduction is controlled according to the charge maintained in the capacity element 1131. The current source TFT 1129 and the mirror TFT 1130 form a current mirror circuit. The predetermined potentials are inputted into the other electrode of the current line 1124 and the light emitting device 1136, and each has a potential different from each other.

Specifically, when the TFT for switching 1125 is turned ON, the video signal is inputted into the pixel through the signal line 1121 and stored in capacity element 1128. Then, the TFT for driving 1127 is turned ON or OFF depending on the value of the video signal. Hence, in the case where the TFT for driving 1127 is turned ON, a certain current flows through the light emitting device and the light emitting device emits the light. In the case where the TFT for drive 1127 is turned OFF, the current does not flow through the light emitting device, and the light emitting device does not emit the light. In this way, an image is displayed.

It should be noted that the current source circuit of Fig. 13C is configured with a current source TFT 1129, a mirror TFT 1130, a capacity element 1131, a current input TFT 1132 and a maintaining TFT 1133. The current source circuit has the ability of passing a certain current. Into this current source circuit, the current is inputted through the current line for pixel 1138, and the setting operation is carried out. Therefore, even if the characteristics of the transistors configuring the current source circuit varies, the variation of the largeness of the current supplied from the current source circuit to the light emitting device will not occur. The setting operation to the current source circuit of the pixel can be carried out regardless of the operations of the TFT for switching 1125 and the TFT for driving 1127.

The case of the pixel shown in Fig. 53A corresponds to the case where the circuit of Fig. 6A is applied to a pixel of Fig. 49B. However, since the directions that the currents flow are different, the polarities of the transistors are contrary. The pixel shown in Fig. 53A has the current source TFT 1129, the capacity element 1131, the maintaining TFT 1133, the current line for pixel 1138 (Ci) and the like. The current line for pixel 1138 (Ci) is connected to the current source circuit 1137. It should be noted that the current source circuit 1137 corresponds to the current source circuit 420 disposed in the signal line drive circuit 403.

The case of the pixel shown in Fig. 53B corresponds to the case where the circuit of Fig. 7A is applied to a pixel of Fig. 49B. However, since the directions that the currents flow are different, the polarities of the transistors are contrary. The

pixel shown in Fig. 53B has the current source TFT 1129, the capacity element 1131, the maintaining TFT 1133, the current line for pixel 1138 (Ci) and the like. The current line for pixel 1138 (Ci) is connected to the current source circuit 1137. It should be noted that the current source circuit 1137 corresponds to the current source circuit 420 disposed in the signal line drive circuit 403.

The polarities of the current source TFT 1129 are different between the pixel shown in Fig. 53A and the pixel shown in Fig. 53B. Then, the connections of the capacity element 1131 and the maintaining TFT 1133 are different due to the fact that the polarities are different. In this way, a variety of pixels having different configurations exist. By the way, the pixels described so far can be largely classified into two types. One of the types is a type in which the current is inputted into the signal line according to the video signal. This corresponds to those of Fig. 13A, Fig. 13B and the like. In this case, the signal line drive circuit has a signal current control switch as shown in Fig. 1 and Fig. 2.

Then, the other type is a type in which a video signal is inputted into the signal line and a constant current having no relation to the video signal is inputted into the current line for pixel, that is, corresponding to the case of the pixel as shown in Fig. 49B. This type corresponds to those of Fig. 13C, Fig. 53A, Fig. 53B and the like. In this case, the signal line drive circuit does not have a signal current control switch as those of Fig. 29 and Fig. 30 does not.

Subsequently, a method of driving according to the

respective pixel types will be described with reference to a timing chart. First, the case where the digital tone and the time tone are combined will be described below. However, this is changed depending upon the types of the pixels and the configurations of the signal line drive circuits. Specifically, as already described, in the case where the setting operation of the signal line drive circuit to the current source circuit is carried out at the same time with the input operation, the timing of the setting operation of the signal line drive circuit to the current source circuit is not particularly limited. Hence, a method of driving in the case where the timing of the setting operation of the signal line drive circuit to the current source circuit and the input operation cannot be carried out simultaneously will be described below with reference to the timing chart.

First, the case of the pixel type in which the current is inputted into the signal line according to the video signal will be described below. Suppose that the pixel is that of Fig. 13A or Fig. 13B. Suppose that the signal line drive circuit has the configuration of Fig. 3B. The timing chart of this time is shown in Fig. 54.

Defining that tones of 4 bits are expressed, and for simplifying it, suppose that the number of sub-frames is made 4. First, the first sub-frame period SF1 is initiated. The scan line (first scan line 1102 shown in Fig. 13A, or first scan line 1132 shown in Fig. 13B) is selected line by line, the current is inputted from the signal line (reference numeral 1101 shown in Fig. 13A or reference numeral 1131 shown in Fig. 13B). This

current is the value according to the video signal. Then, when the lighting period $Ts1$ is terminated, the next sub-frame period SF2 is initiated, it is made scan the same as SF1. Subsequently, the next sub-frame period SF3 is initiated, and it is made scan the same as SF2. However, since the length of the lighting period $Ts3$ is shorter than the length $Ta3$ of the address period, forcibly making it not emit. Specifically, the inputted video signal is deleted. Or, it is made not pass the current through the light emitting device. In order to delete, the second scan line (the second scan line 1103 shown in Fig.13A or the second scan line 1133 shown in Fig. 13B) is selected line by line. Then, the video signal is deleted and the light emitting device is made in a non-light emitting state. Subsequently, the next sub-frame SF4 is initiated. Here, it is also made scan the same as SF3, and similarly it is made in a non-light emitting state.

Hereinbefore, an image display operation, that is, the timing chart concerning with the operation of the pixel has been described. Next, the timing of the setting operation of the current source circuit disposed in the signal line drive circuit will be described below. As for the current source circuit described here, it is defined that the setting operation and the input operation cannot be carried out at the same time. The input operation of the current source circuit disposed in the signal line drive circuit is carried out during the address periods ($Ta1$, $Ta2$ and the like) in the respective sub-frame periods. Therefore, the setting operation of the current source circuit disposed in the signal line drive circuit may be carried out during the time

except for the address periods. Hence, as shown in Fig. 54, during the setting operation periods $Tb1$, $Tb2$ as the time except for the address period, the setting operation of the current source circuit disposed in the signal line drive circuit may be carried out. It should be noted that the setting operation of the current source circuit disposed in the signal line drive circuit might be carried out only during either of $Tb1$ or $Tb2$, or the setting operation may be carried out by utilizing both of the periods.

Next, the type of a pixel which inputs a video signal into the signal line and inputs a constant current not relating to the video signal into the current line for pixel will be described below. It is defined that the signal line drive circuit is the configuration of Fig. 49A. It is defined that the pixel is that of Fig. 13C, Fig. 49B, Fig. 53A, Fig. 53B or the like. However, in the case of this pixel configuration, it is necessary to carry out the setting operation with respect to the current source circuit of the pixel, too. Therefore, a method of driving, that is, the timing chart becomes different depending upon whether the setting operation of the current source circuit of the pixel and the input operation are capable of being carried out at the same time or not. First, the case where the setting operation of the current source circuit of the pixel and the input operation can be carried out at the same time, that is to say, a method of driving in the case of the pixel of Fig. 13C is shown in the timing chart of Fig. 55.

First, an image display operation, that is, the operation concerning with a transistor for switching and a transistor for

driving of the pixel or the like will be described below. However, since it is almost the same as the case of Fig. 54, it will be briefly described.

First, the first sub-frame period SF1 is initiated. The scan line (first scan line 1122 of Fig. 13C) is selected line by line, and the video signal is inputted from the signal line (reference numeral 1121 in Fig. 13C). This video signal is usually represented by voltage, but it may be represented by current. Then, when the lighting period T_{s1} is terminated, the next sub-frame period SF2 is initiated, and it is made scan the same as SF1. Subsequently, the next sub-frame period SF3 is initiated, and it is made scan the same as the prior one. However, since the length of the lighting period T_{s3} is shorter than the length of the address period T_{a3} , forcibly making it not emit. Specifically, the inputted video signal is deleted. Or, it is made not pass the current through the light emitting device. In order to delete, the second scan line (second scan line 1123 in Fig. 13C) is selected line by line. Then, the video signal is deleted, the TFT for driving 1127 becomes in an OFF-state and the light emitting device is made in a non-light emitting state. Subsequently, the next sub-frame SF4 is initiated. Here, it is also made scan the same as the sub-frame period SF3, and similarly it is made in a non-light emitting state.

Next, the setting operation to the current source circuit of the pixel will be described below. In the case of the current source circuit shown in Fig. 13C, the setting operation of the current source circuit of the pixel and the input operation can

be carried out at the same time. Therefore, the setting operation of the current source circuit of the pixel may be carried out at any time, that is, may be carried out at an optional timing.

Moreover, the setting operation of the current source circuit disposed in the signal line drive circuit may be carried out during the time except for the period during the setting operation of the current source circuit of the pixel being carried out. Specifically, for example, largely dividing the one frame period into the first and second setting operation periods, in the first setting operation period, the setting operation of the current source circuit of the pixel may be carried out, and in the second setting operation period, the setting operation of the current source circuit of the signal line drive circuit may be carried out.

From the description described above, as far as it is taken care of the fact that both of the setting operation to the current source circuit of the pixel and the setting operation of the current source circuit of the signal line drive circuit cannot be carried out at the same time, these may be carried out at any time. Specifically, in a certain period, the setting operation to the current source circuit of the pixel may be carried out, and in another period, the setting operation of the current source circuit of the signal line drive circuit may be carried out. Here, the setting operation to the current source circuit of the pixel may be carried out at any time. Then, in Fig. 55, a method of driving in the case where the setting operation to the current source circuit of the pixel is carried out in the sub-frame period SF1

and the setting operation of the current source circuit disposed in the signal line drive circuit is carried out during the period except for the sub-frame period SF1 is shown in the timing chart.

Next, the case where the pixel is the type of a pixel which inputs a video signal to the signal line and inputs a constant current not relating to the video signal into the current line for pixel, and the setting operation of the current source circuit of the pixel and the input operation cannot be carried out at the same time, that is, a timing chart on a method of driving in the case of the pixel shown in Figs. 53A, 53B is shown in Fig. 56.

First, an image display operation, that is, the operation concerning with a transistor for switching and a transistor for driving of the pixel or the like will be briefly described below since it is almost the same as the case of Fig. 55.

First, the first sub-frame period SF1 is initiated. The scan line (first scan line 1122 of Fig. 53B) is selected line by line, and the video signal is inputted from the signal line (reference numeral 1121 in Fig. 53A, Fig. 53B). This video signal is usually represented by voltage, but it may be represented by current. Then, when the lighting period Ts1 is terminated, the next sub-frame period SF2 is initiated, and it is made scan the same as in the sub-frame period SF1. Subsequently, the next sub-frame period SF3 is initiated, and it is made scan the same as in the prior period. However, since the length of the lighting period Ts3 is shorter than the length of the address period Ta3, forcibly making it not emit. Specifically, the inputted video

signal is deleted. Or, it is made not pass the current through the light emitting device. In order not to pass the current through the light emitting device, the second scan line (second scan line 1123 in Fig.13C) is made line by line in a non-selection state. Then, the TFT for deleting 1127 becomes in an OFF-state, the pathway where the current flows is cut off and it can be made in a non-light emitting state. Subsequently, the next sub-frame SF4 is initiated. Here, it is also made scan the same as the sub-frame period SF3, and similarly it is made in a non-light emitting state.

Next, the setting operation to the current source circuit of the pixel will be described below. In the cases of Figs. 53A, 53B, the setting operation of the current source circuit of the pixel and the input operation cannot be carried out at the same time. Therefore, the setting operation of the current source circuit of the pixel may be carried out during the time when the current source circuit of the pixel does not carry out the input operation, that is, it may be carried out during the time when the current does not flow through the light emitting device.

The setting operation of the current source circuit disposed in the signal line drive circuit may be carried out during the time except for the period during the setting operation of the current source circuit of the pixel being carried out. Specifically, for example, largely dividing the one frame period into the first and second setting operation periods, in the first setting operation period, the setting operation of the current source circuit of the pixel may be carried out, and in the second setting operation period, the setting operation of the current source

circuit of the signal line drive circuit may be carried out.

From the description described above, the setting operation to the current source circuit of the pixel may be carried out during the non-lighting periods (Td3, Td4), and during the time except for that time, the setting operation of the current source circuit of the signal line drive circuit may be carried out. Then, in Fig. 56, a method of driving in the case where the setting operation to the current source circuit of the pixel is carried out in the non-lighting periods (Td3, Td4) of the sub-frame periods SF3 and SF4, and the setting operation of the current source circuit disposed in the signal line drive circuit is carried out during the period except for these periods is described with reference to the timing chart.

It should be noted that it might be not sufficient for the setting operation with respect to the current source circuit of the pixel to carry out the setting operation only during the non-lighting period. Specifically, there are cases such as the case where it is desired that the setting operation with respect to the current source circuit of the pixel is sufficiently and precisely carried out by taking a long time, and the case where it is desired that the period during which the setting operation is carried out is increased. In such cases, as shown in Fig. 9, prior to the respective address periods, the non-lighting period is forcibly provided, and then, the setting operation with respect to the current source circuit of the pixel may be carried out.

So far, a method of driving in the case where the digital tone and the time tone were combined has been described with

reference to the timing chart. Next, a method of driving in the case of an analog tone will be described below with reference to the timing chart. Here, a method of driving in the case where the setting operation with respect to the current source circuit of the signal line drive circuit and the input operation cannot be carried out at the same time will be also described below with reference to the timing chart.

First, suppose that the pixel is that shown in Fig. 13A or Fig. 13B. Suppose that the signal line drive circuit is of the configuration shown in Fig. 5 or Fig. 44. A method of driving in this case will be described below with reference to the timing chart of Fig. 10.

The scan line (first scan line 1102 shown in Fig. 13A, or first scan line 1132 shown in Fig. 13B) is selected line by line, the current is inputted from the signal line (reference numeral 1101 shown in Fig. 13A or reference numeral 1131 shown in Fig. 13B). This current is the value according to the video signal. This is carried out over the period of one frame period.

Hereinbefore, an image display operation, that is, a method of driving concerning with the operation of the pixel has been described. Next, the timing of the setting operation of the current source circuit disposed in the signal line drive circuit will be described below. Here, it is defined that the setting operation and the input operation with respect to the current source circuit cannot be carried out at the same time. The input operation of the current source circuit of the signal line drive circuit is usually carried out over one frame period. Therefore, if it remains

as it is, the setting operation of the current source circuit of the signal line drive circuit cannot be carried out. Hence, as shown in Fig. 10, during the period when the respective scan lines are selected (gate selection period, horizontal scan period), only the initial period, it is made so that the setting operation is carried out while the input operation of the current source circuit disposed in the signal line drive circuit is stopped. Specifically, during the respective horizontal scan period, the setting operation period T_b is disposed. It should be noted that that period may be corresponded to the retrace line period.

Or, as shown in Fig. 11, the input operation of the current source circuit of the signal line drive circuit (input operation of video signal) is carried out in a period of some tens of percentages out of one frame period, during the remaining period, the setting operation of the current source circuit of the signal line drive circuit may be carried out. Specifically, one frame period includes a plurality of horizontal scan periods and the setting operation periods.

It should be noted that when the setting operation of the current source circuit of the signal line drive circuit is carried out, it is necessary to carry out in such a state where the current neither leaks nor enters another current. If the current leaks or another current enters, in that state, the setting operation of the current source circuit is to be carried out. Then, the setting operation cannot be carried out with the precise value. Hence, it is necessary to make it in an OFF-state before the setting operation of the current source circuit of the signal line drive

circuit in the case of the transistor 182 in Fig. 24, the transistors A, B and C in Fig. 45, or the like. However, in the case where the switch 203 is disposed as in Fig. 46, the current neither leaks nor enters another current, it is not necessary to consider these.

The present Example is capable of being optionally combined with Embodiments 1-8 and Example 1.

Example 3

In this example, technical devices when performing color display will be described.

With a light emitting device comprised of an organic EL device, the luminance can be variable depending on the color even though current having the same magnitude is supplied to the light emitting device. In addition, in the case where the light emitting device has deteriorated over time, the deterioration degree is different depending on the color. Thus, when performing color display with a light emitting apparatus using light emitting devices, various technical devices are required to adjust the white balance.

The simplest technique is to change the magnitude of the current that is input to the pixel. To achieve the technique, the magnitude of the reference constant current source should be changed depending on the color.

Another technique is to use circuits as shown in Figs. 6(C) to 6(E) for the pixel, signal line driver circuit, reference constant current source, and the like. In the circuits as shown

in Figs. 6(C) to 6(E), the W/L ratio of two transistors forming the current mirror circuit is changed depending on the color. Thus, the magnitude of the current to be input to the pixel can be changed depending on the color.

Still another technique is to change the length of a lightening period. The technique can be applied to either of the case where the time gradation method is employed and the case where the time gradation method is not employed. According to the technique, the luminance of each pixel can be adjusted.

The white balance can be easily adjusted by using any one of the techniques or a combination thereof.

This example may be arbitrarily combined with Embodiments 1 to 8 and Examples 1 and 2.

Example 4

In this example, the appearances of the light emitting apparatus (semiconductor apparatus) of the present invention will be described using Fig. 12. Fig. 12 is a top view of a light emitting apparatus formed such that an element substrate on which transistors are formed is sealed with a sealing material; Fig. 12(B) is a cross-sectional view taken along the line A-A' of Fig. 12(A); and Fig. 12(C) is a cross-sectional view taken along the line B-B' of Fig. 12(A).

A sealing material 4009 is provided so as to enclose a pixel portion 4002, a source signal line driver circuit 4003, and gate signal line driver circuits 4004a and 4004b that are provided on a substrate 4001. In addition, a sealing material 4008 is

provided over the pixel portion 4002, the source signal line driver circuit 4003, and the gate signal line driver circuits 4004a and 4004b. Thus, the pixel portion 4002, the source signal line driver circuit 4003, and the gate signal line driver circuits 4004a and 4004b are sealed by the substrate 4001, the sealing material 4009, and the sealing material 4008 with a filler material 4210.

The pixel portion 4002, the source signal line driver circuit 4003, and the gate signal line driver circuits 4004a and 4004b, which are provided over the substrate 4001, include a plurality of TFTs. Fig. 12(B) representatively shows a driving TFT (incidentally, an n-channel TFT and a p-channel TFT are shown in this example) 4201 included in the source signal line driver circuit 4003, and an erasing TFT 4202 included in the pixel portion 4002, which are formed on a base film 4010.

In this example, a p-channel TFT or an n-channel TFT that is manufactured according to a known method is used for the driving TFT 4201, and an n-channel TFT manufactured according to a known method is used for the erasing TFT 4202.

An interlayer insulating film (leveling film) 4301 is formed on the driving TFT 4201 and the erasing TFT 4202, and a pixel electrode (anode) 4203 for being electrically connected to a drain of the erasing TFT 4202 is formed thereon. A transparent conductive film having a large work function is used for the pixel electrode 4203. For the transparent conductive film, a compound of indium oxide and tin oxide, a compound of indium oxide and zinc oxide, zinc oxide, tin oxide, or indium oxide can be used. Alternatively, the transparent conductive film added with gallium

may be used.

An insulating film 4302 is formed on the pixel electrode 4203, and the insulating film 4302 is formed with an opening portion formed on the pixel electrode 4203. In the opening portion, a light emitting layer 4204 is formed on the pixel electrode 4203. The light emitting layer 4204 may be formed using a known light emitting material or inorganic light emitting material. As the light emitting material, either of a low molecular weight (monomer) material and a high molecular weight (polymer) material may be used.

As a forming method of the light emitting layer 4204, a known vapor deposition technique or coating technique may be used. The structure of the light emitting layer 4204 may be either a laminate structure, which is formed by arbitrarily combining a hole injection layer, a hole transportation layer, a light-emitting layer, an electron transportation layer, and an electron injection layer, or a single-layer structure.

Formed on the light emitting layer 4204 is a cathode 4205 formed of a conductive film (representatively, a conductive film containing aluminum, copper, or silver as its main constituent, or a laminate film of the conductive film and another conductive film) having a light shielding property. Moisture and oxygen existing on an interface of the cathode 4205 and the light emitting layer 4204 are desirably eliminated as much as possible. For this reason, a technical device is necessary in that the light emitting layer 4204 is formed in a nitrogen or noble gas atmosphere, and the cathode 4205 is formed without being exposed to oxygen,

moisture, and the like. In this example, the above-described film deposition is enabled using a multi-chamber method (cluster-tool method) film deposition apparatus. In addition, the cathode 4205 is applied with a predetermined voltage.

In the above-described manner, a light emitting device 4303 constituted by the pixel electrode (anode) 4203, the light emitting layer 4204, and the cathode 4205 is formed. A protective film is formed on the insulating film so as to cover the light emitting device 4303. The protective film is effective for preventing, for example, oxygen and moisture, from entering the light emitting device 4303.

Reference numeral 4005a denotes a drawing wiring that is connected to a power supply line and that is electrically connected to a source region of the erasing TFT 4202. The drawing wiring 4005a is passed between the sealing material 4009 and the substrate 4001 and is then electrically connected to an FPC wiring 4301 of an FPC 4006 via an anisotropic conductive film 4300.

As the sealing material 4008, a glass material, a metal material (representatively, a stainless steel material), ceramics material, or a plastic material (including a plastic film) may be used. As the plastic material, an FRP (fiberglass reinforced plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, a polyester film, or an acrylic resin film may be used. Alternatively, a sheet having a structure in which an aluminum foil is sandwiched by the PVF film or the Mylar film may be used.

However, a cover material needs to be transparent when light emission is directed from the light emitting layer to the cover

material. In this case, a transparent substance such as a glass plate, a plastic plate, a polyester film, or an acrylic film, is used.

Further, for the filler material 4210, ultraviolet curing resin or a thermosetting resin may be used in addition to an inactive gas, such as nitrogen or argon; and PVC (polyvinyl chloride), acrylic, polyimide, epoxy resin, silicon resin, PVB (polyvinyl butyral), or EVA (ethylene vinyl acetate) may be used. In this example, nitrogen was used for the filler material.

To keep the filler material 4210 to be exposed to a hygroscopic substance (preferably, barium oxide) or an oxygen-absorbable substance, a concave portion 4007 is provided on the surface of the sealing material 4008 on the side of the substrate 4001, and a hygroscopic substance or oxygen-absorbable substance 4207 is disposed. The hygroscopic substance or oxygen-absorbable substance 4207 is held in the concave portion 4007 via a concave-portion cover material 4208 such that the hygroscopic substance or oxygen-absorbable substance 4207 does not diffuse. The concave-portion cover material 4208 is in a fine mesh state and is formed to allow air and moisture to pass through and not to allow the hygroscopic substance or oxygen-absorbable substance 4207 to pass through. The provision of the hygroscopic substance or oxygen-absorbable substance 4207 enables the suppression of deterioration of the light emitting device 4303.

As shown in Fig. 12(C), simultaneously with the formation of the pixel electrode 4203, a conductive film 4203a is formed so as to be contact with an upper portion of the drawing wiring

4005a.

In addition, the anisotropic conductive film 4300 includes a conductive filler 4300a. The substrate 4001 and the FPC 4006 are thermally press-bonded, whereby the conductive film 4203a on the substrate 4001 and the FPC wiring 4301 on the FPC 4006 are electrically connected via the conductive filler 4300a.

This example may be arbitrarily combined with Embodiments 1 to 8 and Examples 1 to 4.

Example 5

A light emitting apparatus using light emitting devices are of self-light emitting type, so that in comparison to a liquid crystal display, the light emitting apparatus offers a better visibility in bright portions and a wider view angle. Hence, the light emitting apparatus can be used in display portions of various electronics.

Electronics using the light emitting apparatus of the present invention include, for example, video cameras, digital cameras, goggle type displays (head mount displays), navigation systems, audio reproducing devices (such as car audio and audio components), notebook personal computers, game machines, mobile information terminals (such as mobile computers, mobile telephones, portable game machines, and electronic books), and image reproducing devices provided with a recording medium (specifically, devices for reproducing a recording medium such as a digital versatile disc (DVD), which includes a display capable of displaying images). In particular, in the case of mobile

information terminals, since the degree of the view angle is appreciated important, the terminals preferably use the light emitting apparatus. Practical examples are shown in Fig. 22.

Fig. 22(A) shows a light emitting unit, which contains a casing 2001, a support base 2002, a display portion 2003, a speaker portion 2004, a video input terminal 2005, and the like. The light emitting apparatus of the present invention can be applied to the display portion 2003. Further, the light emitting unit shown in Fig. 22(A) is completed with the present invention. Since the light emitting apparatus is of self-light emitting type, it does not need a back light, and therefore a display portion that is thinner than a liquid crystal display can be obtained. Note that light emitting units include all information display units, for example, personal computers, television broadcast transmitter-receivers, and advertisement displays.

Fig. 22(B) shows a digital still camera, which contains a main body 2101, a display portion 2102, an image receiving portion 2103, operation keys 2104, an external connection port 2105, a shutter 2106, and the like. The light emitting apparatus of the present invention can be applied to the display portion 2102. Further, the digital still camera shown in Fig. 22(B) is completed with the present invention.

Fig. 22(C) shows a laptop computer, which contains a main body 2201, a casing 2202, a display portion 2203, a keyboard 2204, external connection ports 2205, a pointing mouse 2206, and the like. The light emitting device of the present invention can be applied to the display portion 2203. Further, the light

emitting device shown in Fig. 22(C) is completed with the present invention.

Fig. 22(D) shows a mobile computer, which contains a main body 2301, a display portion 2302, a switch 2303, operation keys 2304, an infrared port 2305, and the like. The light emitting apparatus of present invention can be applied to the display portion 2302. Further, the mobile computer shown in Fig. 22(D) is completed with the present invention.

Fig. 22(E) shows a portable image reproducing device provided with a recording medium (specifically, a DVD reproducing device), which contains a main body 2401, a casing 2402, a display portion A 2403, a display portion B 2404, a recording medium (such as a DVD) read-in portion 2405, operation keys 2406, a speaker portion 2407, and the like. The display portion A 2403 mainly displays image information, and the display portion B 2404 mainly displays character information. The light emitting device of the present invention can be used in the display portion A 2403 and in the display portion B 2404. Note that family game machines and the like are included in the image reproducing devices provided with a recording medium. Further, the DVD reproducing device shown in Fig. 22(E) is completed with the present invention.

Fig. 22(F) shows a goggle type display (head mounted display), which contains a main body 2501, a display portion 2502, an arm portion 2503, and the like. The light emitting device of the present invention can be used in the display portion 2502. The goggle type display shown in Fig. 22(F) is completed with the present invention.

Fig. 22(G) shows a video camera, which contains a main body 2601, a display portion 2602, a casing 2603, external connection ports 2604, a remote control reception portion 2605, an image receiving portion 2606, a battery 2607, an audio input portion 2608, operation keys 2609, an eyepiece portion 2610, and the like. The light emitting device of the present invention can be used in the display portion 2602. The video camera shown in Fig. 22(G) is completed with the present invention.

Here, Fig. 22(H) shows a mobile telephone, which contains a main body 2701, a casing 2702, a display portion 2703, an audio input portion 2704, an audio output portion 2705, operation keys 2706, external connection ports 2707, an antenna 2708, and the like. The light emitting device of the present invention can be used in the display portion 2703. Note that, by displaying white characters on a black background, the display portion 2703 can suppress the consumption current of the mobile telephone. Further, the mobile telephone shown in Fig. 22(H) is completed with the present invention.

When the emission luminance of light emitting materials are increased in the future, the light emitting device will be able to be applied to a front or rear type projector by expanding and projecting light containing image information having been output lenses or the like.

Cases are increasing in which the above-described electronic devices display information distributed via electronic communication lines such as the Internet and CATVs (cable TVs). Particularly increased are cases where moving picture information

is displayed. Since the response speed of the light emitting material is very high, the light emitting apparatus is preferably used for moving picture display.

Since the light emitting apparatus consume the power in light emitting portions, information is desirably displayed so that the light emitting portions are reduced as much as possible. Thus, in the case where the light emitting apparatus are used for a display portion of a mobile information terminal, particularly, a mobile telephone, an audio playback device, or the like, which primarily displays character information, it is preferable that the character information be formed in the light emitting portions with the non-light emitting portions being used as the background.

As described above, the application range of the present invention is very wide, so that the invention can be used for electronics in all of fields. The electronics according to this example may use the light emitting apparatus with the structure according to any one of Embodiments 1 to 8 and Examples 1 to 4.

The present invention having the structures described above can suppress influences of variation in characteristics of TFTs, and can supply a desired current to the outside.

The present invention provides the signal line driver circuit having two shift registers (the first and the second shift registers). One of the two shift register is the power source circuit and the other is the circuit for controlling a video signal, for example, for controlling a latch circuit, a sampling switch, and the switch 101 (signal current control switch). Accordingly,

it is possible to operate the first and the second shift registers independently, and it leads inevitably to perform a setting operation of the power source circuit and the image display operation independently. The composition of the present invention capable of operating the power source circuit and the latch circuit independently is very beneficial because the setting operation can be performed with accuracy when it has enough time for the setting operation.

Note that a shift register includes a flip-flop circuit, a decoder circuit, or the like. In the case where the shift register includes the flip-flop circuit, in general, a plurality of wirings are sequentially selected from the first column to the last column. On the other hand, in the case where the shift register is comprised of the decoder circuit or the like, a plurality of wiring are selected at random. If the plurality of wiring can be selected at random, the setting signal become able to be output at random. Thus, setting operation of the current source circuit can be performed randomly instead of being performed sequentially from the first column to the last column. When the setting operation can be performed at random for the current source circuit, various advantages are exhibited. For example, a sufficient time can be arbitrarily used to perform the setting operation for the current source circuit. In addition, in the case where periods during which the setting operation can be performed are dotted in one frame, when an arbitrary column can be selected, the degree of freedom is increased, and a setting operation period can be sufficiently secured. One of other advantages is that the

influence of charge leakage in a capacitor device disposed in the current source circuit can be made inconspicuous. Thus, when a defect has occurred in association with the setting operation, the defect can be made inconspicuous.

What is claimed is:

1. A signal line drive circuit comprising a current source circuit, said current source circuit comprising:
means for converting a first current into a voltage,
means for maintaining said converted voltage,
means for converting said maintained voltage into a second current, and
means for passing said second current through a signal line or a pixel with a digital picture signal.
2. A signal line drive circuit comprising a current source circuit, said current source circuit comprising:
means for converting a first current into a voltage,
means for maintaining said converted voltage, and
means for converting said maintained voltage into a second current and passing said second current through a current line or a pixel.
3. A signal line drive circuit comprising:
a current source circuit; and
means for supplying a digital picture signal to a signal line or a pixel,
said current source circuit comprising:
means for converting a first current into a voltage,
means for maintaining said converted voltage, and
means for converting said maintained voltage into a second current and passing said second current through a current line

or said pixel.

4. A signal line drive circuit comprising a current source circuit, said current source circuit comprising:
means for converting a first current into a voltage;
means for maintaining said converted voltage;
means for converting said maintained voltage into a second current; and
means for passing said second current through a current line or a pixel.

5. A signal line drive circuit comprising:
a current source circuit; and
means for supplying a digital picture signal to a signal line or a pixel,
said current source circuit comprising:
means for converting a first current into a voltage,
means for maintaining said converted voltage,
means for converting said maintained voltage into a second current; and
means for passing said second current through a current line or said pixel.

6. A signal line drive circuit comprising:
a plurality of current source circuit corresponding to a plurality of wirings;
a first and a second shift register;

a latch circuit,
wherein each of said respective plurality of current source
circuits comprises a capacity means and a supplying means,
wherein said capacity means converts supplied current into
voltage according to a sampling pulse supplied from said first
shift register, said supplying means supplies current
corresponding to said converted voltage according to a video signal,
and

wherein said latch circuit operates according to a sampling
pulse supplied from said second shift register.

7. A signal line drive circuit comprising:

a first and second current source circuits respectively
corresponding to a plurality of wirings;

a first and a second shift register;

a latch circuit,

wherein each of said first and second current source circuits
has a capacity means and a supplying means,

wherein said capacity means that one of said first and said
second current source circuits has converts supplied current into
voltage according to a sampling pulse supplied from said first
shift register, said supplying means that the other current source
circuit has supplies current corresponding to said converted
voltage according to a video signal, and

wherein said latch circuit operates according to a sampling
pulse supplied from said second shift register.

8. A signal line drive circuit comprising n pieces of current source circuits (n is natural number of 2 or more) corresponding to a plurality of wirings;
a first and a second shift registers;
a latch circuit,
wherein each of said n pieces of current source circuits has a capacity means and a supplying means,
wherein said capacity means that said n pieces of current source circuits have convert supplied current into voltage according to a sampling pulse supplied from said first shift register, said supplying means supplies current corresponding to said converted voltage according to a video signal, and
wherein said latch circuit operates according to a sampling pulse supplied from said second shift register.

9. The signal line drive circuit as claimed in any one of Claims 6-8, wherein said signal line drive circuit comprises m pieces of constant current sources for reference,
current values supplied from said m pieces of constant current sources for reference are set at $2^0: 2^1: \dots : 2^m$.

10. The signal line drive circuit as claimed in any one of Claims 6-8, wherein said m pieces of constant current sources for reference corresponds to bit different from each other.

11. The signal line drive circuit as claimed in any one of Claims 6-8, wherein sampling pulses supplied from said first

shift register are outputted to a plurality of columns at the same time.

12. The signal line drive circuit as claimed in any one of Claims 6-8, wherein said plurality of wirings are a plurality of signal lines or a plurality of current lines.

13. The signal line drive circuit as claimed in any one of Claims 6-8, wherein said first and said second shift register are configured only with a flip-flop circuit, and said plurality of wirings are in turn selected.

14. The signal line drive circuit as claimed in any one of Claims 6-8, wherein said first or said second shift register is configured with a decoder circuit, and said plurality of wirings are selected at random.

15. The signal line drive circuit as claimed in any one of Claims 6-8, wherein said first or said second shift register is configured with flip-flop circuit, a first latch to which a column selection signal is inputted and a logic operator to which a selection control signal is inputted, and said plurality of wirings are selected at random.

16. The signal line drive circuit as claimed in any one of Claims 6-8, wherein said first or said second shift register is configured with a flip-flop circuit, a first latch to which

a column selection signal is inputted, and a second latch to which a latch signal for selection is inputted, and said plurality of wirings are selected at random.

17. The signal line drive circuit as claimed in any one of Claims 6-8, wherein said capacity means maintains a voltage generated between a gate and a source of a transistor of said supplying means by a current supplied when a drain and a gate of said transistor are in a short-circuited state.

18. The signal line drive circuit as claimed in any one of Claims 6-8, wherein said supplying means comprises a transistor, a first switch for controlling a conduction between a gate and a drain of said transistor, a second switch for controlling a conduction between a constant current source for reference and a gate of said transistor, and a third switch for controlling a conduction between a drain of said transistor and a pixel.

19. The signal line drive circuit as claimed in any one of Claims 6-8, wherein said capacity means maintains a voltage generated between a gate and a source of first or second transistor of said supplying means by a supplied current when drains and gates of both of said first and second transistors are in a short-circuited state.

20. The signal line drive circuit as claimed in any one of Claims 6-8, wherein said supplying means has a current mirror

circuit configured with a first and a second transistors, a first switch for controlling a conduction between a gate and a source of said first and said second transistors, and a second switch for controlling a conduction between a constant current source for reference and gates of said first and said second transistors.

21. The signal line drive circuit as claimed in any one of Claims 6-8, wherein said capacity means maintains a voltage generated between a gate and a source of one of a first and a second transistors of said supplying means by a supplied current when a drain and a gate of said one of a first and a second transistors are in a short-circuited state.

22. The signal line drive circuit as claimed in any one of Claims 6-8, wherein said supplying means comprises,

a current mirror circuit including a first and a second transistors,

a first switch for controlling a conduction between a constant current source for reference and a drain of said first transistor,

a second switch for controlling a conduction of any one selected from a conduction between a drain and a gate of said first transistor, a conduction between a gate of said first transistor and a gate of said second transistor and a conduction between gates of said first and said second transistors and said constant current source for reference.

23. The signal line drive circuit as claimed in Claim 20, wherein a gate width/gate length of said first and said second transistors is set at the same values.

24. The signal line drive circuit as claimed in Claim 21, wherein a gate width/gate length of said first and said second transistors is set at the same values.

25. The signal line drive circuit as claimed in Claim 22, wherein a gate width/gate length of said first and said second transistors is set at the same values.

26. The signal line drive circuit as claimed in Claim 20, wherein a gate width/a gate length of said first transistor is set at a value larger than that of a gate width/ a gate length of said second transistor.

27. The signal line drive circuit as claimed in Claim 21, wherein a gate width/a gate length of said first transistor is set at a value larger than that of a gate width/ a gate length of said second transistor.

28. The signal line drive circuit as claimed in Claim 22, wherein a gate width/a gate length of said first transistor is set at a value larger than that of a gate width/ a gate length of said second transistor.

29. The signal line drive circuit as claimed in any one of Claims 6-8, wherein said supplying means comprises a transistor, a first and a second switches for controlling supply of a current to said capacity means and a third switch for controlling a conduction between a gate and a drain of said transistor, and

a gate of said transistor is connected to said first switch, a source of said transistor is connected to said second switch, and a drain of said transistor is connected to said third switch.

30. The signal line drive circuit as claimed in any one of Claims 6-8, wherein said supplying means comprises a current mirror circuit including a pieces of transistors (a is natural number of 2 or more),

a gate width/a gate length of said a pieces of transistors is at $2^0:2^1:\dots:2^a$, and

a drain current of said a pieces of transistors is at $2^0:2^1:\dots:2^a$.

31. The signal line drive circuit as claimed in any one of Claims 6-8, wherein a transistor configuring said supplying means operates in a saturated region.

32. The signal line drive circuit as claimed in any one of Claims 6-8, wherein an active layer of a transistor configuring said current source circuit is formed using a polysilicon.

33. The signal line drive circuit as claimed in any one

{ }

of Claims 6-8, wherein said first and said second shift registers operate at different frequencies.

34. A light emitting device comprising said signal line drive circuit claimed in any one of Claims 1-8 and a pixel section in which a plurality of pixels including a light emitting device, respectively, are disposed in a matrix shape, and

a current is supplied from said signal line drive circuit to said light emitting device.

35. A method for driving a light emitting device comprising a pixel section where a plurality of wirings, a plurality of scan lines and a plurality of pixels are disposed in a matrix shape, and

a signal line drive circuit comprising a plurality of current source circuits corresponding to said plurality of wirings, a first and a second shift registers are provided,

said plurality of pixels have a light emitting device, a transistor for driving and a capacity element for maintaining a voltage between a gate and a source of said transistor for driving, wherein,

one frame period has a plurality of sub-frame periods,

said plurality of sub-frame period have a lighting period and an address period,

said method comprising:

converting a supplied current into a voltage according to a sampling pulse supplied from said first shift register during

said lighting period by capacity means of said current source circuits, and

supplying a current corresponding to said converted voltage during said address period by supplying means of said current source circuit.

36. A method for driving a light emitting device comprising a pixel section where a plurality of wirings, a plurality of scan lines and a plurality of pixels are disposed in a matrix shape, and

a signal line drive circuit comprising a plurality of first current source circuits corresponding to said plurality of wirings, a first and a second shift registers are provided,

said plurality of pixels have a light emitting device, a second current source circuit, and a switch for controlling conduction between said light emitting device and said second current source circuit,

one frame period has a first and a second setting operation periods,

said method comprising:

converting a supplied current into a voltage according to a sampling pulse supplied from said first shift register during said first setting operation period by capacity means of said first current source circuit, and

converting a supplied current into a voltage during said second setting operation period by capacity means of said second current source circuit.

37. A method for driving a light emitting device comprising a pixel section where a plurality of wirings, a plurality of scan lines and a plurality of pixels are disposed in a matrix shape, and

a signal line drive circuit comprising a plurality of current source circuits corresponding to said plurality of wirings, a first and a second shift registers are provided,

said plurality of pixels have a light emitting device, wherein one frame period has a plurality of horizontal scan periods,

said plurality of horizontal scan period has a setting operation period, respectively,

said method comprising:

during said setting operation period, capacity means that said plurality of current source circuits have, respectively converting a supplied current into a voltage according to a sampling pulse supplied from said first shift register during said setting operation period by capacity means of said plurality of current source circuits.

38. A method for driving a light emitting device comprising a pixel section where a plurality of wirings, and a plurality of pixels are disposed in a matrix shape, and

a signal line drive circuit comprising a plurality of current source circuits corresponding to said plurality of wirings, a first and a second shift registers are provided,

1)

said plurality of pixels have a light emitting device,
wherein one frame period has a plurality of horizontal scan
periods and setting operation periods,

said method comprising:

during said setting operation period, capacity means that
said plurality of current source circuits have, respectively
converting a supplied current into a voltage according to a sampling
pulse supplied from said first shift register during said setting
operation period by capacity means of said plurality of current
source circuits.

39. A method for driving a light emitting apparatus as claimed
in any one of Claims 35-38, wherein said first and said second
shift registers operate at different frequencies.

40. A method for driving a light emitting apparatus as claimed
in any one of Claims 35-38, wherein said pixel section carries
out a line sequential drive or a dot sequential drive.

41. A method for driving a light emitting apparatus as claimed
in any one of Claims 35-38, wherein said plurality of wirings
are a plurality of signal lines or a plurality of current lines.

Abstract of the Disclosure

The variation of characteristics of transistors occurs. The present invention is a signal line drive circuit having a plurality of current source circuit corresponding to a plurality of wirings, a first and a second shift registers, a latch circuit, the foregoing plurality of current source circuits have capacity means and supplying means, respectively, characterized in that the foregoing capacity means converts a supplied current into a voltage according to a sampling pulse supplied from the foregoing first shift register, the foregoing supplying means supplies a current corresponding to the foregoing converted voltage according to a video signal, and the foregoing latch circuit operates according to a sampling pulse supplied from the foregoing second shift register.

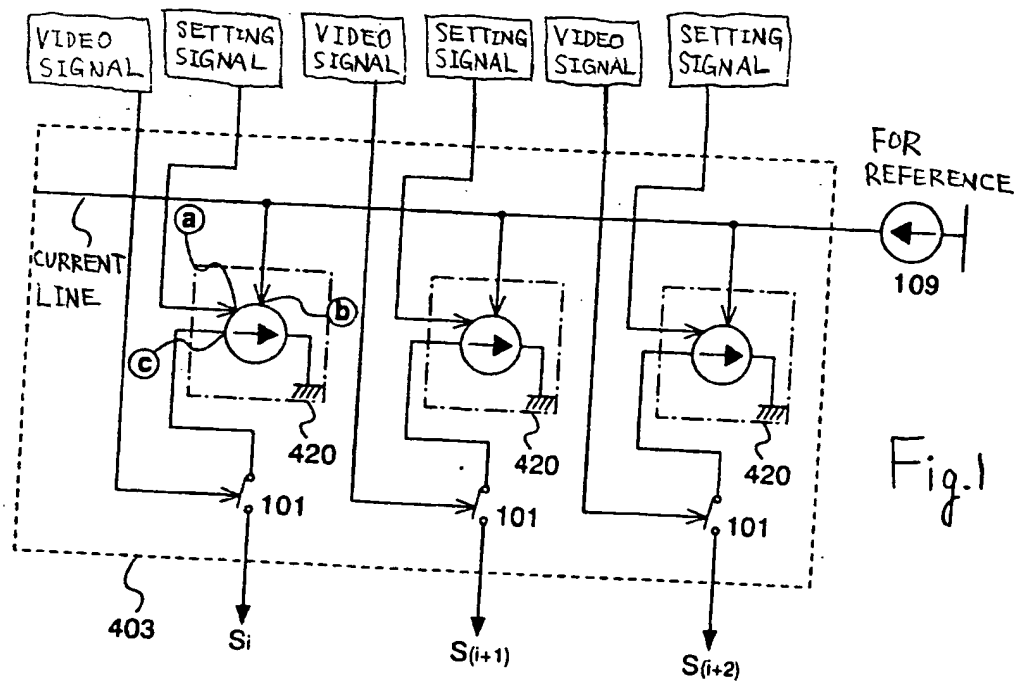


Fig.1

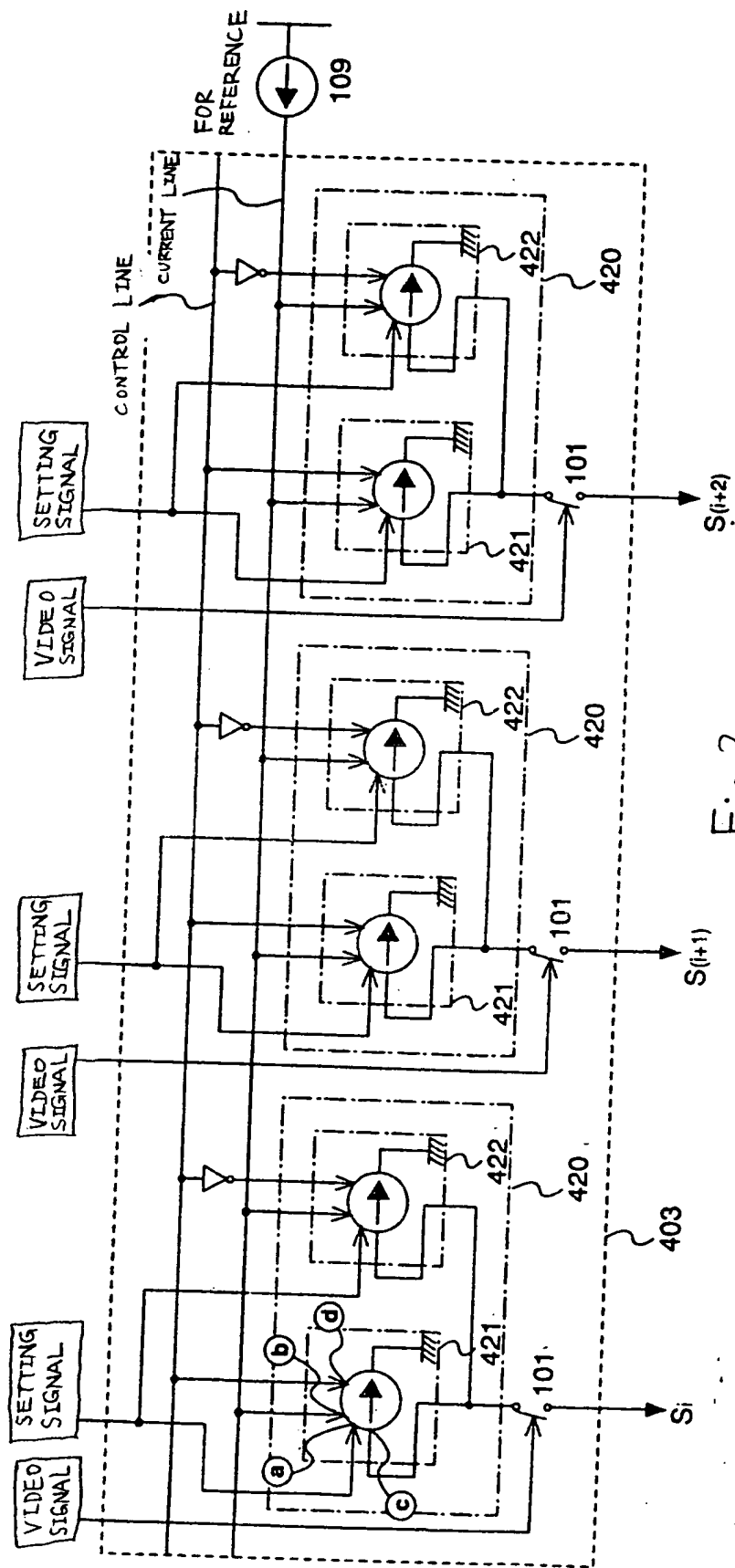
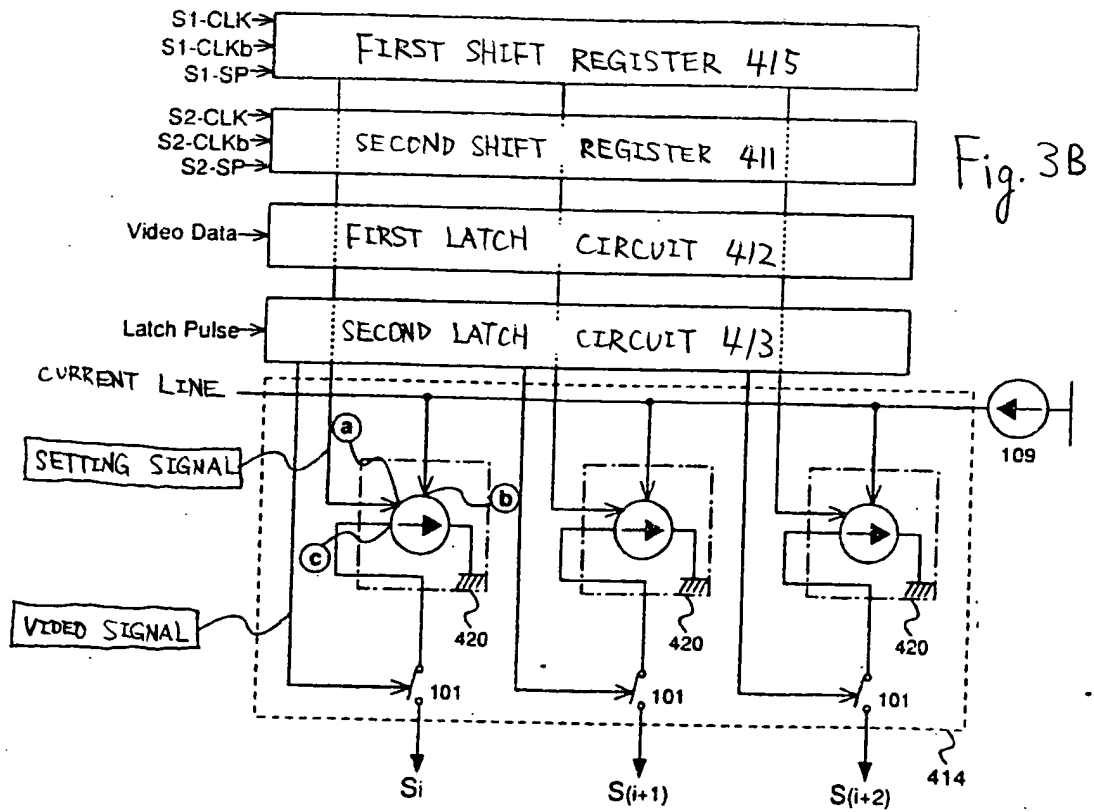
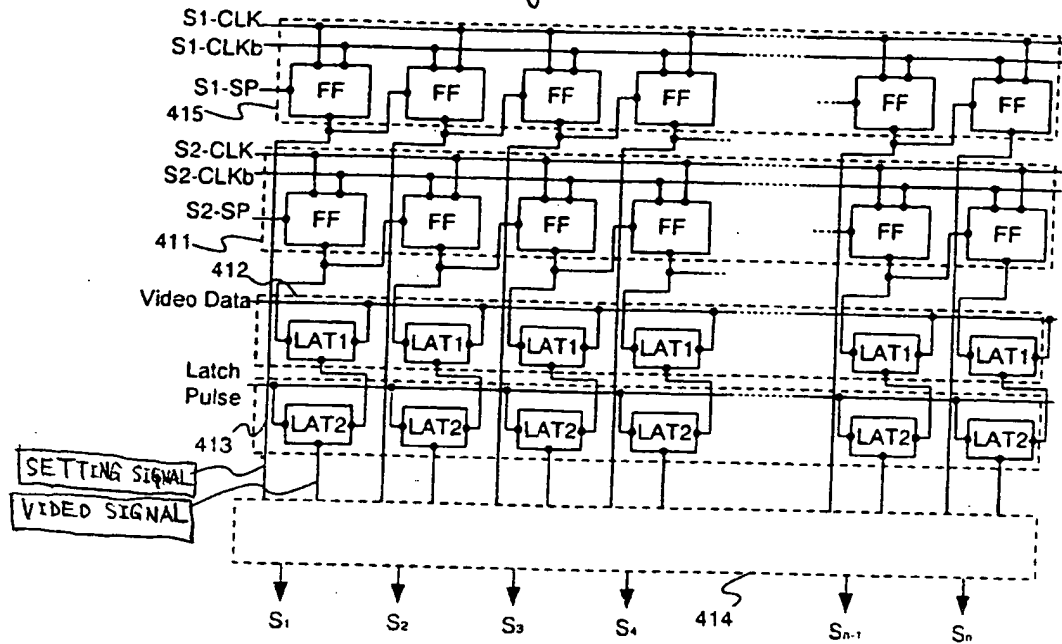


Fig. 2

Fig. 3A



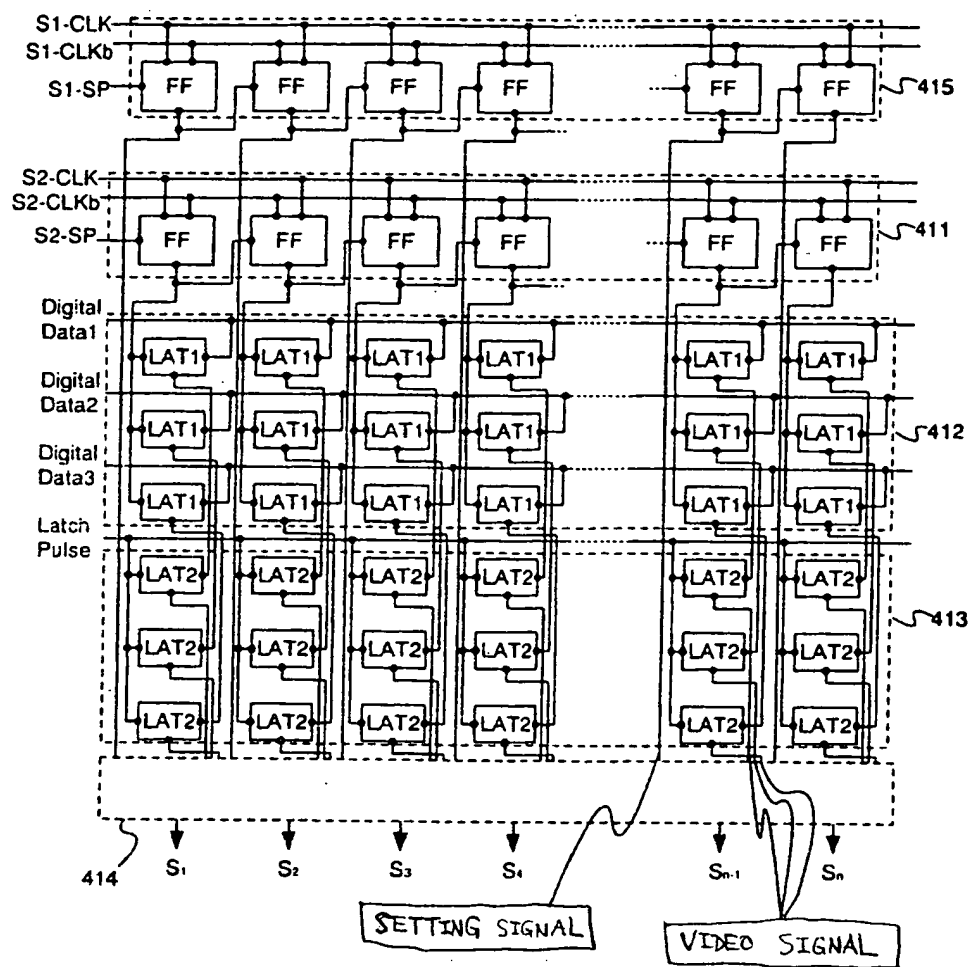
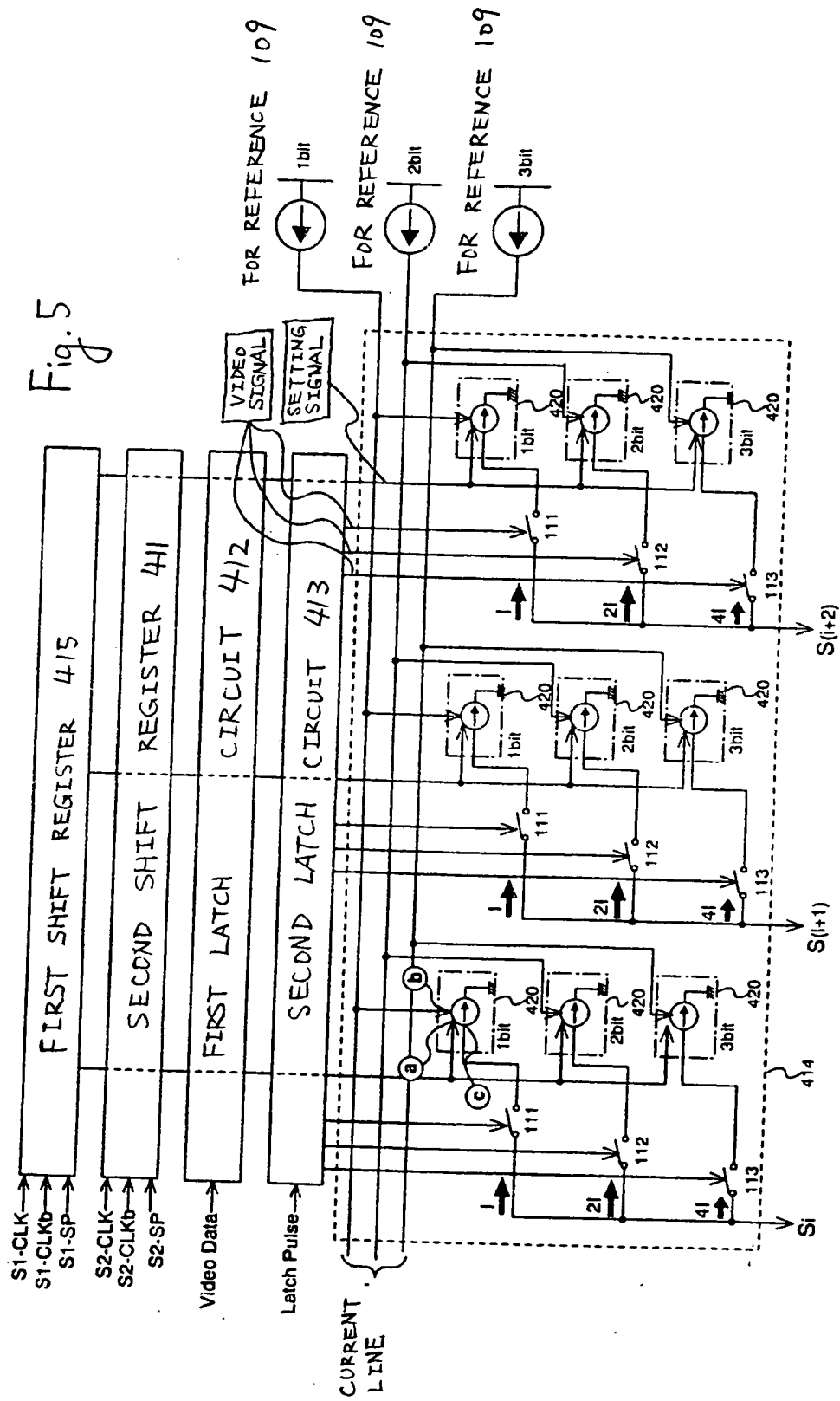
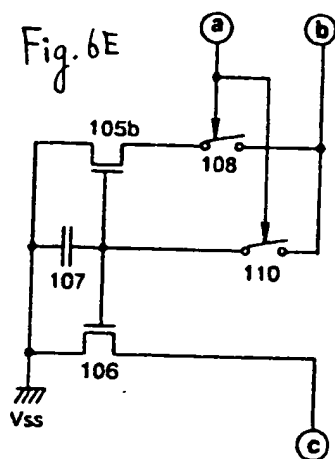
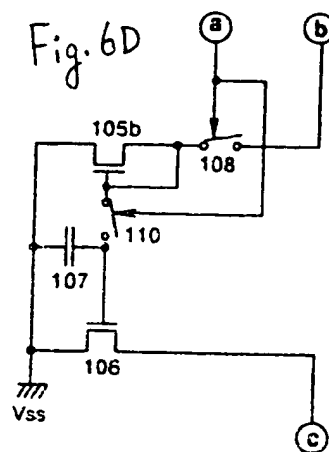
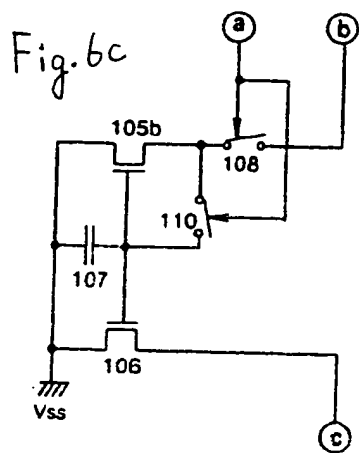
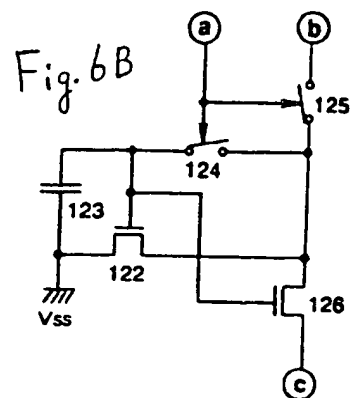
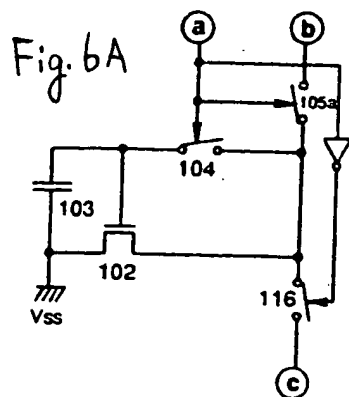


Fig. 4

Fig. 5





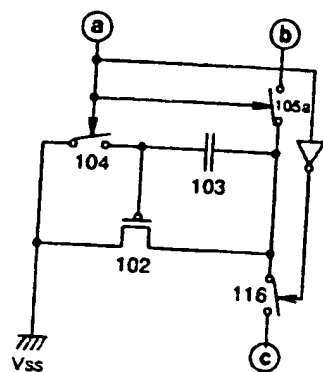


Fig. 7A

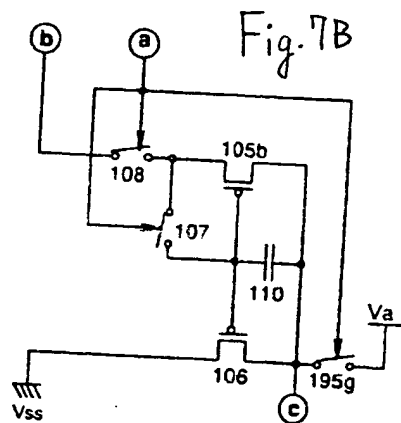


Fig. 7B

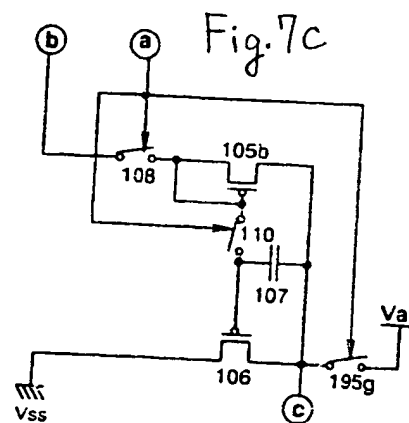


Fig. 7C

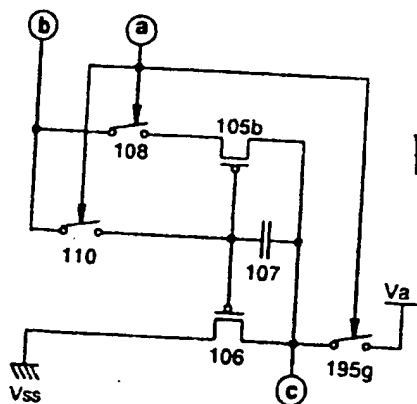


Fig. 7D

Fig. 8A

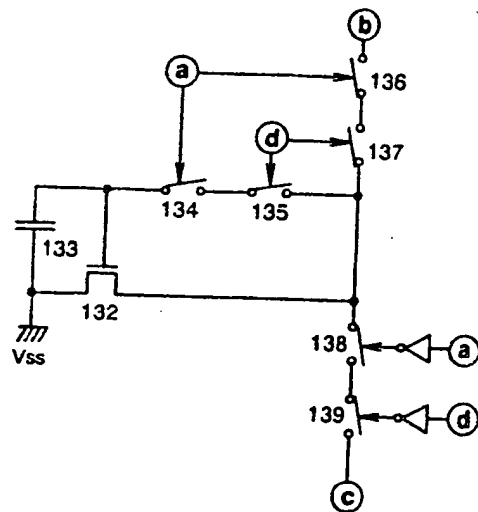
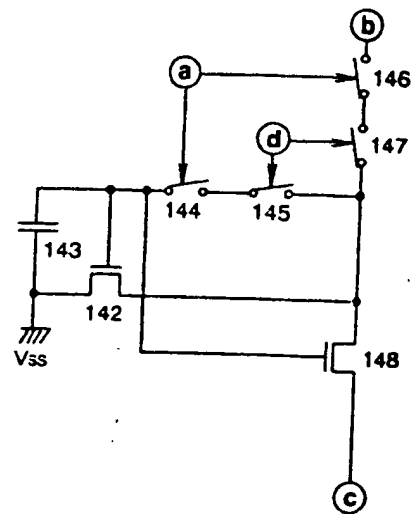


Fig. 8B



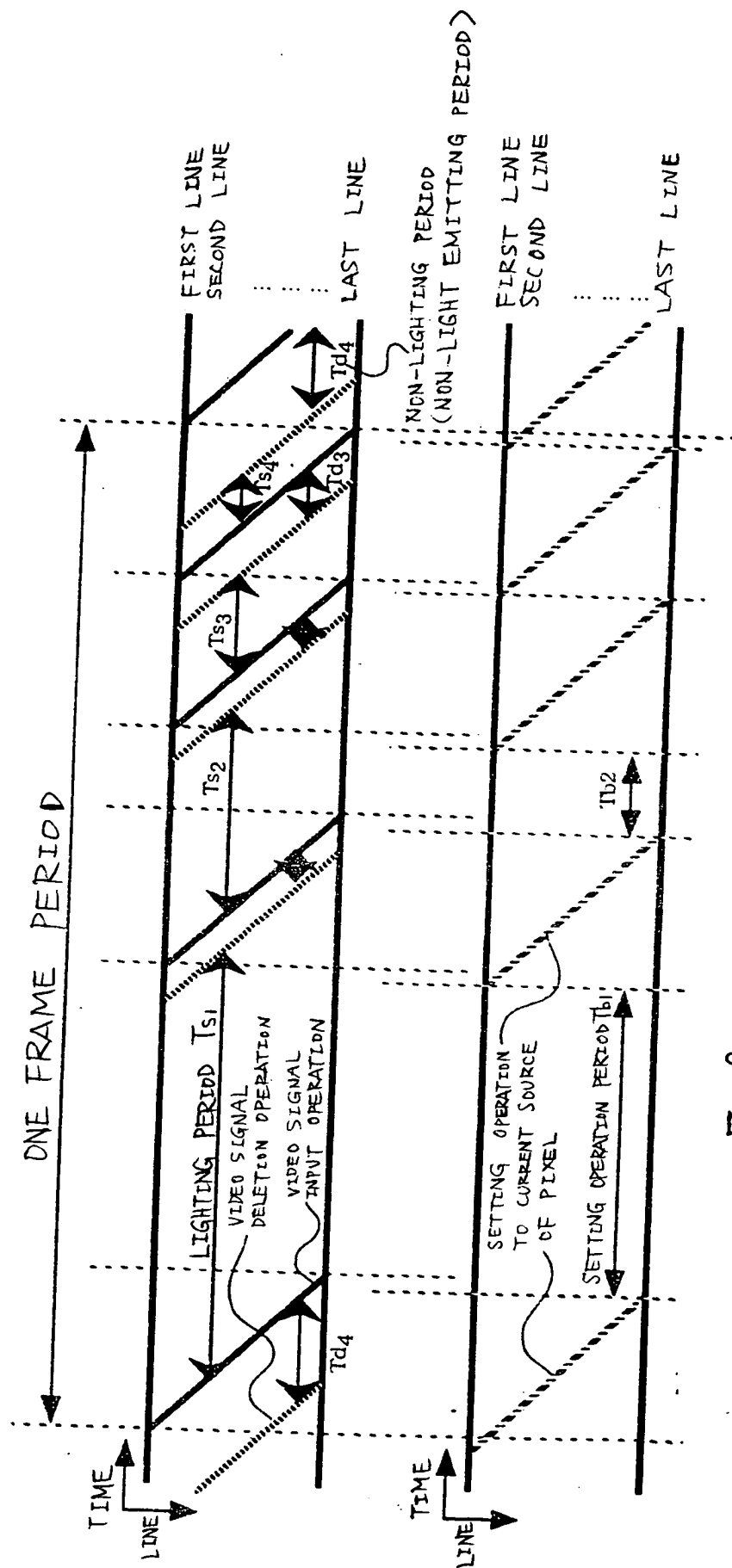


Fig. 9

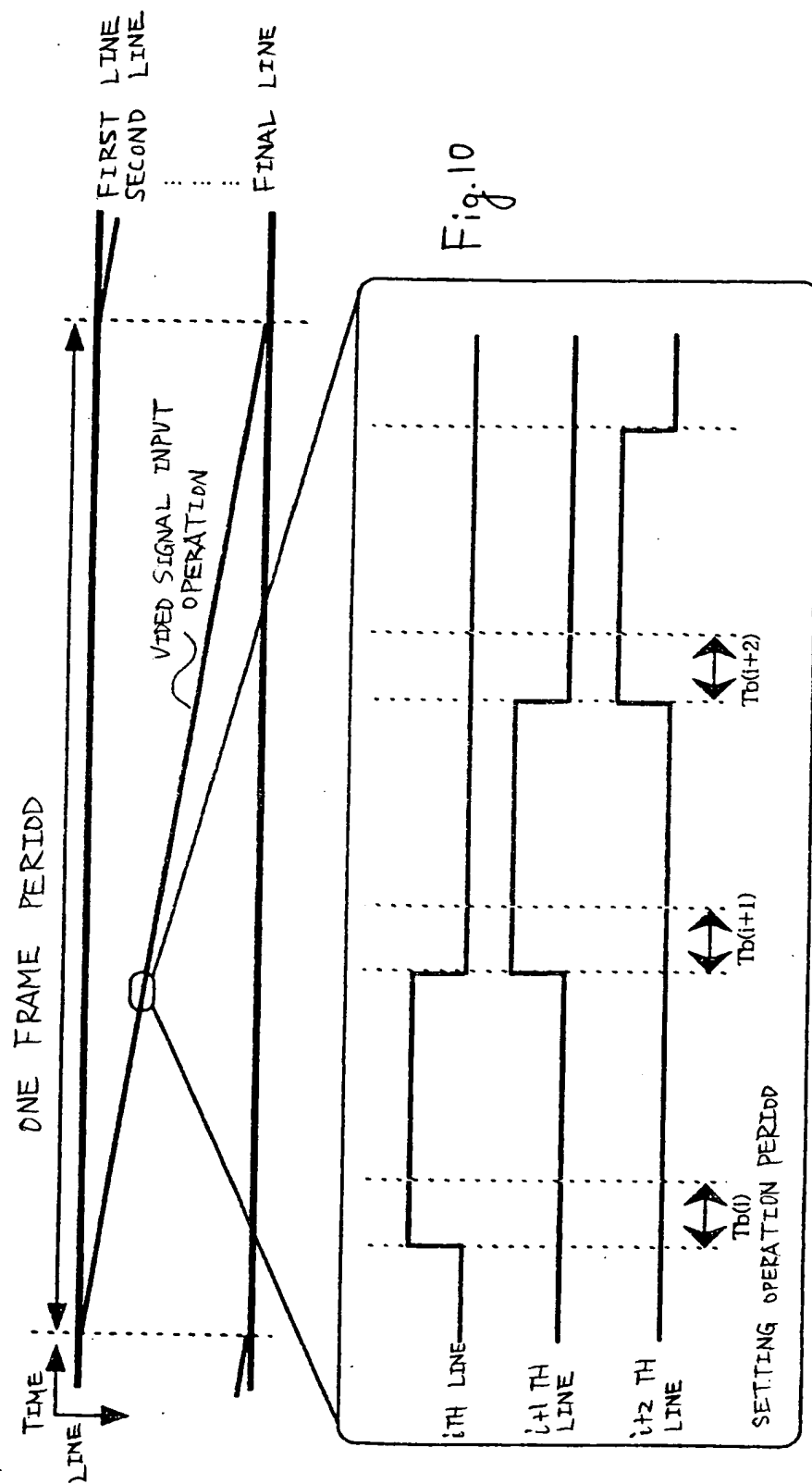


Fig. 10

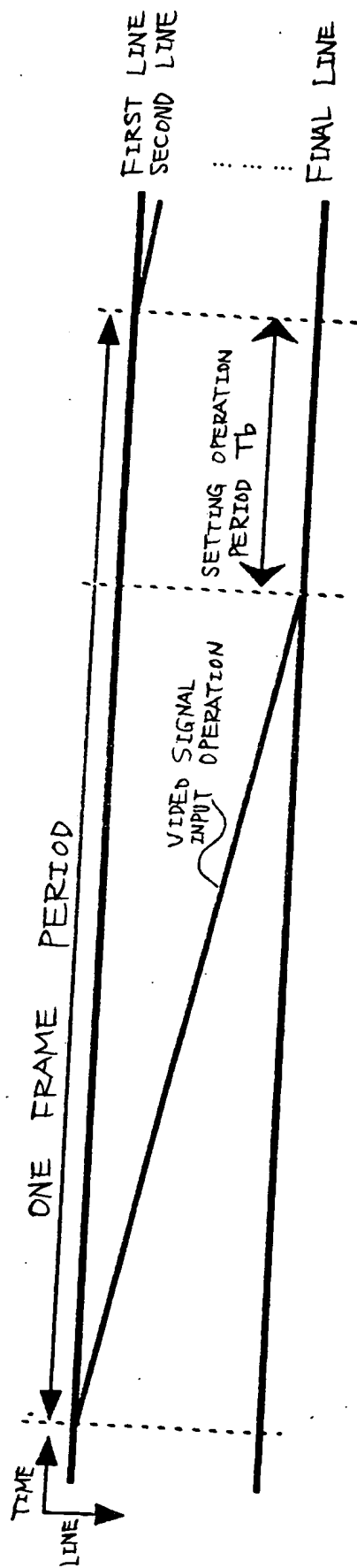


Fig. 11

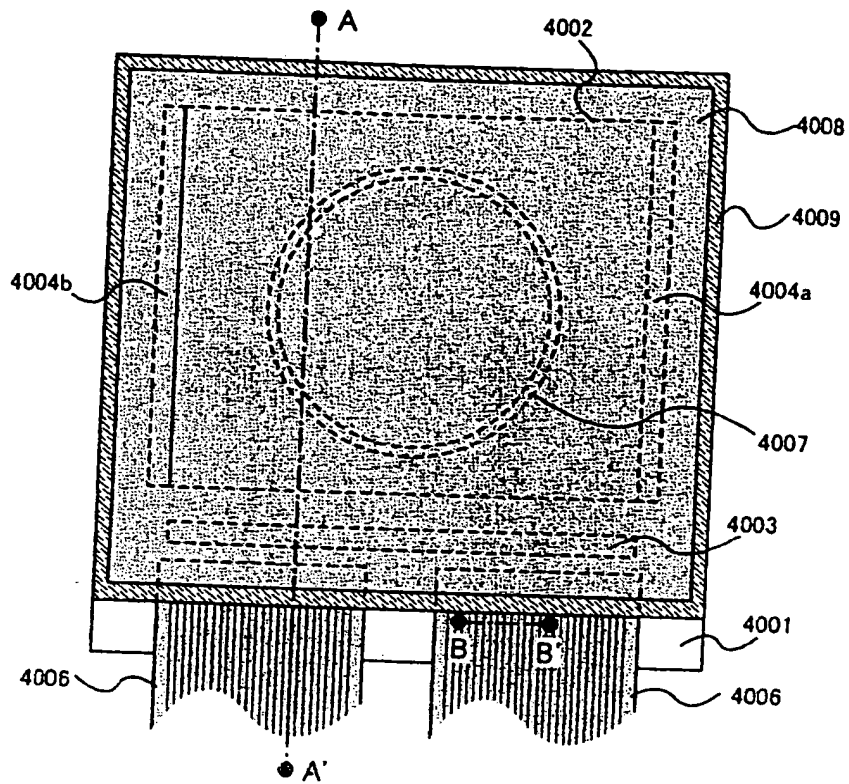


Fig. 12A

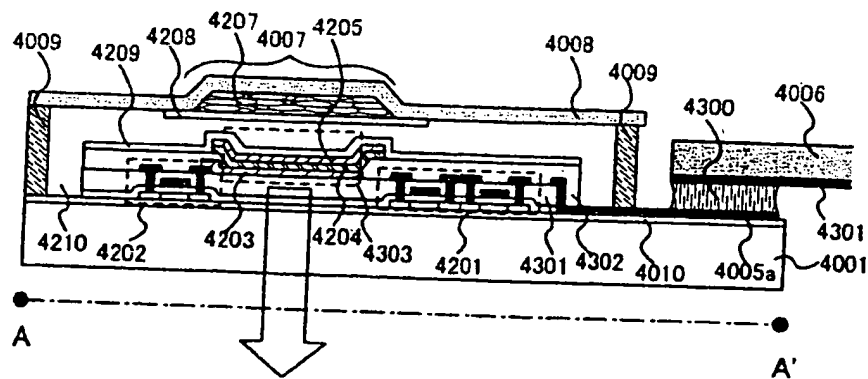


Fig. 12B

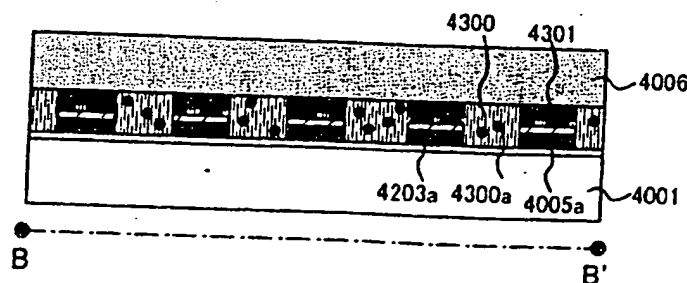


Fig. 12C

Fig. 13A

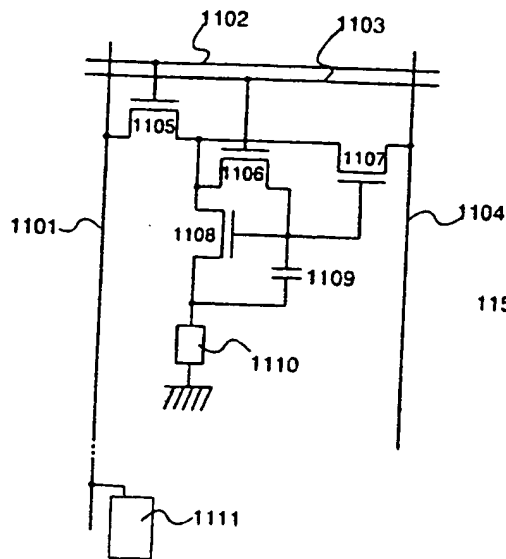


Fig. 13B

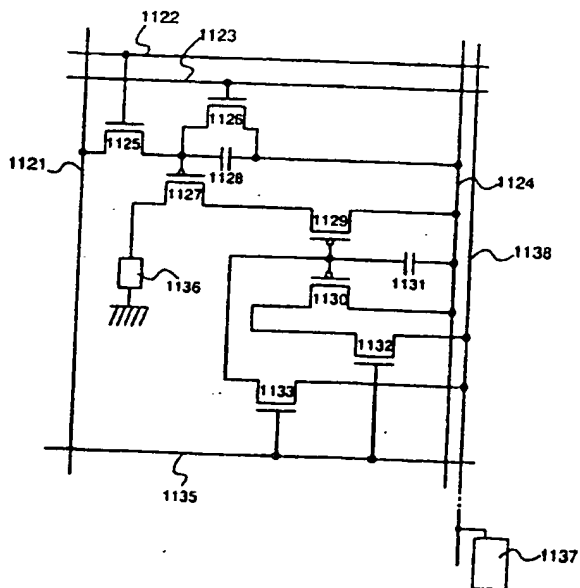
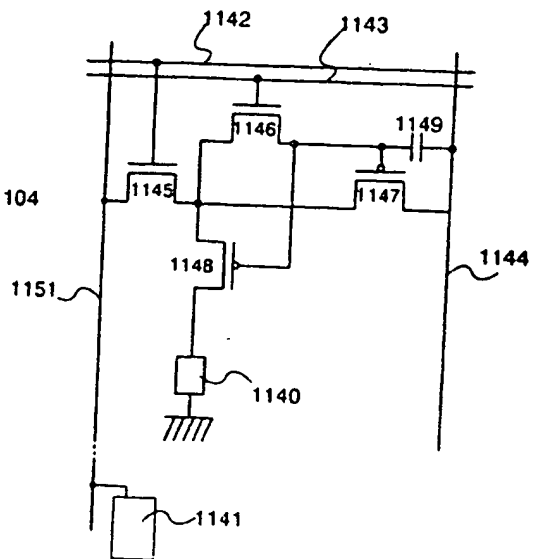


Fig. 13c

Fig.14(A)

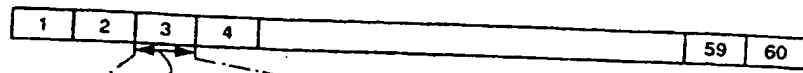


Fig.14(B)

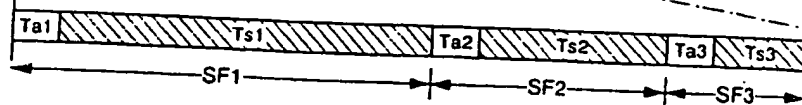


Fig.14(C)

SCAN LINE (1)

SCAN LINE (m)

SCAN LINE (FINAL)

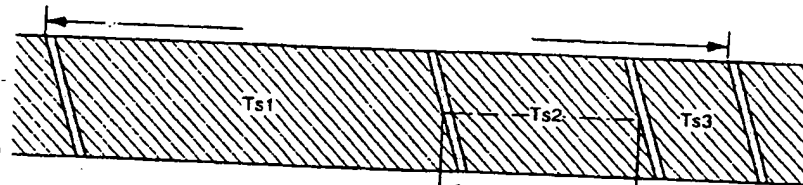


Fig.14

SCAN LINE (m)

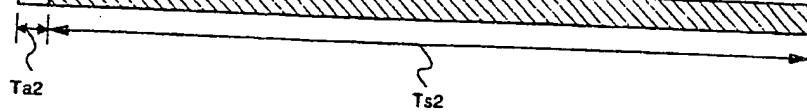


Fig.15

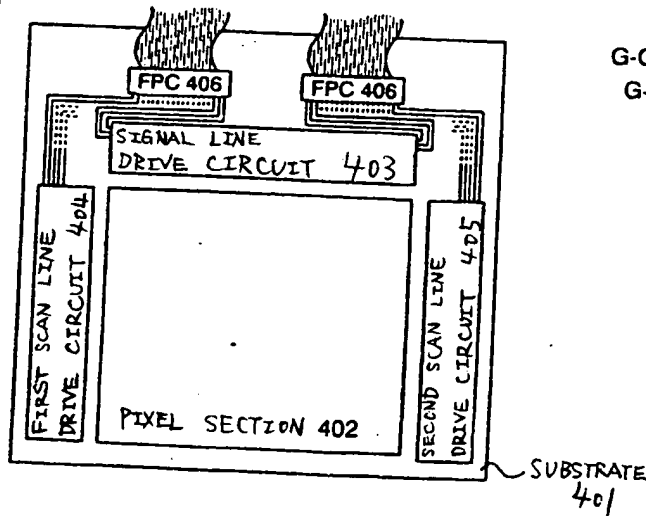
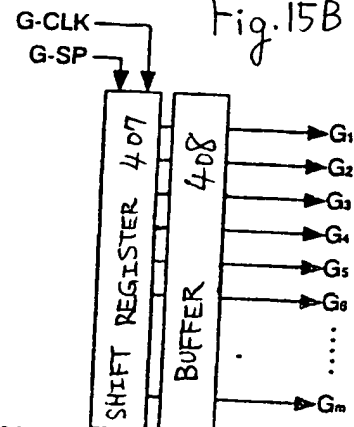


Fig.15B



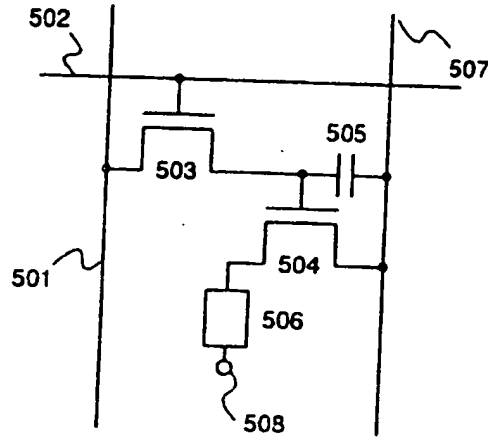


Fig. 16(A)

- 501 : SIGNAL LINE
- 502 : SCAN LINE
- 503 : TFT FOR SWITCHING
- 504 : TFT FOR DRIVING
- 505 : CAPACITY ELEMENT
- 506 : LIGHT EMITTING ELEMENT
- 507, 508 : ELECTRIC SOURCE

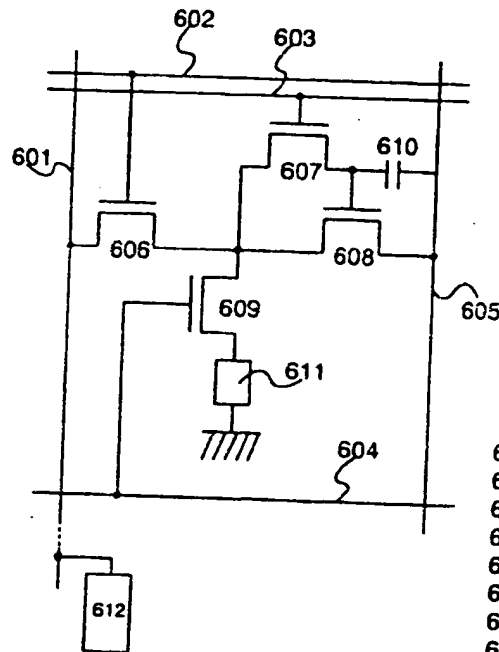


Fig. 16(B)

- 601 : SIGNAL LINE
- 602 : FIRST SCAN LINE
- 603 : SECOND SCAN LINE
- 604 : THIRD SCAN LINE
- 605 : CURRENT LINE
- 606~609 : TFT
- 610 : CAPACITY ELEMENT
- 611 : LIGHT EMITTING ELEMENT
- 612 : CURRENT SOURCE CIRCUIT

Fig.17(A) AT THE TIME WHEN SIGNAL IS INPUTTED

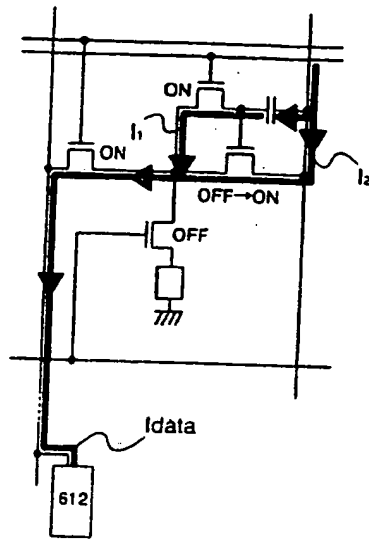


Fig.17(B) AT THE TIME WHEN SIGNAL INPUT IS COMPLETED

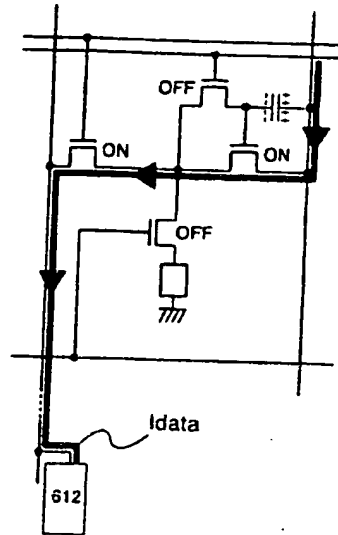


Fig.17(C) DURING LIGHT EMITTING

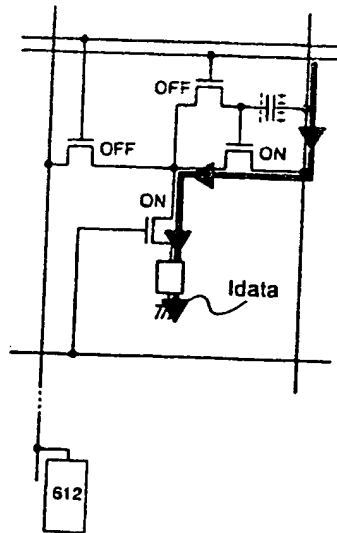


Fig.17(D)

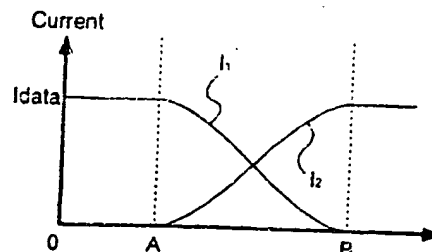
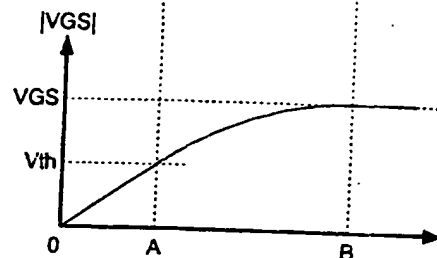
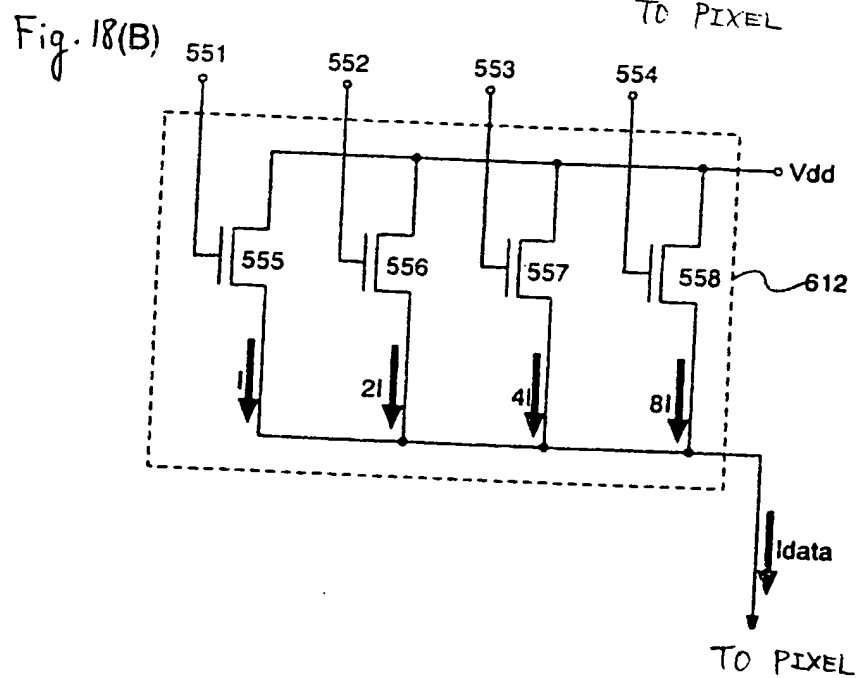
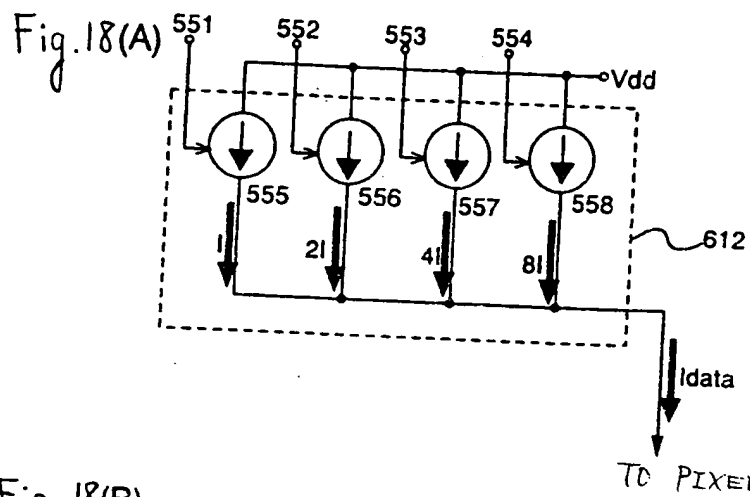


Fig.17(E)





AT THE TIME
Fig. 19(A) WHEN SIGNAL
IS INPUTTED

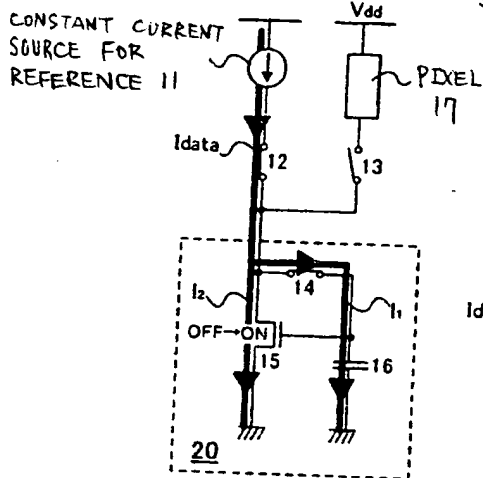


Fig. 19(B)
AT THE TIME WHEN
SIGNAL INPUT IS COMPLETED

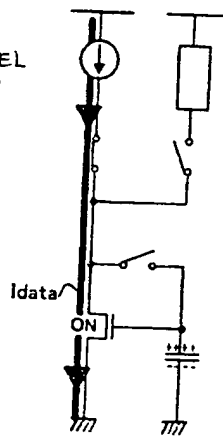


Fig. 19(c)
AT THE TIME WHEN SIGNAL
IS INPUTTED TO PIXEL

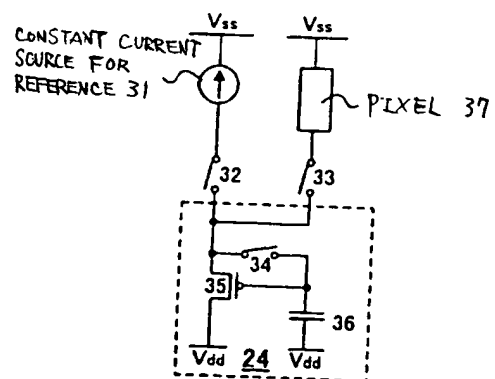
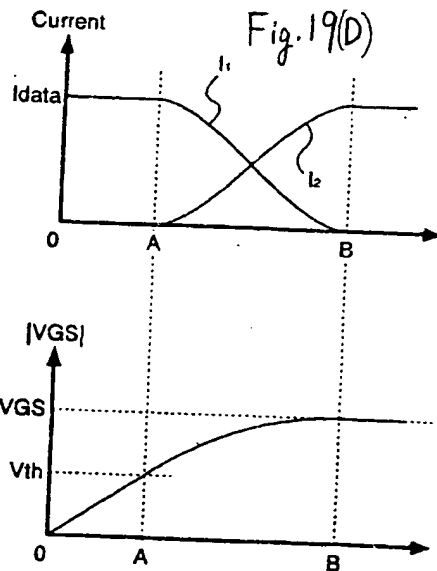
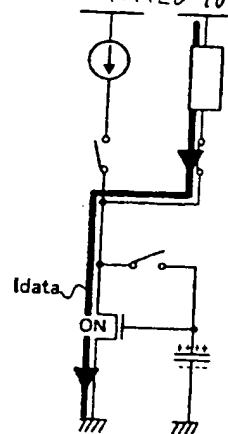


Fig. 19(F)

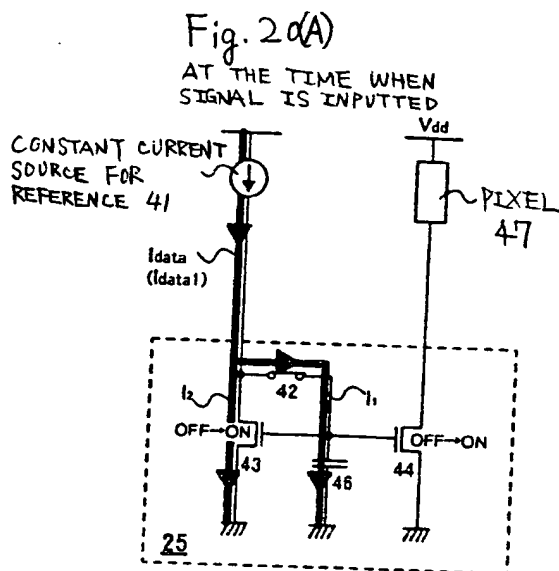


Fig. 20(B)
AT THE TIME WHEN SIGNAL
INPUT IS COMPLETED

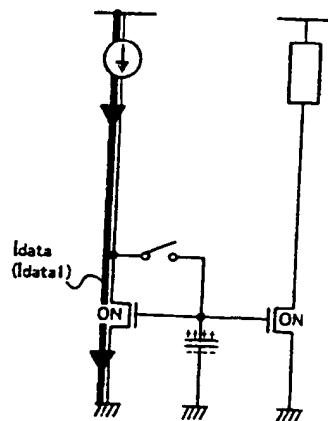


Fig. 20(c) AT THE TIME WHEN SIGNAL
IS INPUTTED TO PIXEL

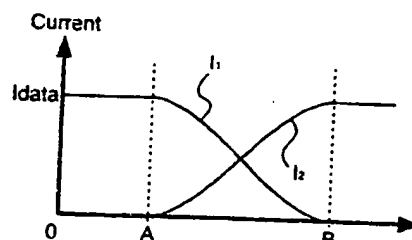
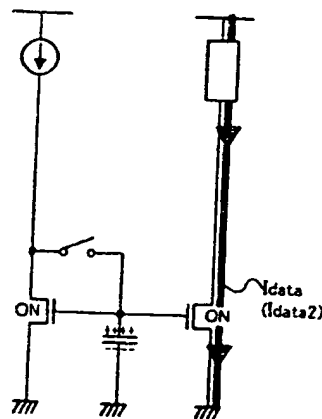


Fig. 20(b)

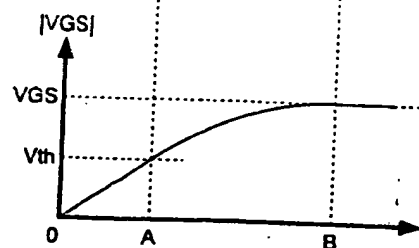


Fig. 20(E)

CONSTANT CURRENT
SOURCE FOR
REFERENCE 41

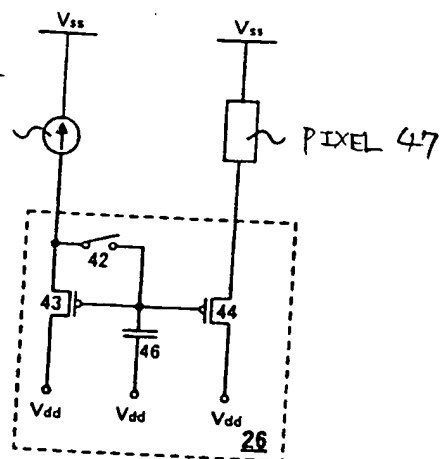
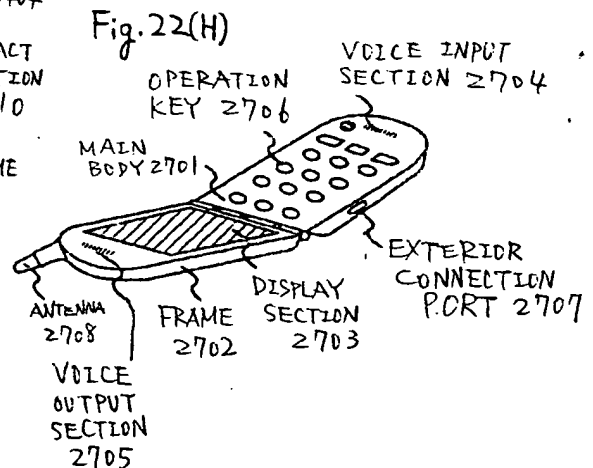
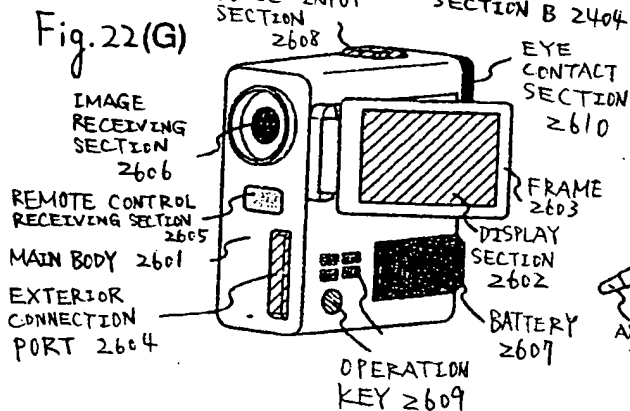
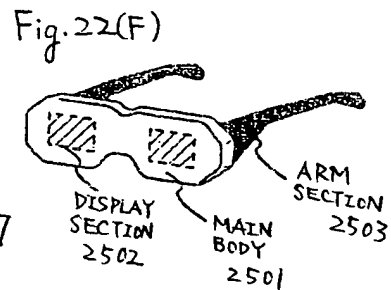
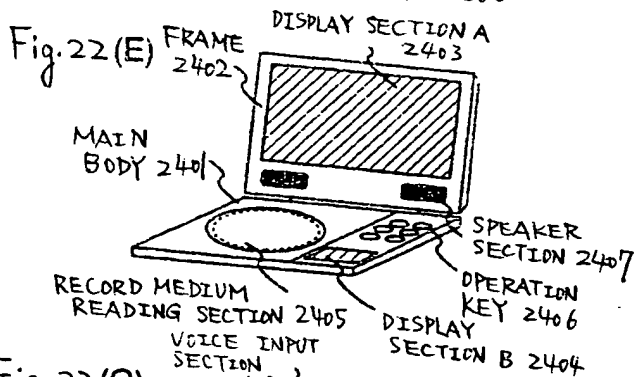
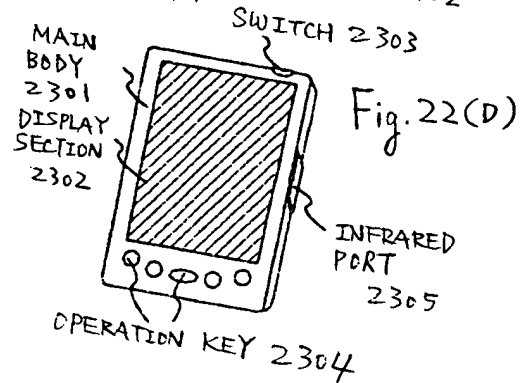
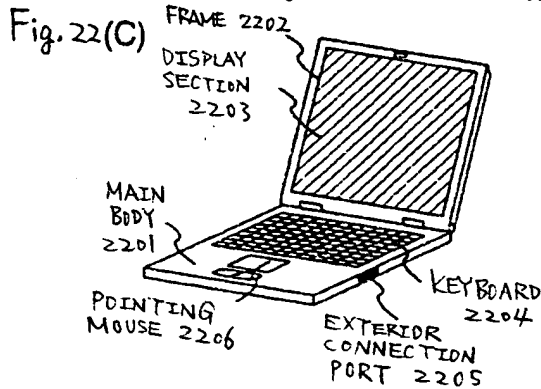
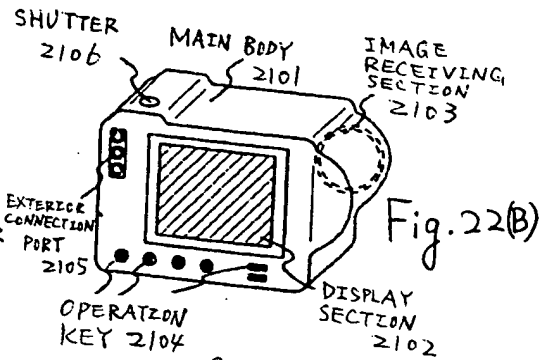
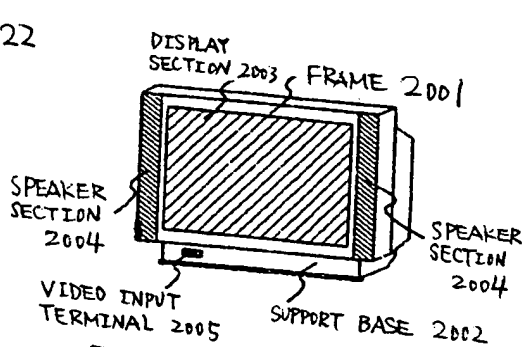
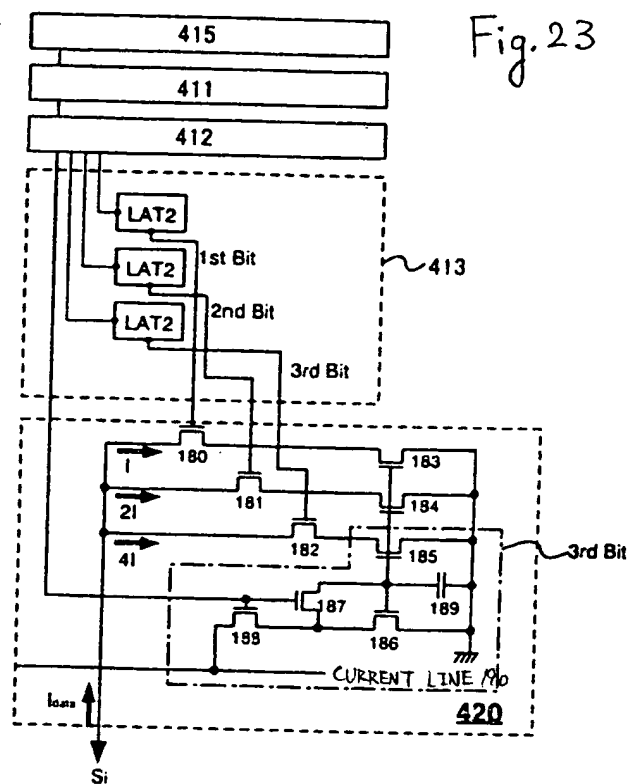
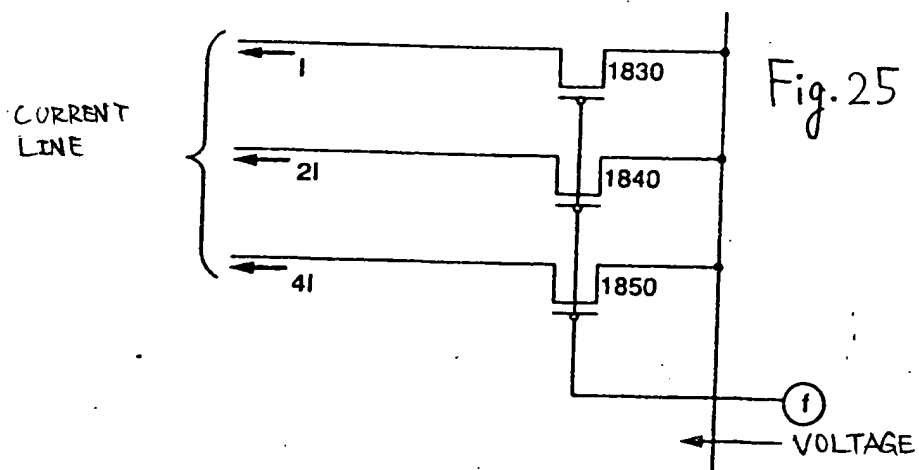
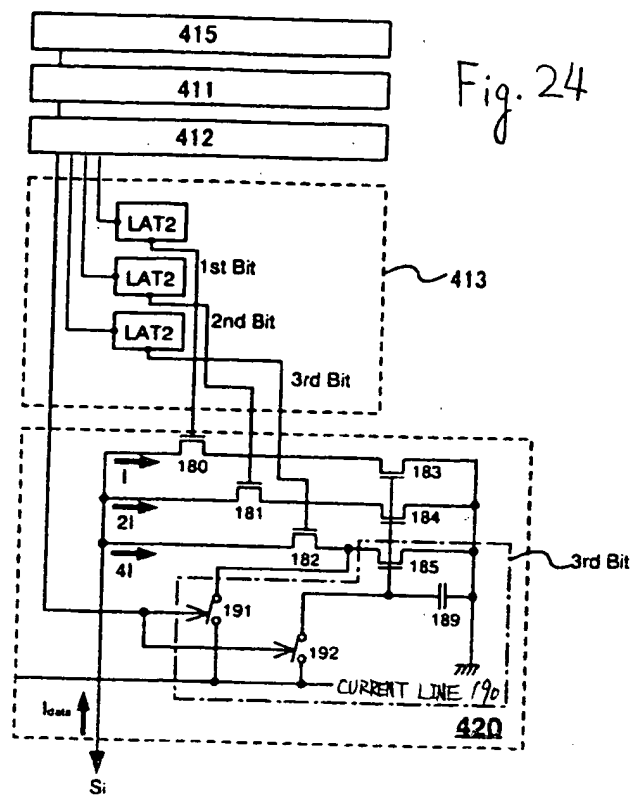


Fig. 21

Fig. 22







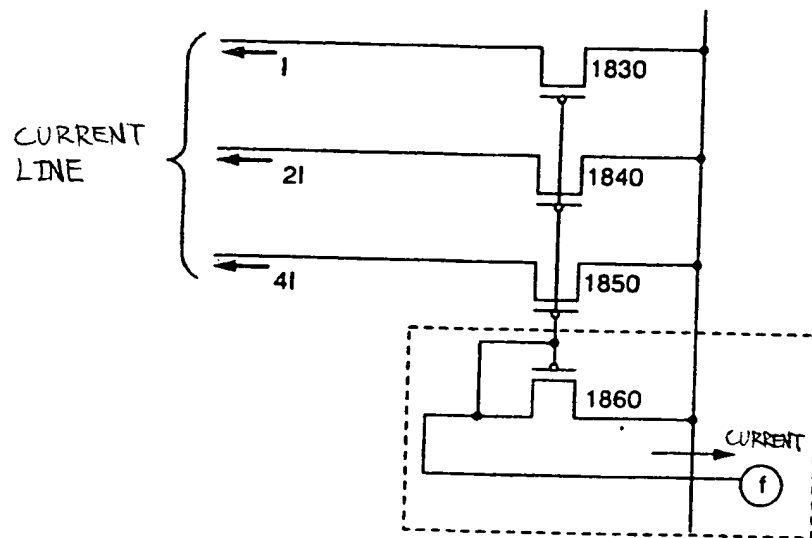


Fig. 26A

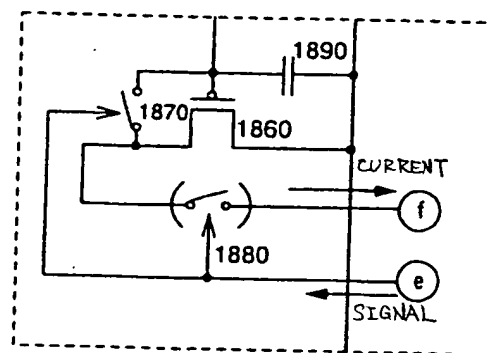
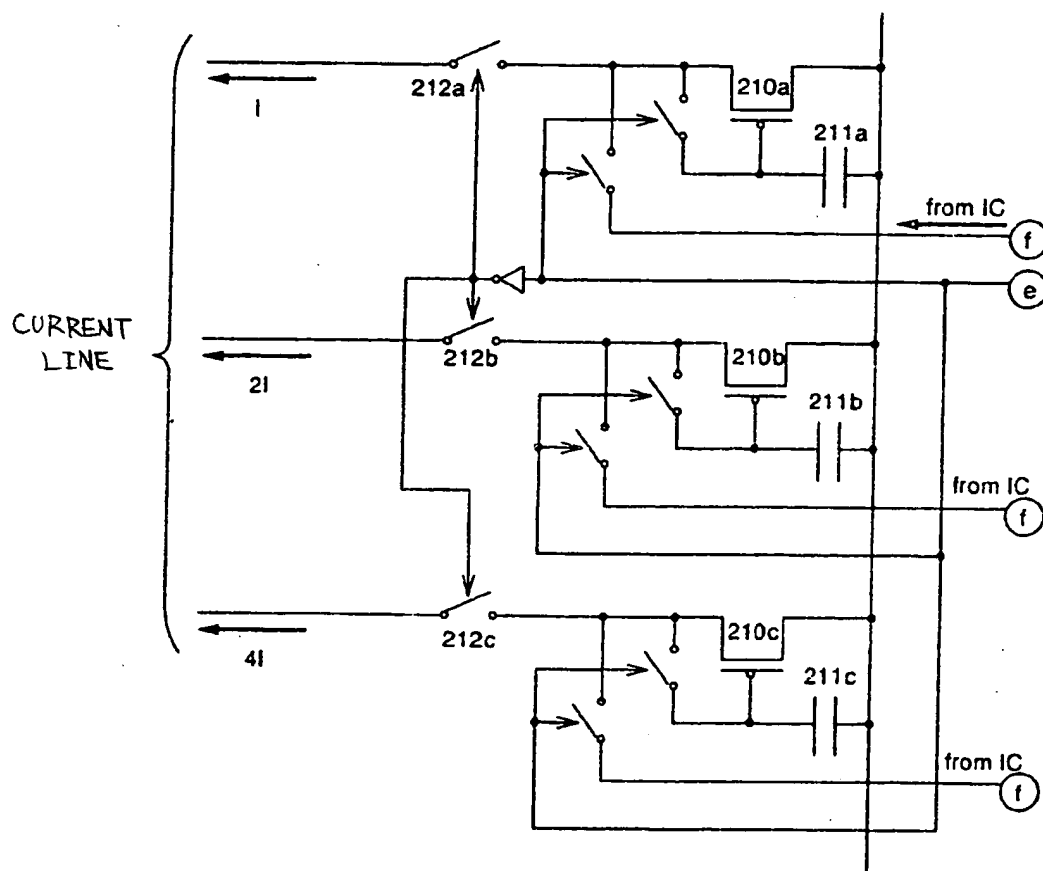
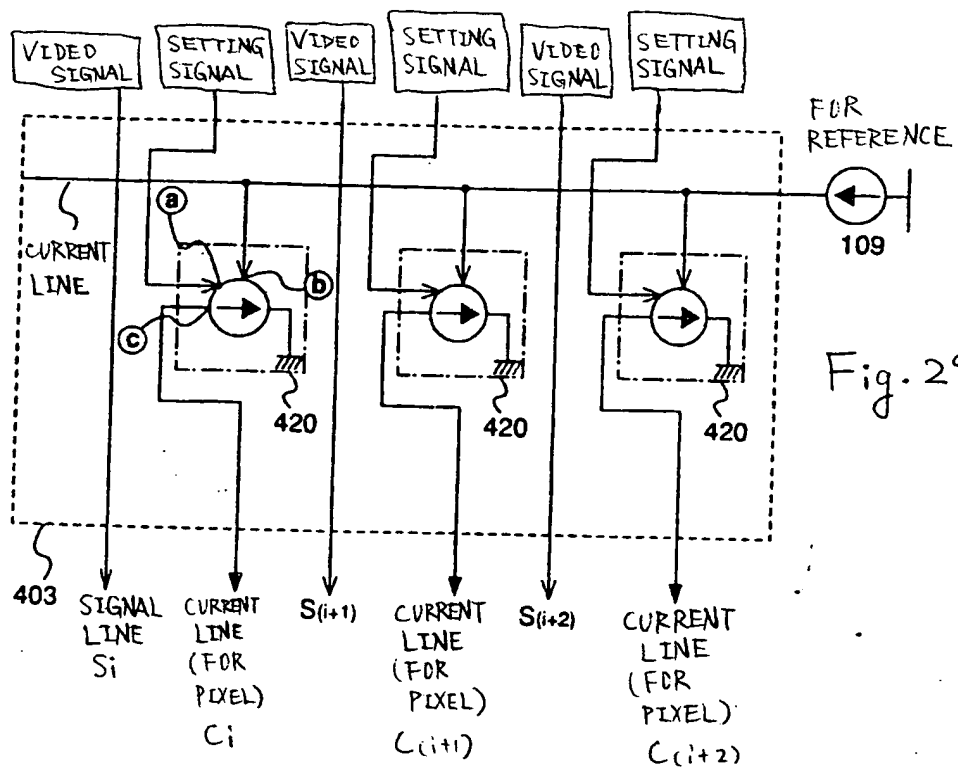
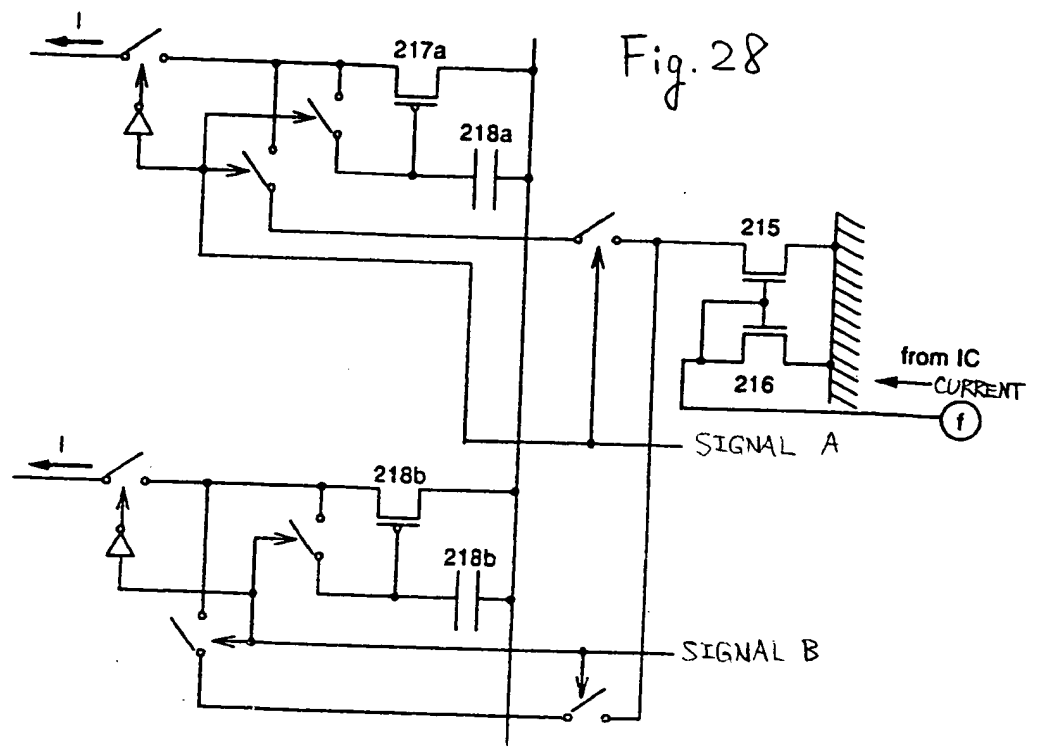


Fig. 26B

Fig. 27





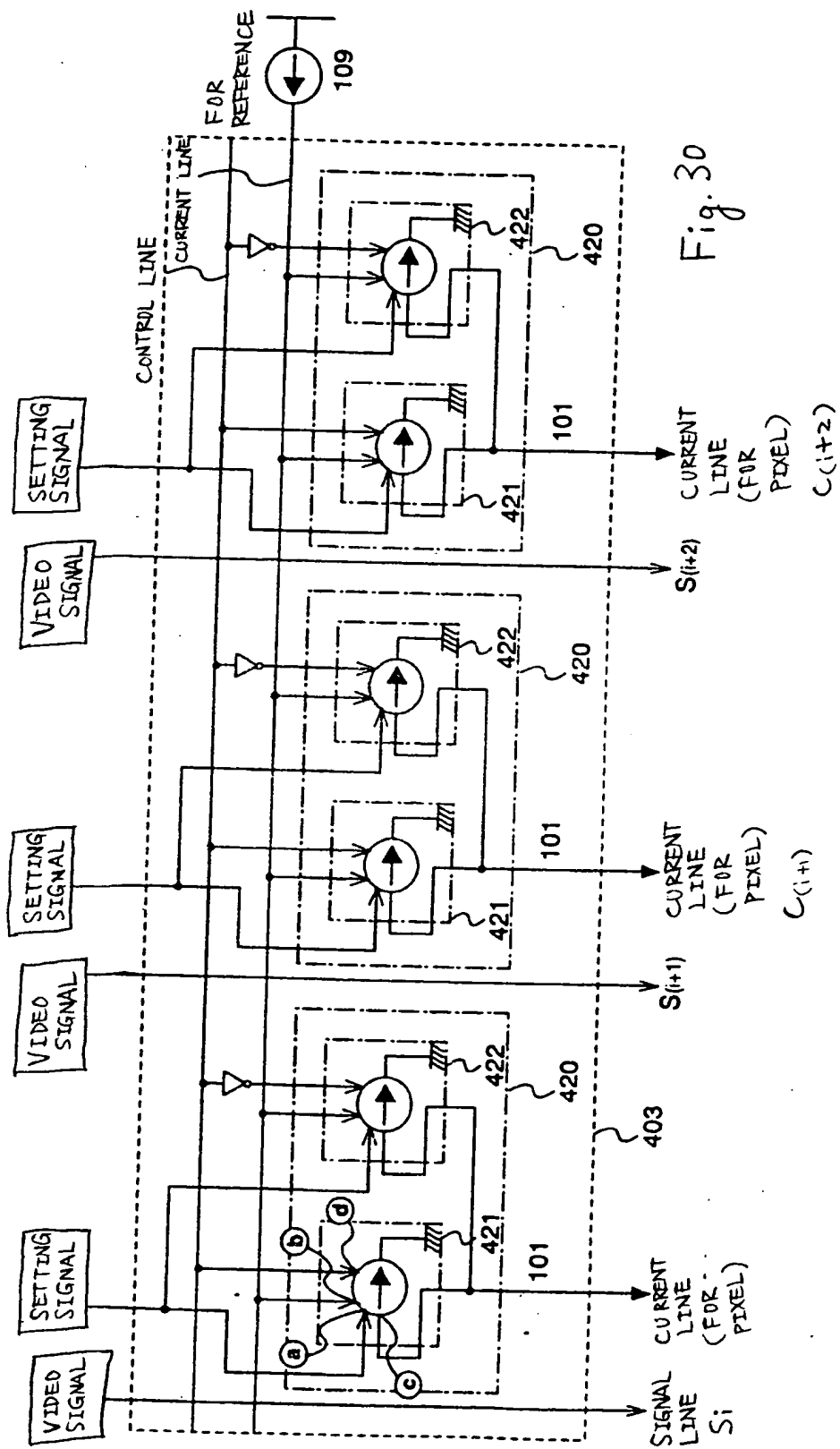
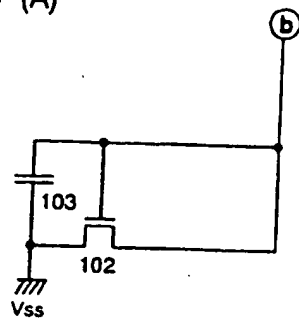
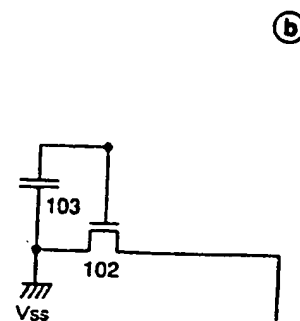


Fig. 31 (A)



(A1)

(c)

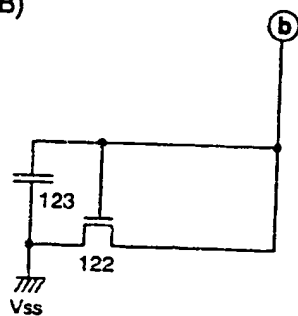


(A2)

(b)

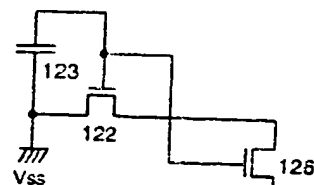
(c)

Fig. 31 (B)



(B1)

(c)

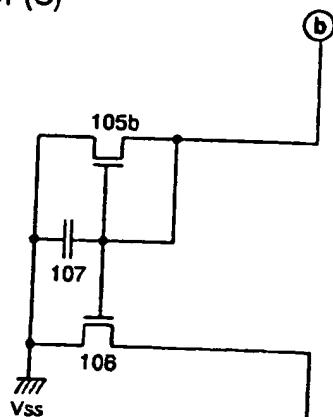


(B2)

(b)

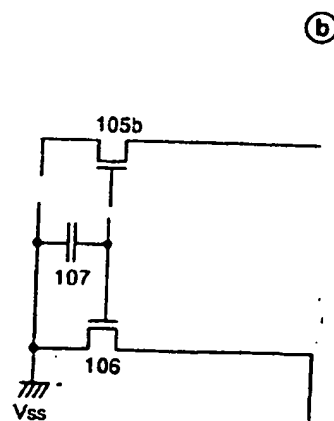
(c)

Fig. 31 (C)



(C1)

(c)



(C2)

(b)

(c)

Fig. 32 (A)

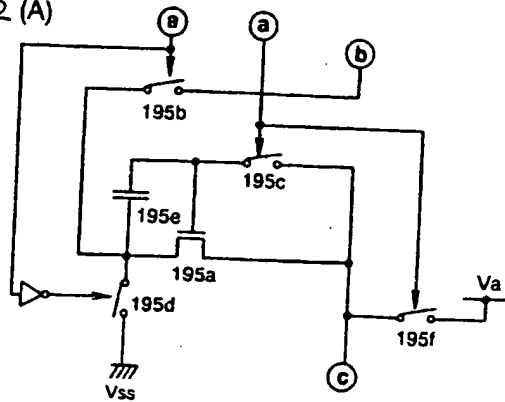


Fig. 32 (B)

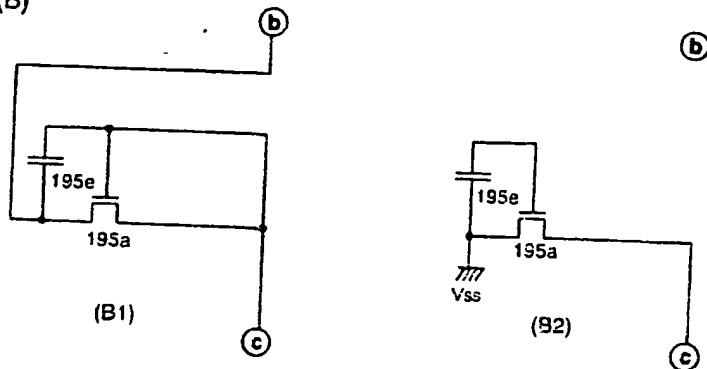


Fig. 32 (C)

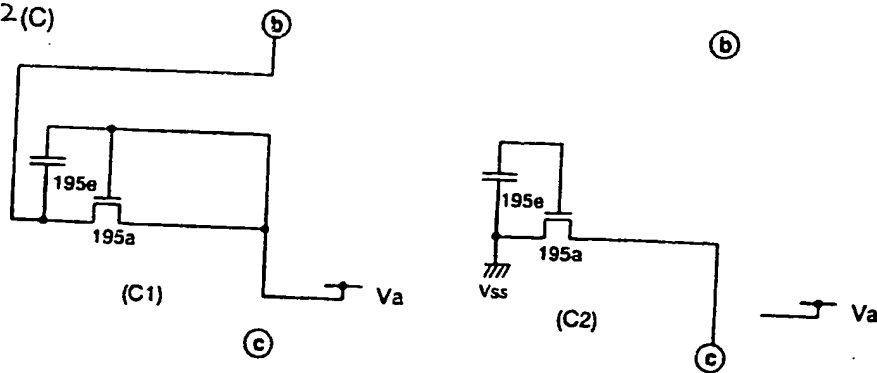


Fig. 33 (A)

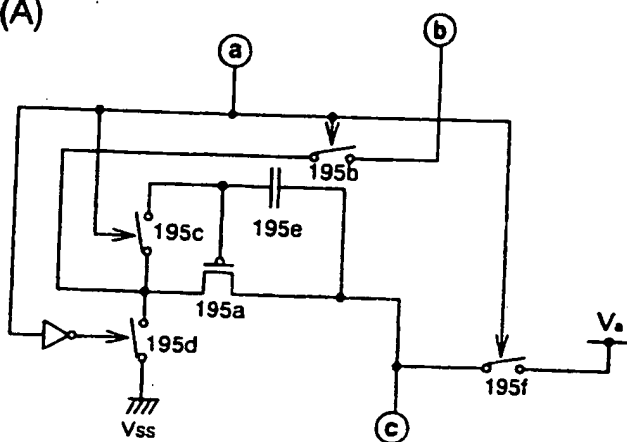


Fig. 33 (B)

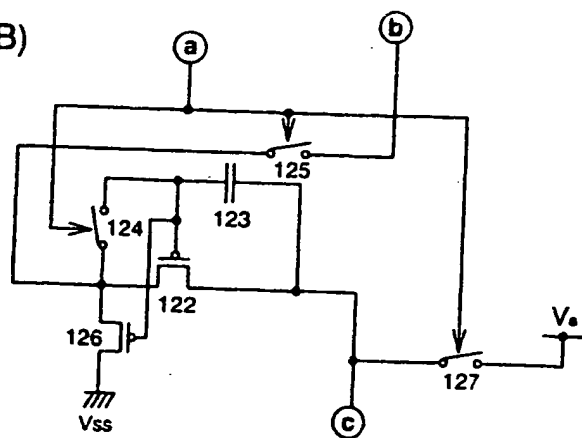


Fig.34 (A)

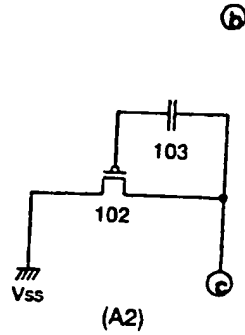
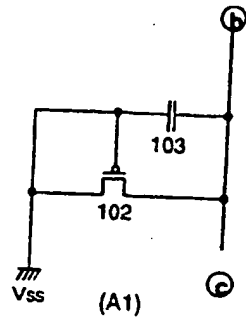


Fig.34 (B)

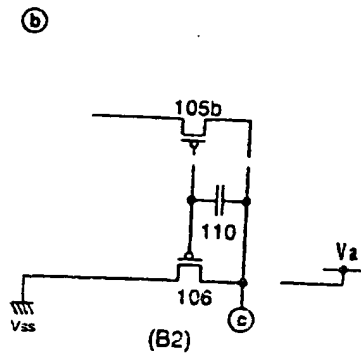
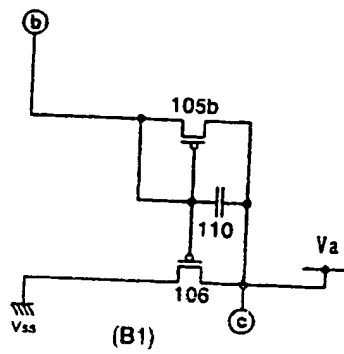


Fig.34(C)

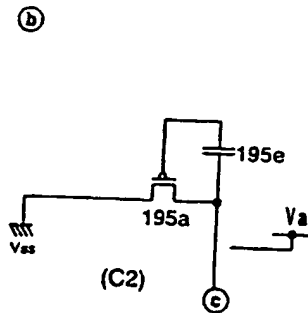
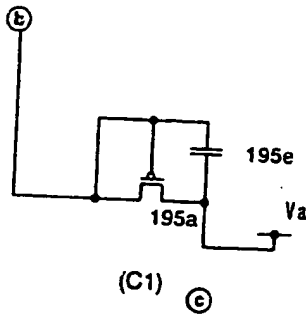


Fig.34(D)

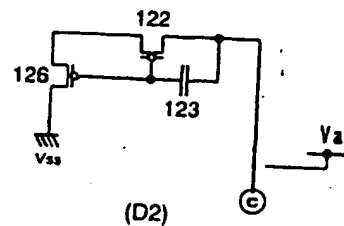
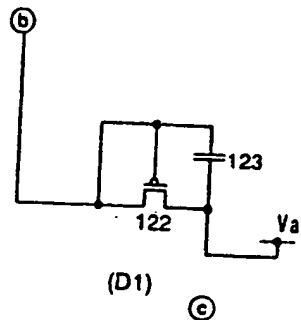


Fig. 35(A)

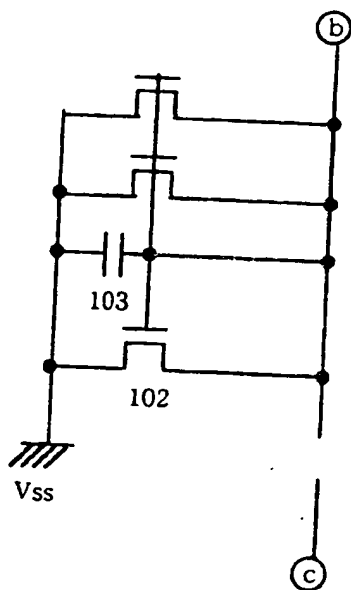
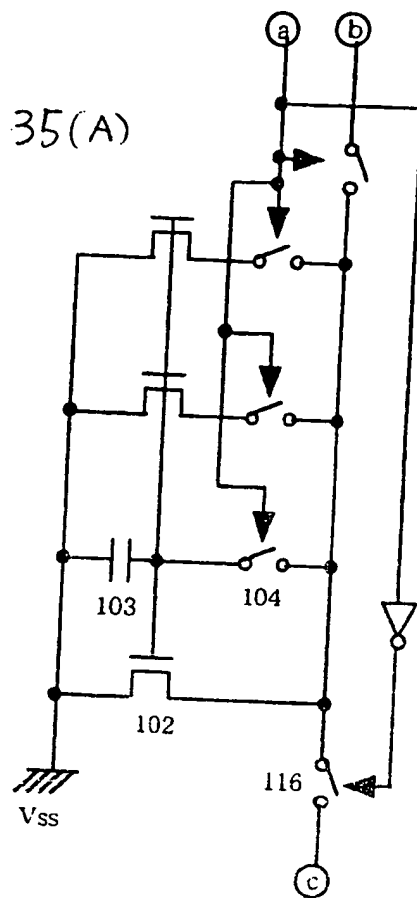


Fig. 35(B)

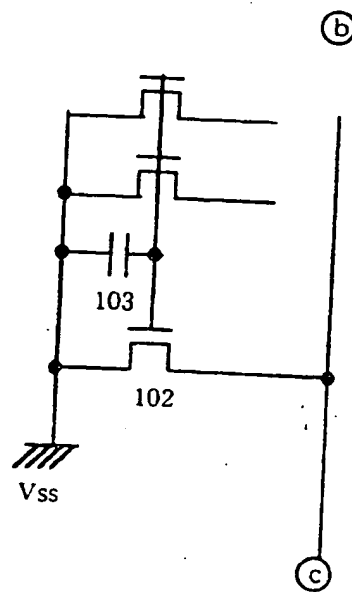


Fig. 35(c)

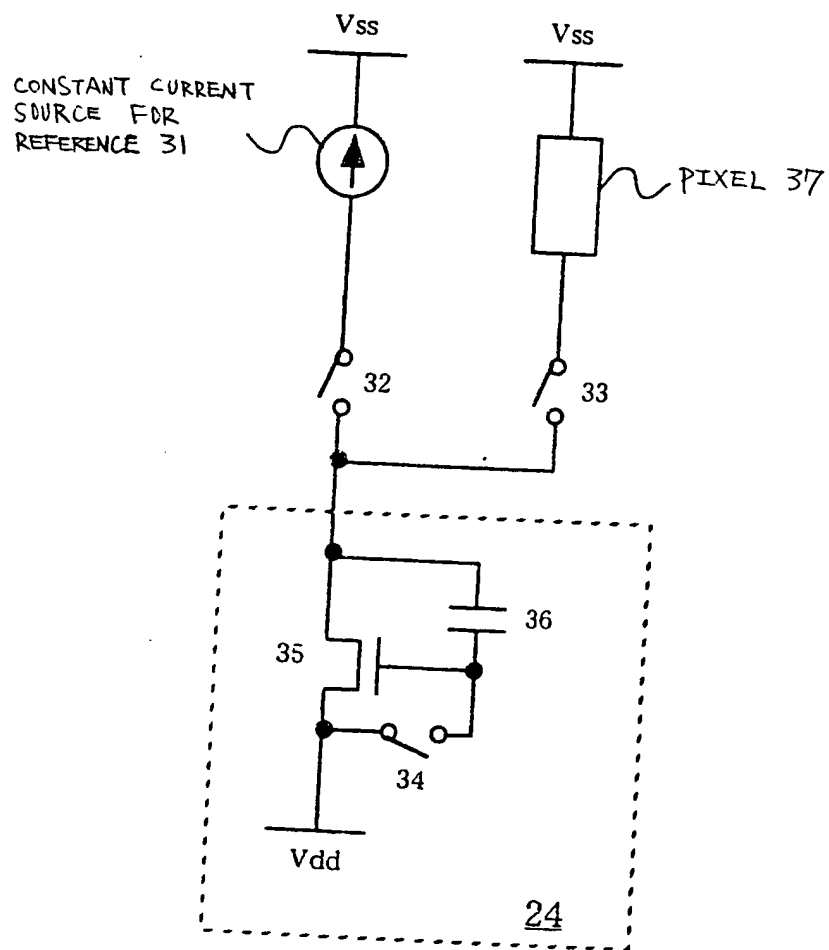


Fig. 36

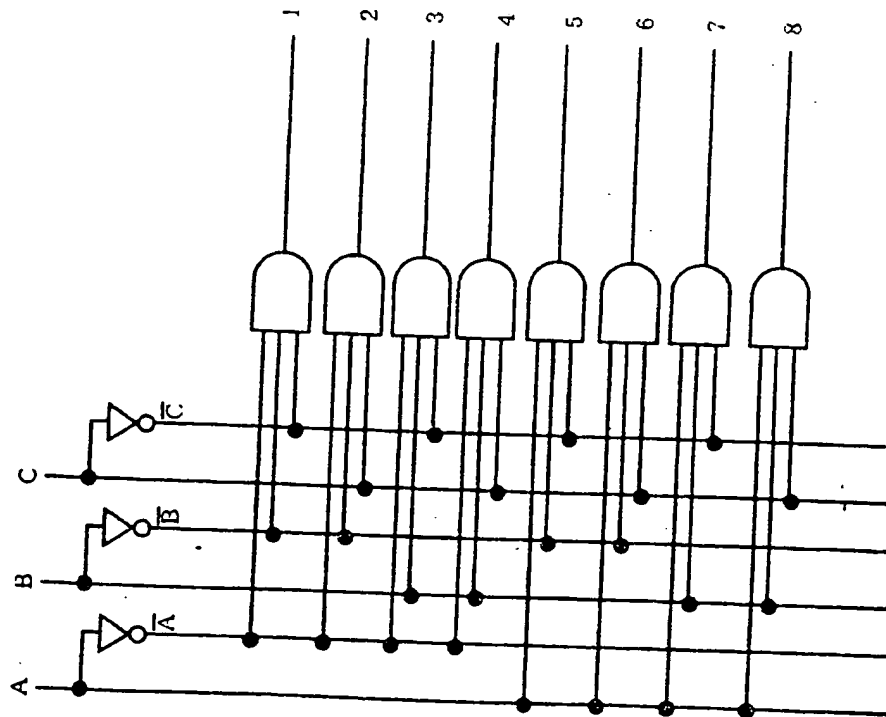


Fig-37

A	B	C	1ST LINE	2ND LINE	3RD LINE	4TH LINE	5TH LINE	6TH LINE	7TH LINE	8TH LINE
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Fig. 38(A)

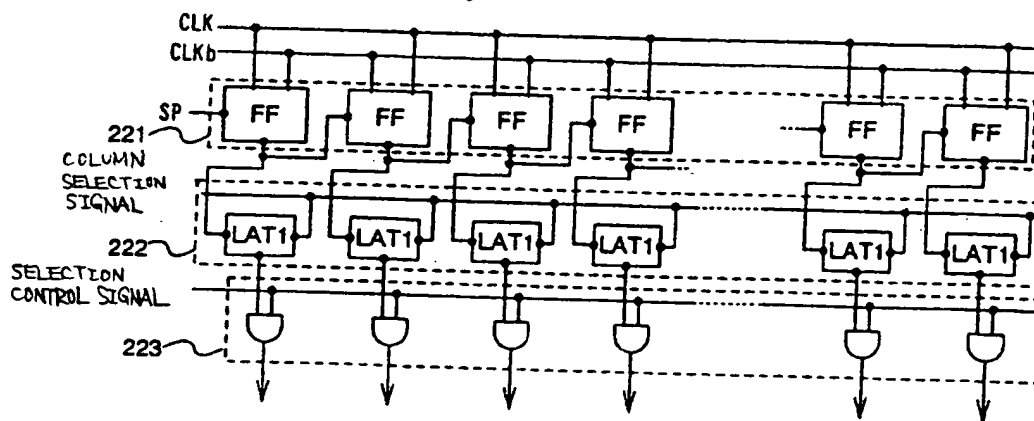


Fig. 38(B)

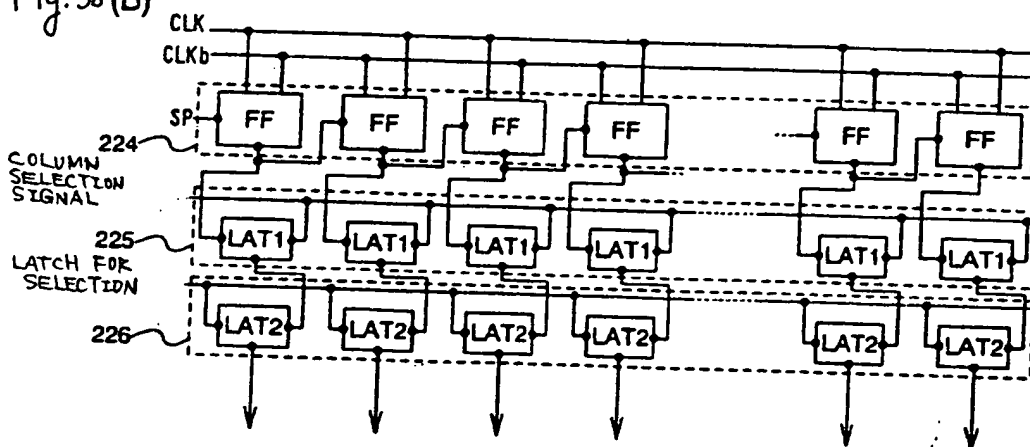


Fig. 39

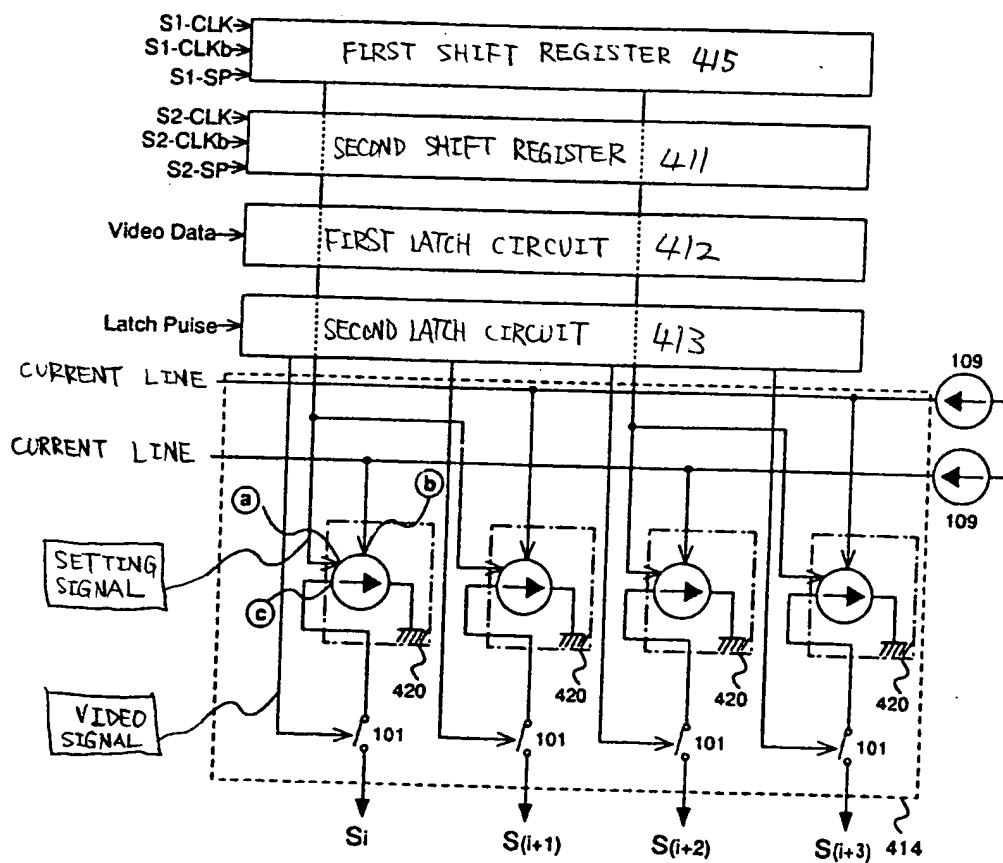


Fig. 40

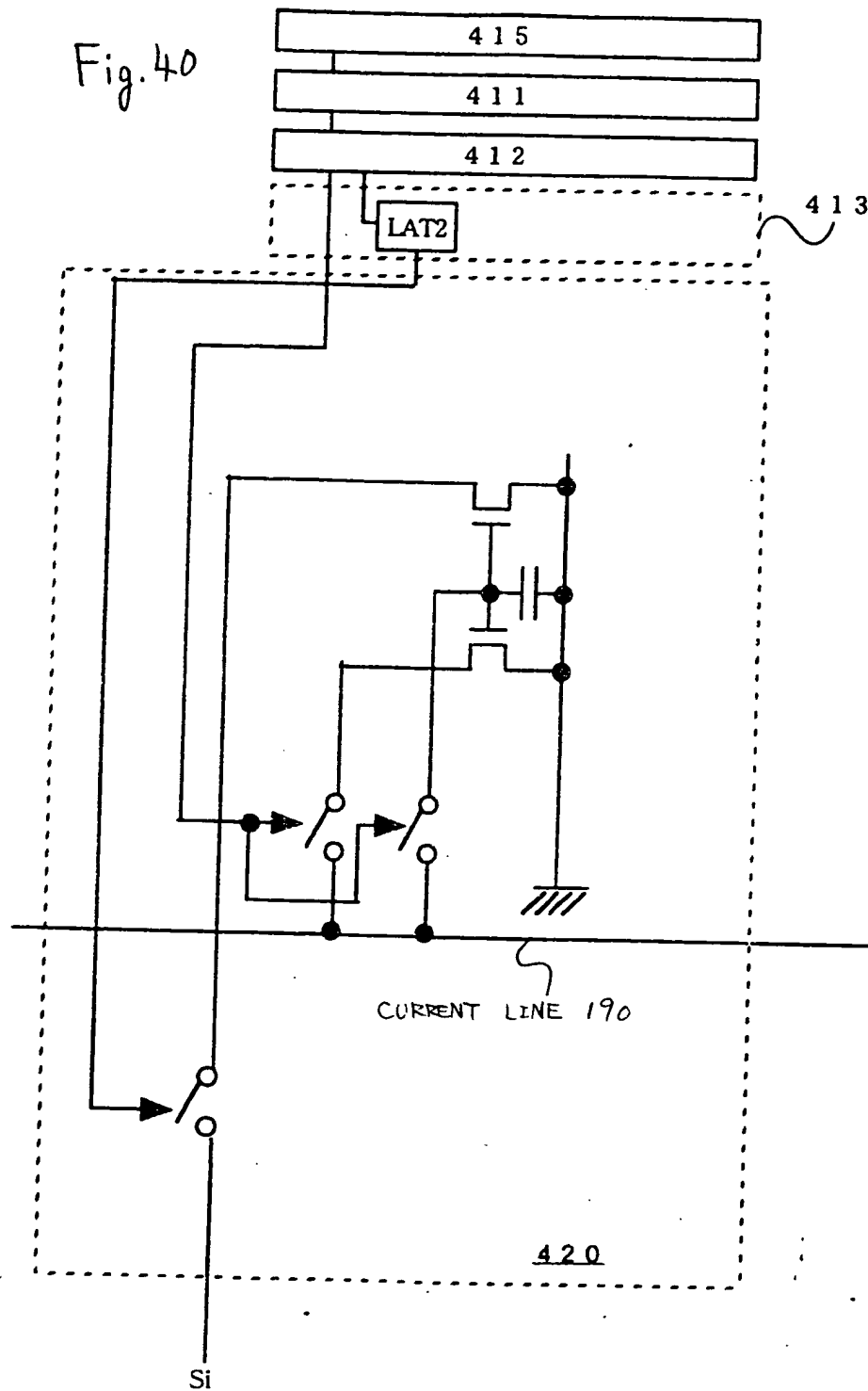
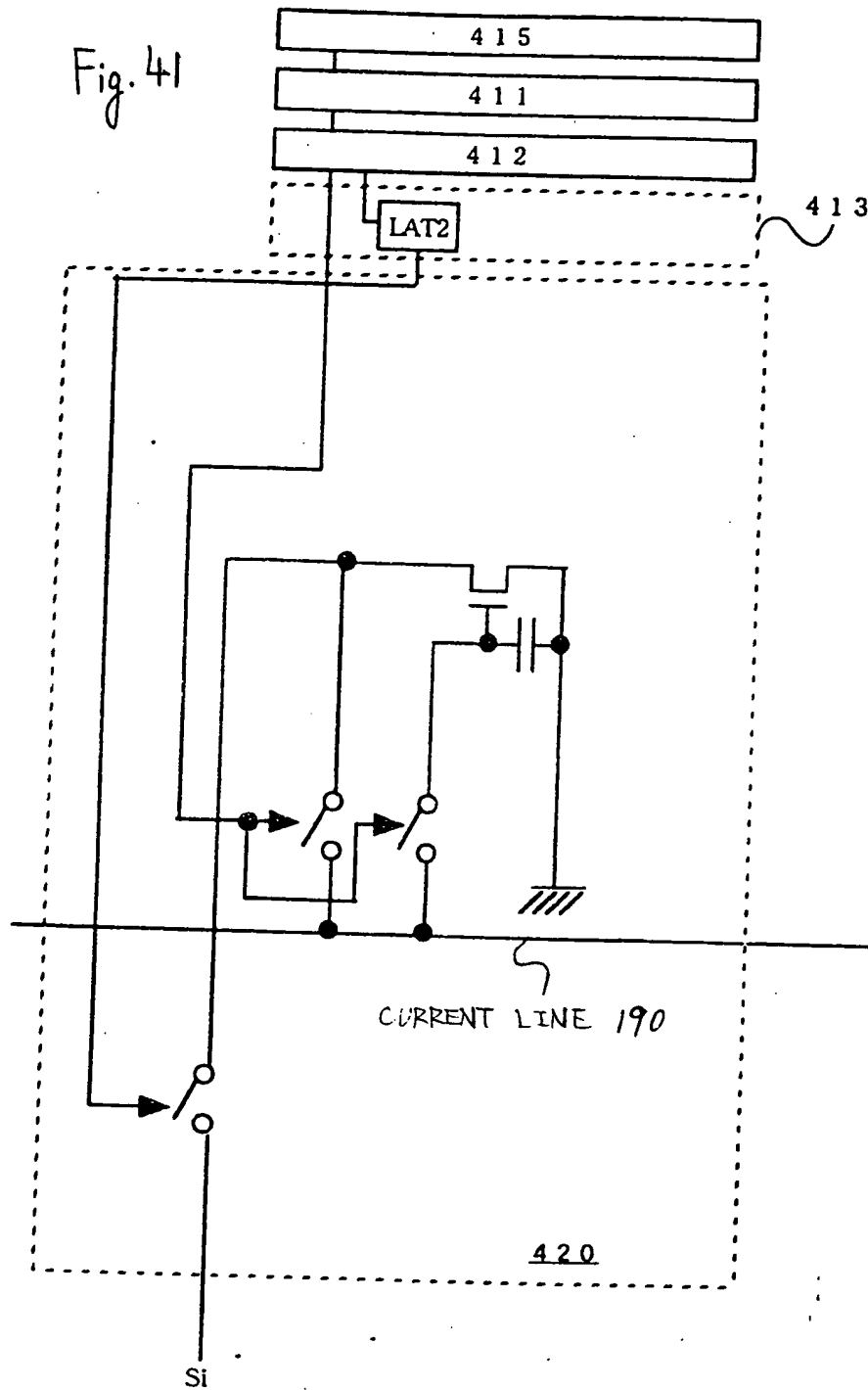


Fig. 41



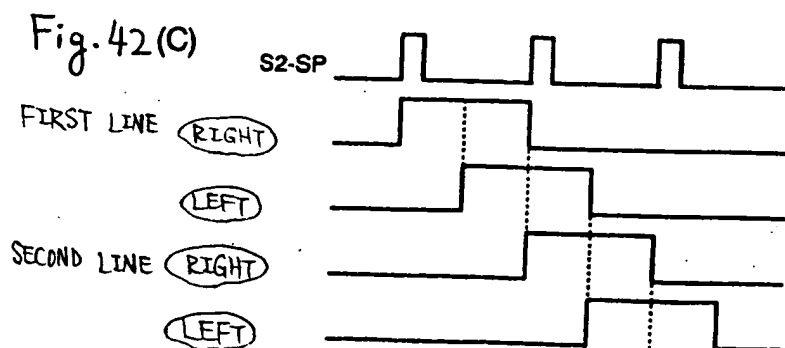
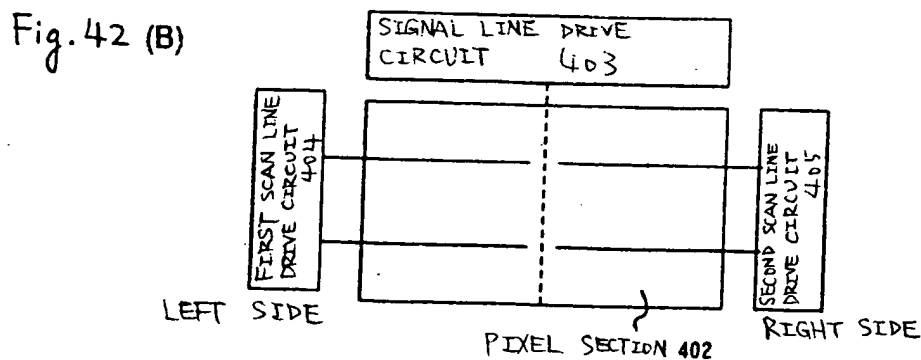
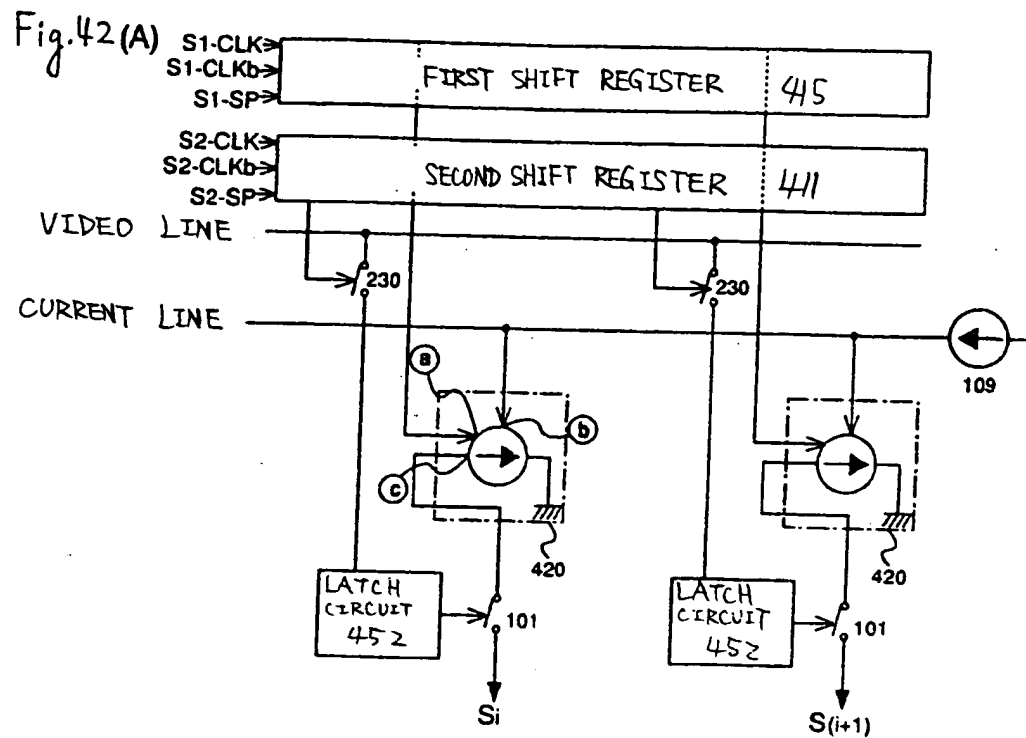
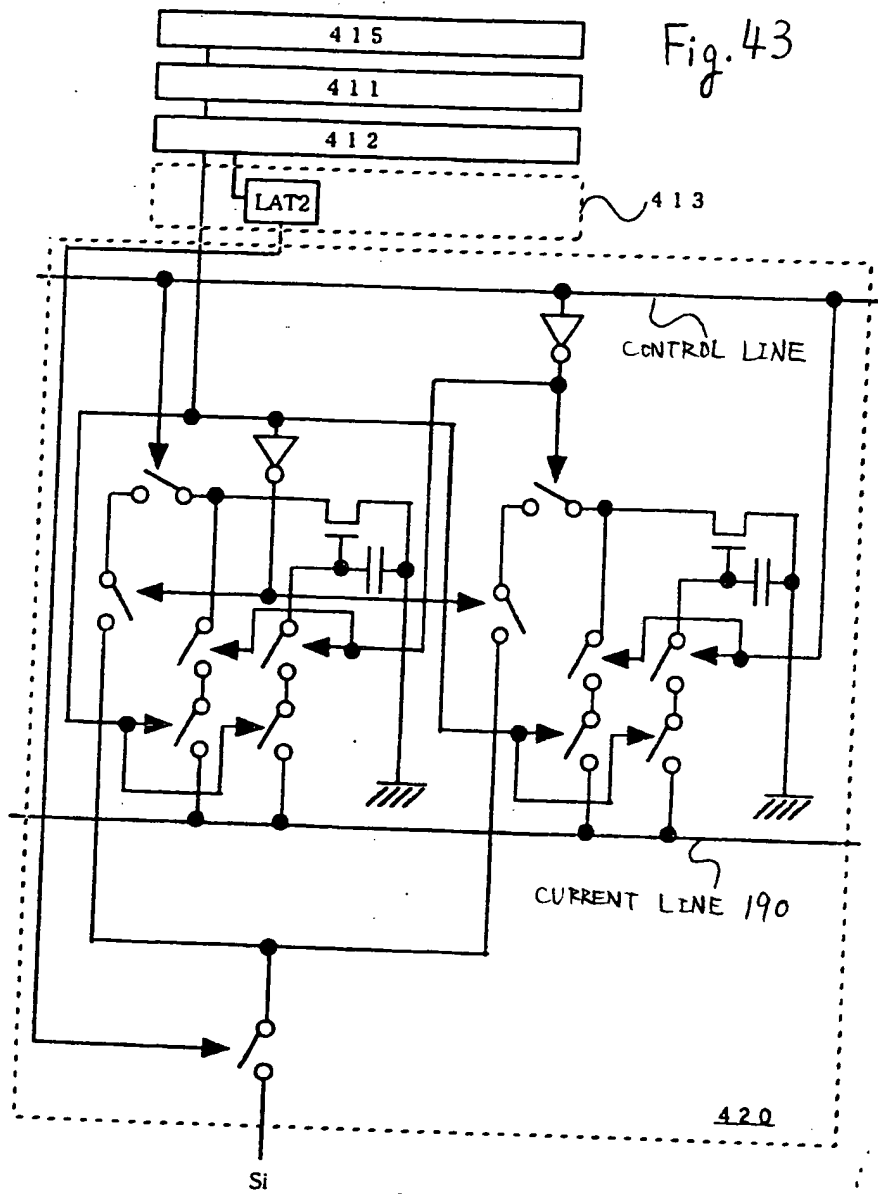


Fig. 43



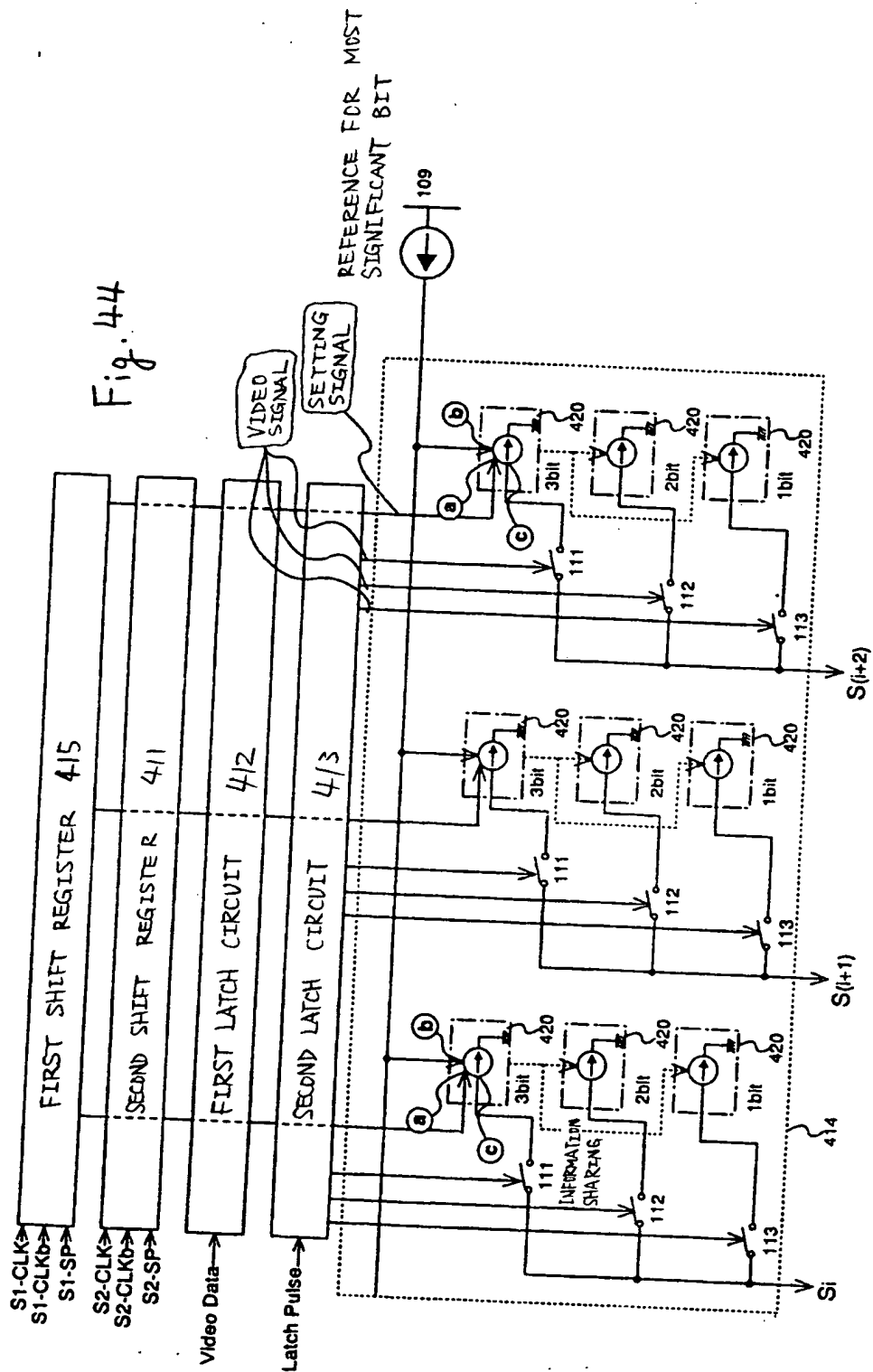


Fig. 45

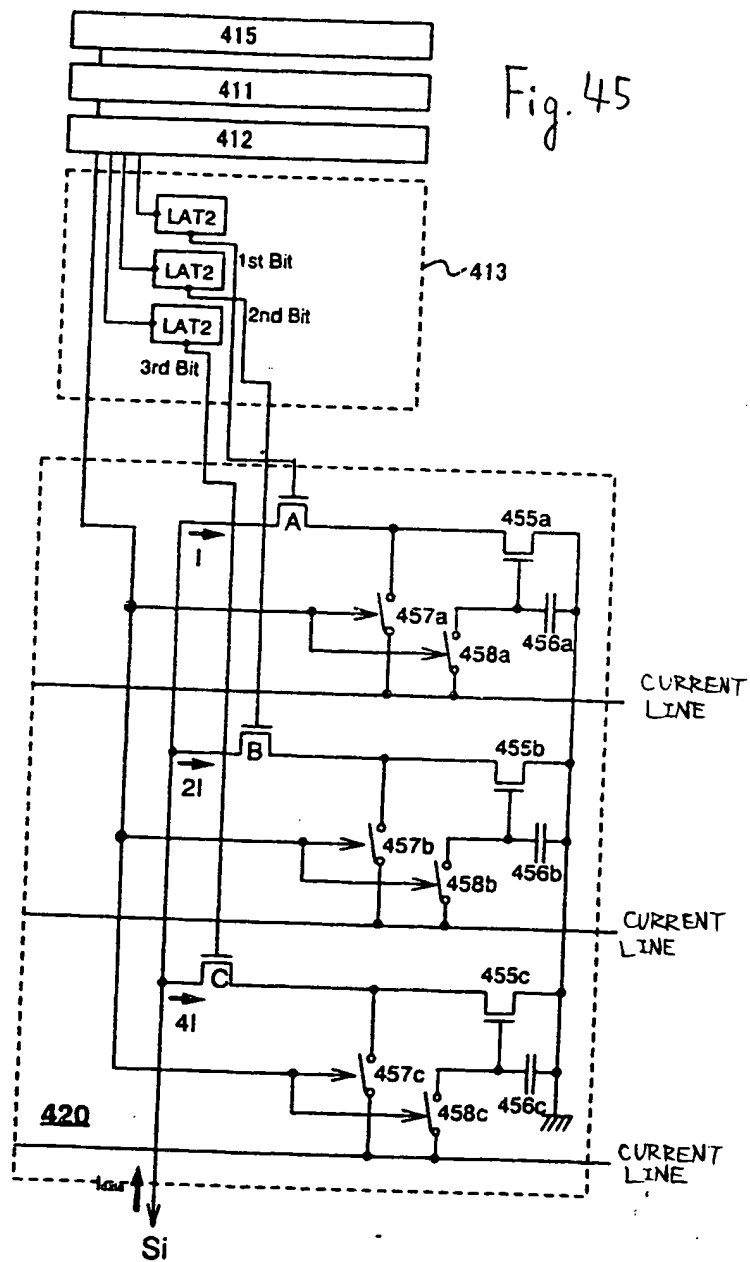


Fig. 46

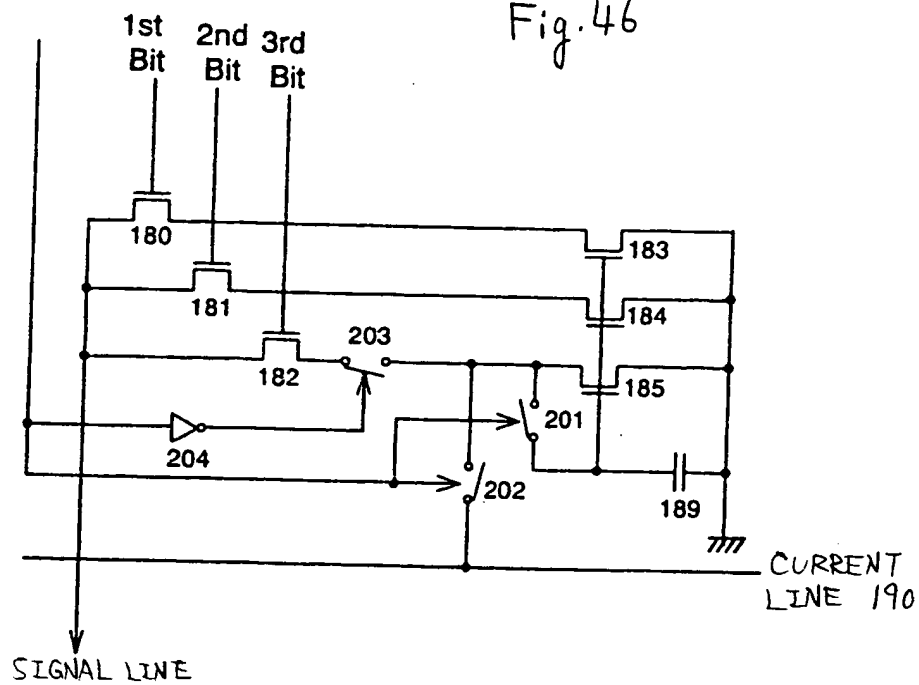


Fig. 47

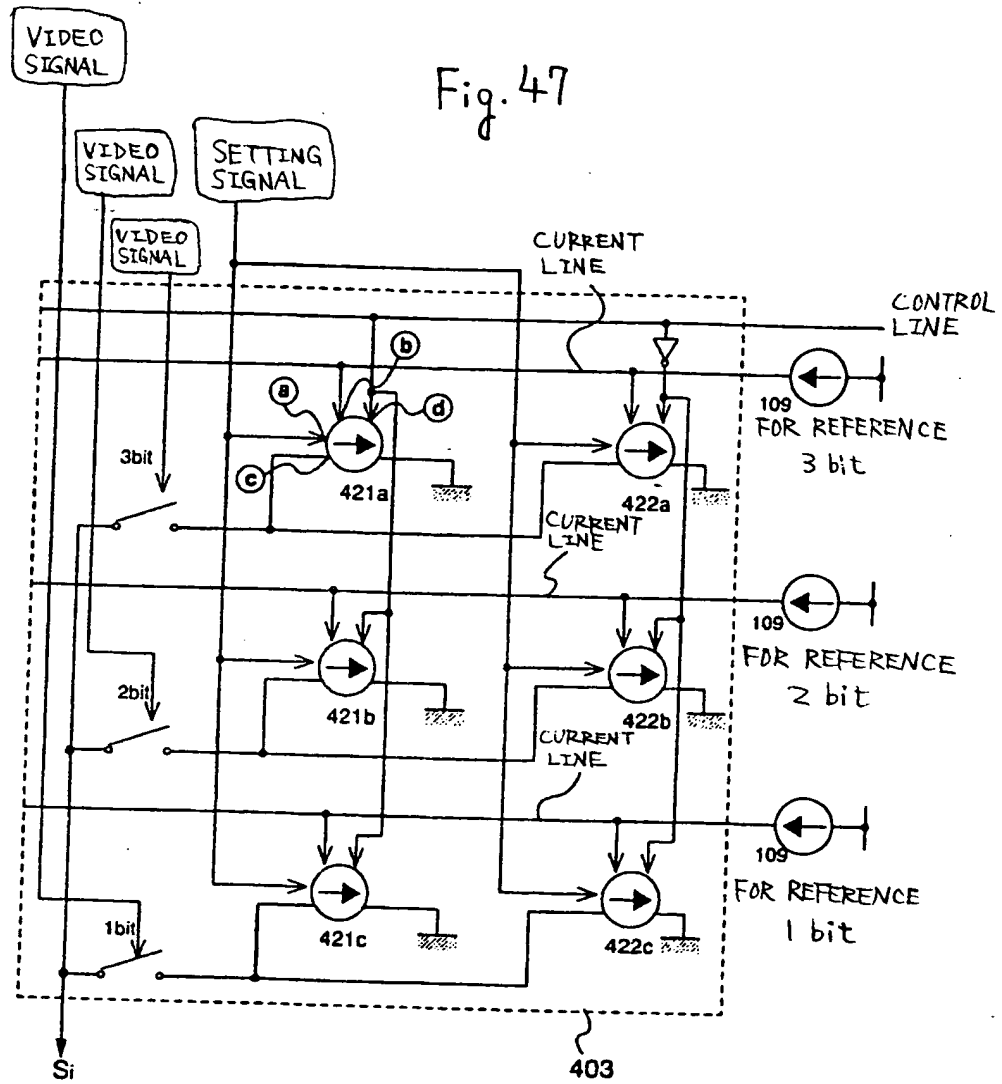
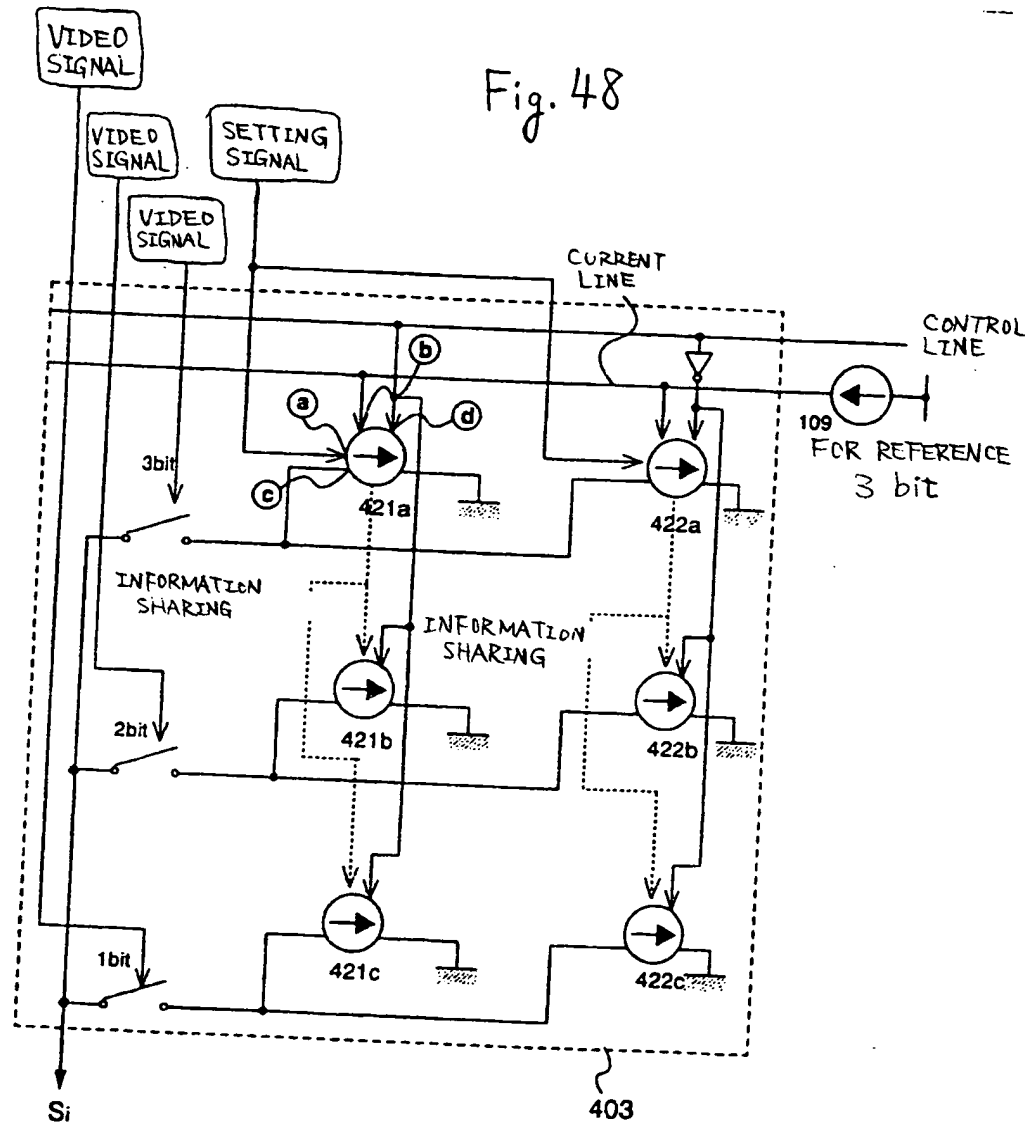


Fig. 48



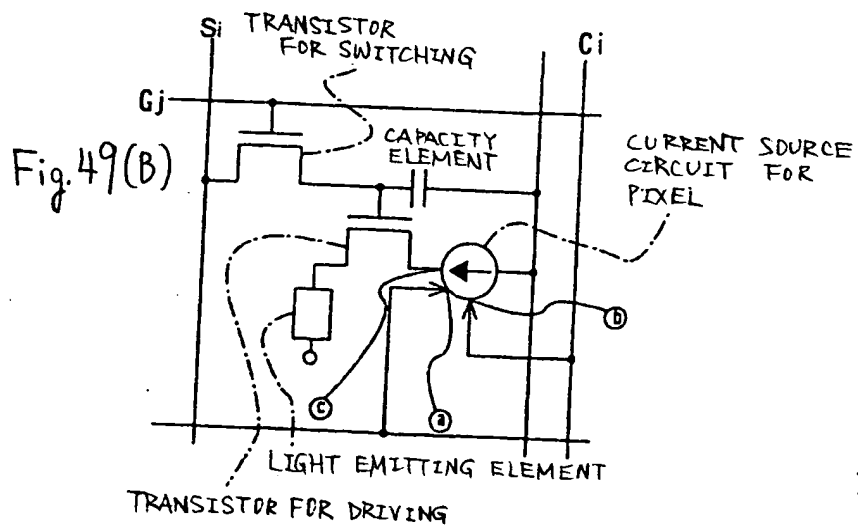
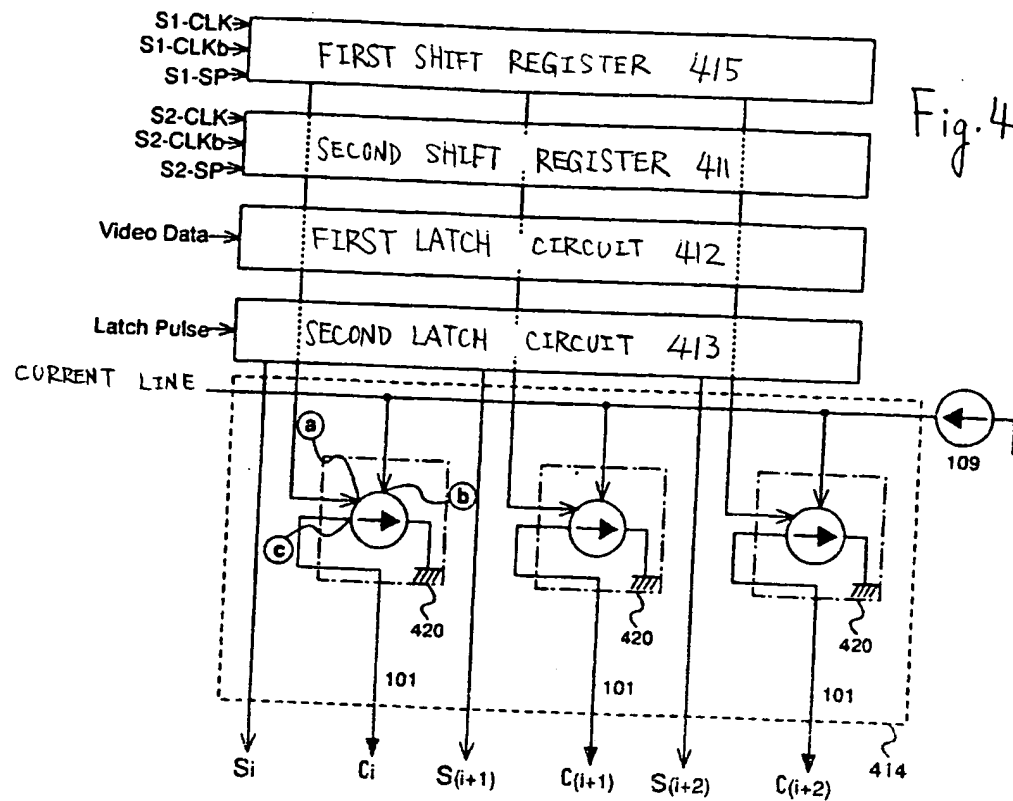


Fig. 50

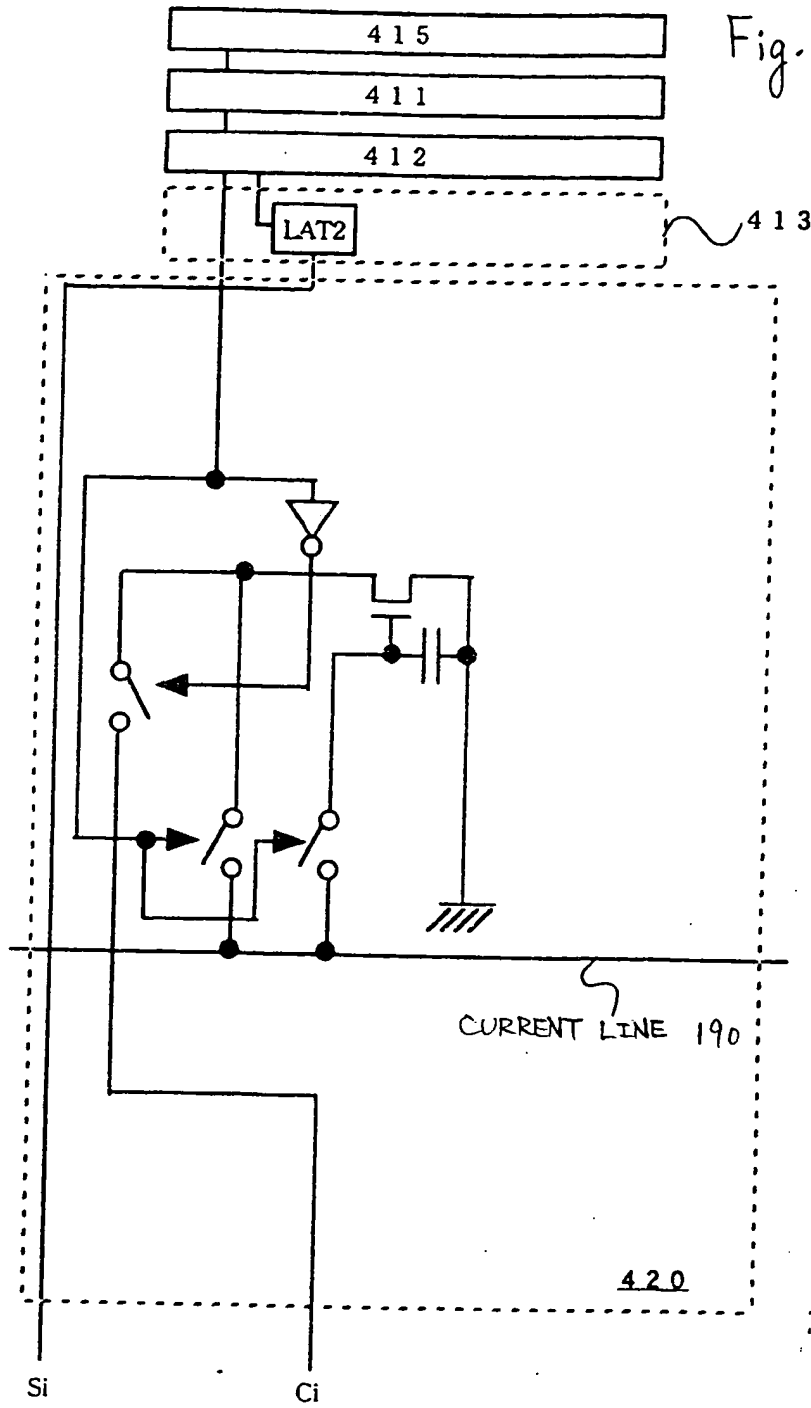
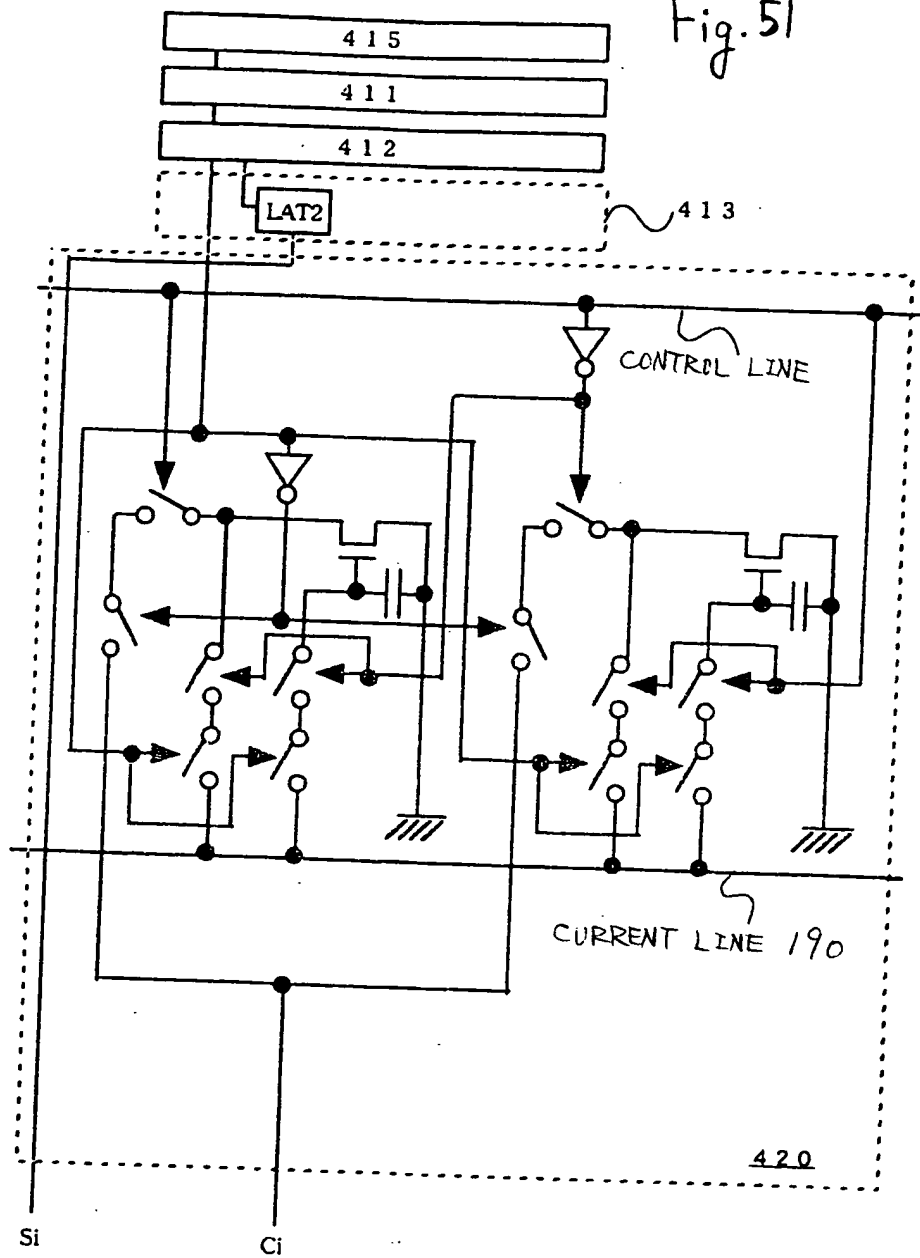


Fig. 51



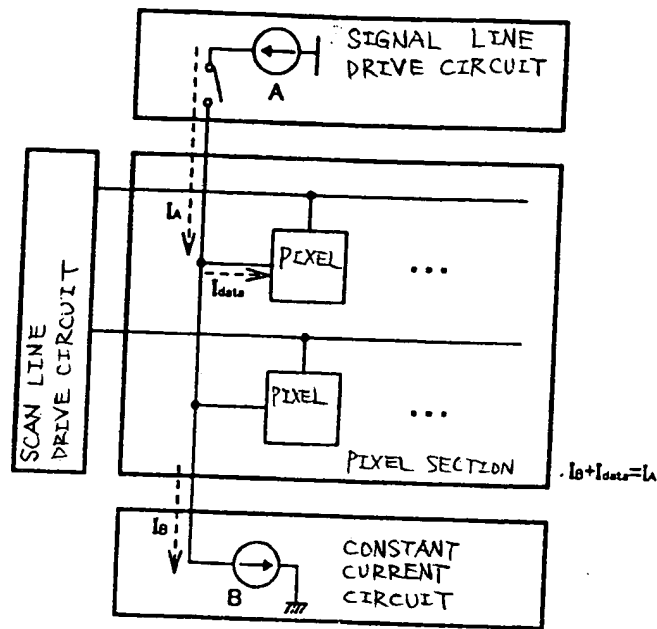


Fig. 52(A)

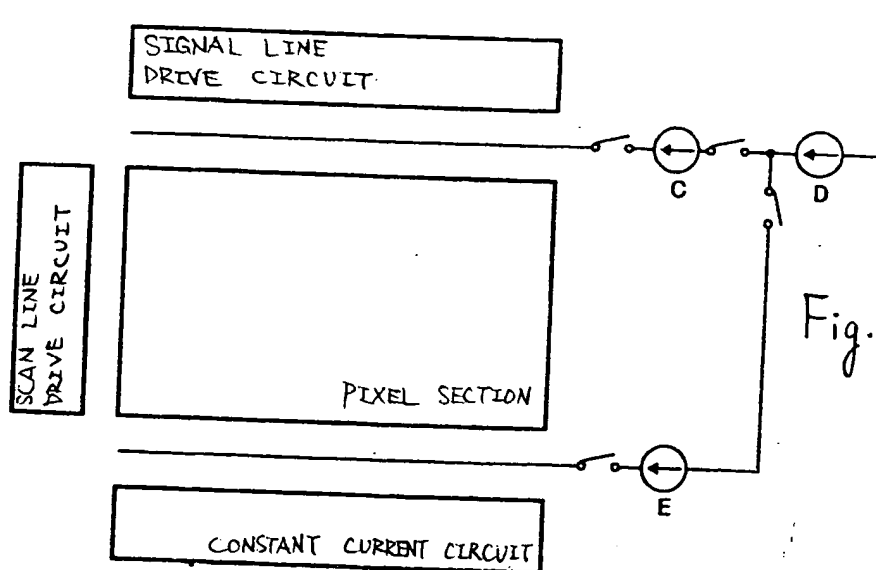


Fig. 52(B)

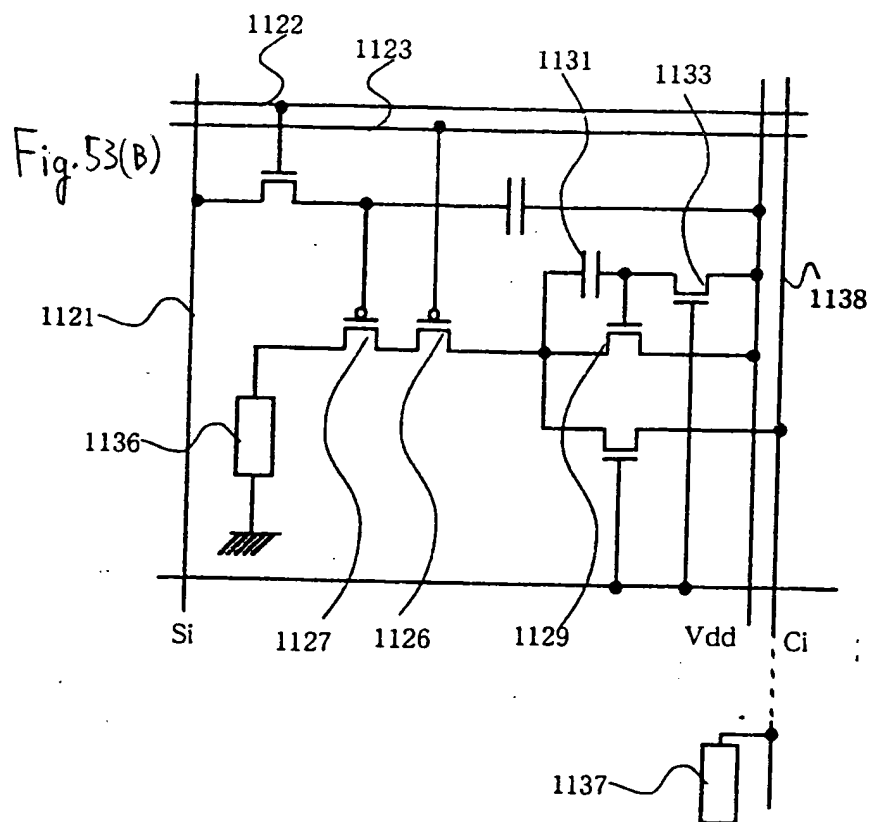
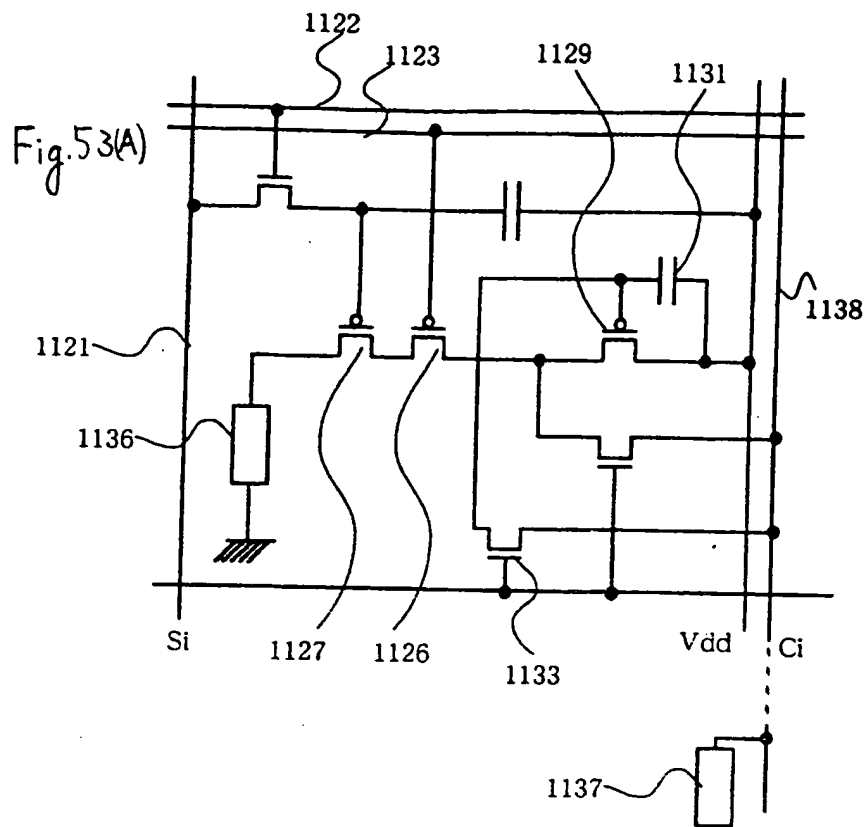


Fig. 54

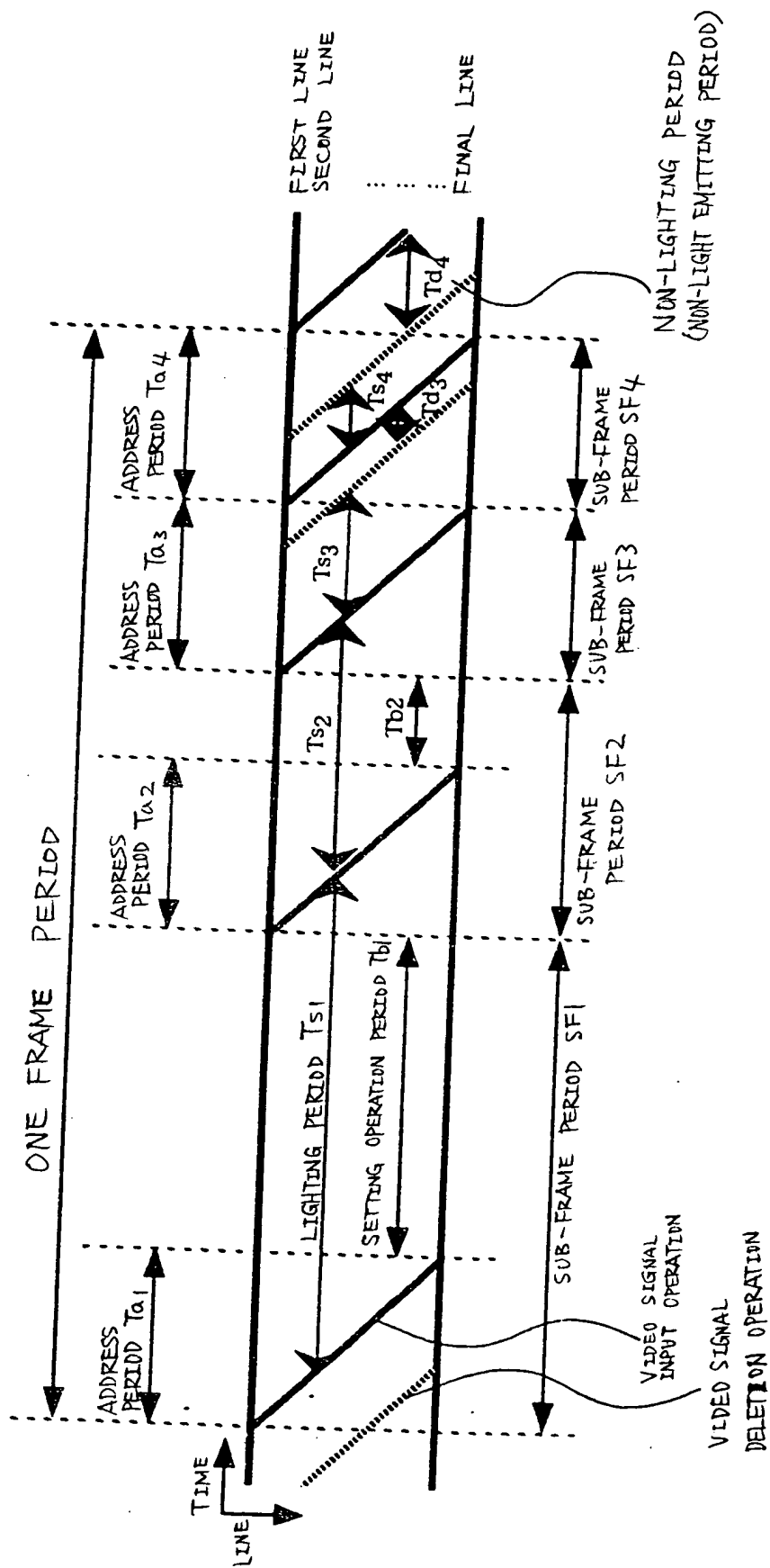


Fig. 55

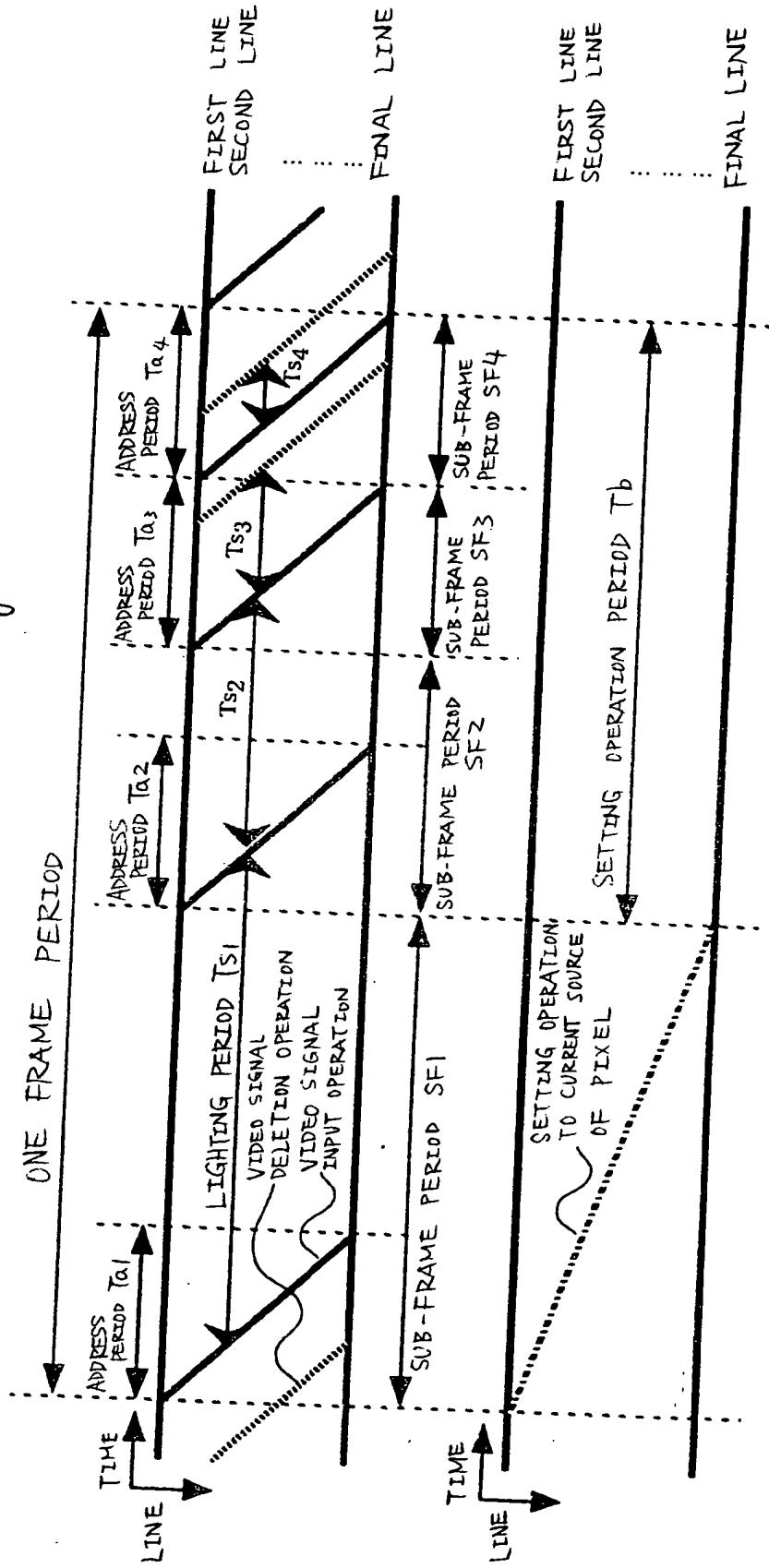


Fig. 56

